

CA-IS398x 隔离型 8 通道数字输入接收器

1. 产品特性

- 支持工业标准数字输入
 - 兼容 IEC 61131-2 Type 1、Type2、Type3 输入
- 高度集成
 - 8 路输入通道, 串行输出(CA-IS3980S)
 - 8 路输入通道, 并行输出 (CA-IS398xP)
- 速率可达 2Mbps
- 集成数字滤波器, 0 -100ms 滤波器延时可选
- 较高的瞬态抑制:
 - 低速通道: $\pm 300\text{kV}/\mu\text{s}$ CMTI
 - 高速通道: $\pm 50\text{kV}/\mu\text{s}$ CMTI
- 集成 2500V_{RMS} 内部隔离器, 缩减 BOM 和尺寸
- SPI 兼容串行接口(CA-IS3980S)
- 2.25V 至 5.5V 单电源供电, 无需现场侧供电
- -40°C 至 125°C 工作温度范围
- 8.66mm x 3.91mm 20 引脚 SSOP 封装
- 安全认证(申请中)
 - DIN VVDE V 0884-10 基础隔离
 - UL1577 认证: 2500 V_{RMS} 隔离
 - 基于 GB4943.1-2011 的 CSA 认证
 - 基于 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 的 TUV 认证

2. 典型应用

- PLC 数字输入模块
- 工业自动化
- 楼宇自动化
- 电机控制
- CNC 控制
- 工业现场数据采集

3. 概述

CA-IS398x 系列隔离型 8 通道数字输入器件优化用于工业现场的 24V 数字输入, 只需少数几个外围元件即可配置用作 Type 1、Type 2 或 Type 3 工业传感器或现场开关的输入单元, 每个通道即可配置为拉电流(source)输入, 也可配置为灌电流(sink)输入。隔离通道采用川土微电子先进的电容隔离技术, 提供高达 2.5kV_{RMS} 的电气隔离以及 $\pm 300\text{kV}/\mu\text{s}$ 的典型 CMTI (低速通道), 具有较高的电磁辐射抑制和低传输延时、低抖动等优势。

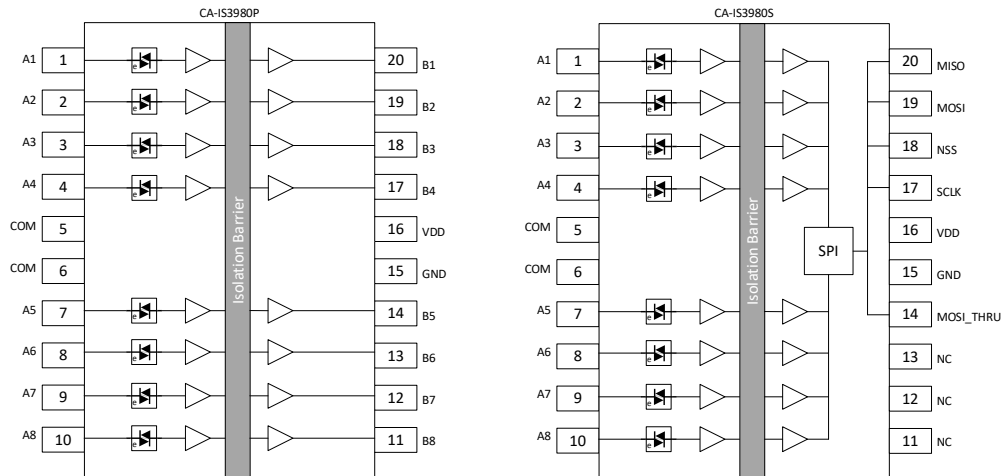
CA-IS398x 只需在逻辑侧提供 2.25V 至 5.5V 的单电源供电, 无需现场侧供电电源。逻辑输出电平取决于电源电压, 可方便连接 2.5V、3.3V 或 5V 供电的控制器接口。CA-IS3980S 作为串行输出的工业接口器件能够将 8 路 24V 数字输入转化成 CMOS 兼容的逻辑信号, 通过 SPI 接口连接到微处理器; CA-IS398xP/PF/PM/PS 系列产品则将 8 路 24V 数字输入转换成 CMOS 兼容的并行输出, 详见下方的 CA-IS398x 简化框图。该系列的所有器件提供数字隔离输出, 所有输入通道支持灌电流、拉电流配置, 可方便连接工业、楼宇、过程控制等工业应用现场的传感器或开关。为确保工业环境下系统的可靠性, 并行输出的 CA-IS398x 器件在每个通道集成了固定延时的去抖滤波器; 串行输出的 CA-IS3980S 则允许用户调节其内部去抖滤波器的延迟时间, 以满足不同应用场景的要求。对于需要连接 8 个以上传感器的应用, 可以使用多片 CA-IS3980S 构成菊链架构, CA-IS3980S 菊链电路在同一 SPI 接口上最多可支持 128 路输入。

CA-IS398x 系列产品工作在-40°C 至+125°C 温度范围, 采用 20 引脚 SSOP 封装。不同的器件尾缀对应于不同的输出接口和滤波器延时配置, 请参考 [订购信息](#)。

器件信息

器件型号	封装	封装尺寸(标称值)
CA-IS3980 CA-IS3982 CA-IS3984 CA-IS3988	20-pin SSOP	8.66mm x 3.91mm

简化框图



4. 订购信息

型号	输出接口	高速通道#	低通滤波器去抖时间	封装	隔离电压 (kV_{RMS})
CA-IS3980S	串行	0	0ms/10ms/30ms/100ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3980P	并行	0	0ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3982P	并行	2	0ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3984P	并行	4	0ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3988P	并行	8	0ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3980PF	并行	0	10ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3982PF	并行	2	10ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3984PF	并行	4	10ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3980PM	并行	0	30ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3982PM	并行	2	30ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3984PM	并行	4	30ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3980PS	并行	0	100ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3982PS	并行	2	100ms	20-pin SSOP	2.5 kV_{RMS}
CA-IS3984PS	并行	4	100ms	20-pin SSOP	2.5 kV_{RMS}

内容

1. 产品特性.....	1	7.11. 典型工作特性曲线	11
2. 典型应用.....	1	8. 参数测量信息	12
3. 概述	1	9. 详细说明.....	13
4. 订购信息.....	2	9.1. 工作原理	13
5. 修订历史.....	3	9.2. 工作模式	13
6. 引脚功能描述	4	9.3. 输入滤波器	14
7. 产品规格.....	6	9.3.1. 滤波器选择与延时配置.....	14
7.1. 绝对最大额定值 ¹	6	9.3.2. 滤波器工作模式.....	14
7.2. ESD 额定值	6	9.4. SPI 接口 (CA-IS3980S).....	15
7.3. 建议工作条件.....	6	9.4.1. 寄存器定义	16
7.4. 热信息	6	9.4.2. SPI 通信协议	16
7.5. 额定功率.....	6	9.4.3. SPI 菊链	17
7.6. 隔离特性.....	7	10. 应用信息.....	19
7.7. 相关安全认证.....	8	11. 封装信息.....	22
7.8. 安全工作条件限制 ¹	8	12. 焊接信息.....	23
7.9. 电气特性.....	9	13. 卷带信息.....	24
7.10. 时间特性.....	10	14. 重要声明.....	25

5. 修订历史

修订版本号	修订内容	修订页码
Version 1.00	NA	NA
Version 1.01	更新 ESD-HBM $\pm 5000V$, CDM $\pm 2000V$	8
Version 1.02	表 9- 1 下电($V_{DD}<1.7V$)改为 $V_{DD}<UVLO$ 。	11
	表 9- 2 中 BDNC 改为 DBNC, 滤波器模式中去掉单位 ms。	12
	新增表 9- 3 滤波器模式配置。	13
	图 10- 1 注释改为: IEC61131-2 Type1、Type2、Type3 数字输入的开关特性示意图。	16
	图 10- 2, 图 10- 3 和图 10- 4 注释更改。 规格书章节顺序改变。	21

6. 引脚功能描述

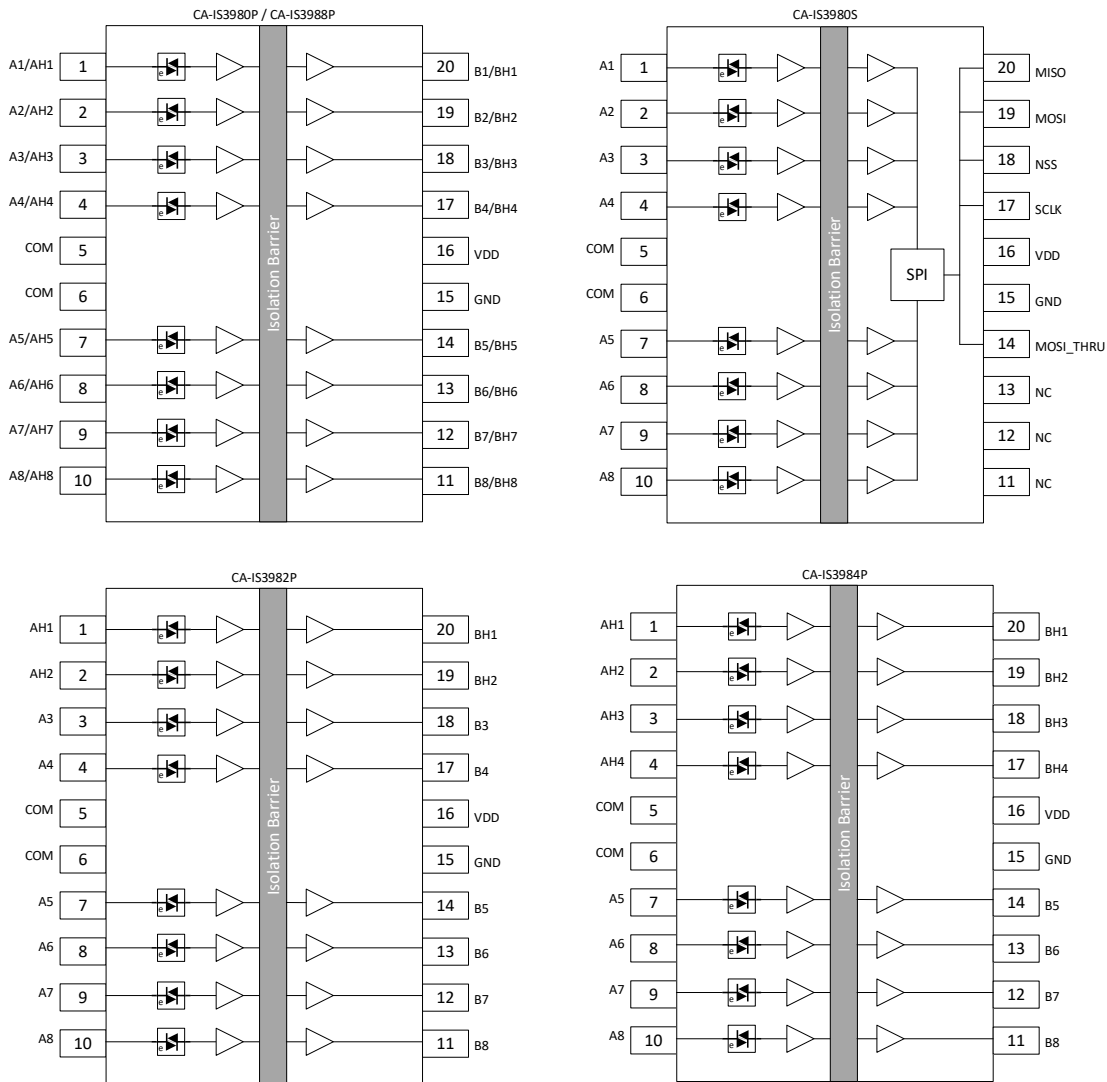


图 6-1 CA-IS398x 引脚配置

表 6-1 CA-IS3980P/CA-IS3982P/CA-IS3984P/CA-IS3988P 引脚功能描述

引脚编号				引脚名称	类型	说明
CA-IS3980P	CA-IS3988P	CA-IS3982P	CA-IS3984P			
1,2,3,4,7,8,9,10	---	3,4,7,8,9,10	1,2,3,4	A1-A8	输入	现场侧输入，低速通道。
---	1,2,3,4,7,8,9,10	1,2	7,8,9,10	AH1-AH8	输入	现场侧输入，高速通道。
5, 6	5, 6	5, 6	5, 6	COM	COM	公共端，灌电流输入配置时，该引脚接地；拉电流输入配置时，该引脚接现场侧电源。
11,12,13,14,17,18,19,20	---	11,12,13,14,17,18	11,12,13,14	B1-B8	输出	低速通道逻辑输出，对应于 A1-A8 输入通道的状态(高电平或低电平)。如果输入开路，则对应输出为高阻。
---	11,12,13,14,17,18,19,20	19, 20	17,18,19,20	BH1-BH8	输出	高速通道逻辑输出，对应于 AH1-AH8 输入通道的状态(高电平或低电平)。如果输入开路，则对应输出为高阻。
16	16	16	16	VDD	电源	2.25V 至 5.5V 逻辑侧电源输入。
15	15	15	15	GND	GND	逻辑侧接地。

表 6-2 CA-IS3980S 引脚功能描述

引脚编号	引脚名称	类型	说明
CA-IS3890S			
1,2,3,4,7,8,9,10	A1-A8	输入	现场侧输入，低速通道。
5, 6	COM	COM	公共端，灌电流输入配置时，该引脚接地；拉电流输入配置时，该引脚接现场侧电源。
11, 12, 13	NC	---	没有内部连接。
16	VDD	电源	2.25V 至 5.5V 逻辑侧电源输入。
15	GND	GND	逻辑侧接地。
19	MOSI	输入	SPI 串行数据输入。
17	SCLK	输入	SPI 串行时钟输入。
18	NSS	输入	SPI 片选输入。
14	MOSI_THRU	输出	SPI 串行数据输出，用于支持多片 CA-IS3980S 菊链(最多 16 片)。
20	MISO	输出	SPI 串行数据输出。

7. 产品规格

7.1. 绝对最大额定值¹

参数	最小值	最大值	单位
V _{DD} 电源电压	-0.3	6.0	V
I _{F(AVG)} Ax/AHx 平均输入电流		30	mA
V _{F(AVG)} Ax/AHx 平均输入电压 @ 30mA 输入电流		2.5	V
V _O Bx/BHx, MISO 输出电压	-0.5	V _{DD} +0.5	V
I _O Bx/BHx 输出电流	-10	10	mA
V _I MOSI、NSS、SCLK 输入	-0.5	V _{DD} +0.5	V
T _J 结温		150	°C
T _{STG} 存储温度	-65	150	°C

注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。

7.2. ESD 额定值

V _{ESD} Electrostatic discharge	数值	单位
人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚	±5000	V
器件充电模型 (CDM), 根据 JEDEC specification JESD22-C101, 所有引脚	±2000	V

7.3. 建议工作条件

参数	最小值	典型值	最大值	单位
V _{DD} 电源电压	2.3		5.5	V
DR	最高速率 ¹ , 高速通道	2		Mbps
	最低速率 ² , 高速通道	10		kbps
	最高速率, 低速通道(+0ms t _D)	250		kbps
	最低速率, 低速通道(+0ms t _D)	1		kbps
	最高速率, 低速通道(+10ms t _D)	100		bps
	最高速率, 低速通道(+30ms t _D)	33		bps
	最高速率, 低速通道(+100ms t _D)	10		bps
I _{F(ON)} 输入启动电流 (拉电流或灌电流输入)	1.0		20	mA
T _A 环境温度 ³	-40		125	°C

注:

1. 最高速率对应于 50% 占空比的输入信号，如果输入信号占空比大于或低于 50%，最高数据速率降低；
2. 如果数据速率过低，上升/下降沿过缓，容易在输出信号引入干扰；
3. 最高工作环境温度与信号频率、输出负载、工作通道数以及电源电压有关。

7.4. 热信息

热参数	20-pin SSOP	单位
R _{θJA} 结-环境热阻	105	°C/W

7.5. 额定功率

参数	测试条件	最大值	单位	
PD	输入侧最大功耗	输入电流 = 30mA/通道, T _J =150°C	540	mW
	输出侧最大功耗	V _{DD} =5.5V, C _L =15pF, 1MHz 50% 占空比信号输入, T _J =150°C	450	mW
	最大功耗	V _{DD} =5.5V, 输入电流 = 30mA/通道, T _J =150°C	990	mW

7.6. 隔离特性

参数		测试条件	数值	单位
			SSOP	
CLR	外部气隙(间隙) ¹	输入端至输出端的隔空最短距离	3.6 (minimum)	mm
CPG	外部爬电距离 ¹	输入端至输出端沿壳体的最短距离	3.6 (minimum)	mm
DTI	隔离距离	最小内部间隙(内部距离)	8	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	600	V
	材料组	依据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定电压 ≤ 150 V _{RMS}	I-IV	
		额定电压 ≤ 300 V _{RMS}	I-III	
DIN V VDE V 0884-11:2017-01²				
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	560	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	400	V _{RMS}
		直流电压	566	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	3600	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	4000	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	
		方法 b, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft), f = 1 MHz		pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
UL 1577²				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	2500	V _{RMS}
注:				
1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。				

7.7. 相关安全认证

VDE (申请中)	CSA (申请中)	UL (申请中)	CQC (申请中)	TUV (申请中)
DIN VDE V 0884-11:2017-01 认证。	IEC60950-1, IEC 62368-1 和 IEC 60601-1 认证。	基于 UL 1577 器件认证流程。	GB 4943.1-2011 认证	EN61010-1:2010 (3rd Ed) 和 EN 60950-1:2006 /A2:2013 认证。

7.8. 安全工作条件限制¹

参数		测试条件	最小值	典型值	最大值	单位
I _S	逻辑侧安全输入/输出电流	R _{θJA} = 120 °C/W, V _I = 2.75V, T _J = 150°C, T _A =25°C.			80	mA
		R _{θJA} = 120 °C/W, V _I = 3.6V, T _J = 150°C, T _A =25°C.			100	
		R _{θJA} = 120 °C/W, V _I = 5.5V, T _J = 150°C, T _A =25°C.			240	
I _S	现场侧安全输入电流	R _{θJA} = 120 °C/W, T _J = 150°C, T _A =25°C.			240	mA
P _S	总功耗	R _{θJA} = 120 °C/W, T _J = 150°C, T _A =25°C.			1200	mW
T _S	最高温度				150	°C

注:

1. 在没有限流的情况下, IC 损坏可能导致与地或电源之间的低阻路径, 由此造成 CA-IS398x 消耗过大功率。而过大的功耗可能损坏 IC 管芯并导致隔离栅损坏, 进而引发下游电路的安全性问题。此表为 CA-IS398x 的安全工作限制范围。

7.9. 电气特性

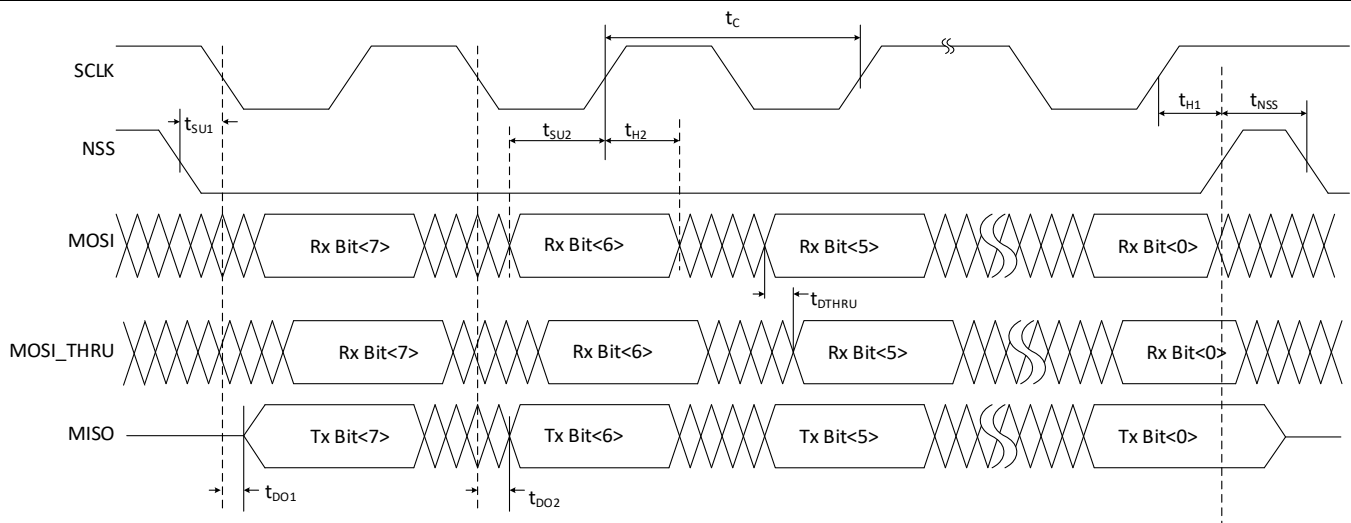
 T_A = -40 to 125°C, 除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位		
现场侧输入							
I _{F(TH)}	输入电流门限	460	606	950	μA		
I _{HYS}	输入电流滞回	30	76	200	μA		
V _{F(TH)}	现场侧输入电压门限	1.0	1.38	1.7	V		
V _{HYS}	输入电压滞回	30	73	130	mV		
C _i	输入电容	f=125kHz	105		pF		
逻辑侧电源							
V _{ULVO+}	V _{DD} 欠压锁存门限	V _{DD} 上升	1.88	2.08	2.28	V	
V _{UVLO-}	V _{DD} 欠压锁存门限	V _{DD} 下降	1.74	1.94	2.24		
V _{HYS(UVLO)}	UVLO hysteresis		0.15				
I _{DD}	工作电流	所有输入 = "0"	4.7		7.7	mA	
		所有输入 = "1"	4.6		7.6		
		60kHz, 所有输入以 50% 占空比切换	4.7		7.7		
		1MHz, 所有输入以 50% 占空比切换	4.7		7.7		
逻辑侧输入							
V _{IL}	逻辑低电平输入	SCLK, NSS, MOSI			0.8	V	
V _{IH}	逻辑高电平输入	SCLK, NSS, MOSI			2.0	V	
V _{OL}	逻辑低电平输出	I _{OL} = 4 mA			0.4	V	
V _{OH}	逻辑高电平输出	I _{OH} = -4 mA			V _{DD} -0.4	V	
I _{IH}	输入漏电流@逻辑低电平	SCLK, NSS, MOSI			-1	1	μA
I _{IL}	输入漏电流@逻辑高电平	SCLK, NSS, MOSI			-1	1	μA

7.10. 时间特性

 T_A = -40 to 125°C, 除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
信号通道					
t _p	传输延迟时间	输入电流上升/下降时间=10ns, 输入电流=10mA, 高速通道 AHx	36	120	ns
		输入电流上升/下降时间=10ns, 输入电流=10mA, 低速通道 Ax (+0ms t _D)	5.6	6.7	μs
		输入电流上升/下降时间=10ns, 输入电流=10mA, 低速通道 Ax (+10ms t _D)	10		ms
		输入电流上升/下降时间=10ns, 输入电流=10mA, 低速通道 Ax (+30ms t _D)	30		ms
		输入电流上升/下降时间=10ns, 输入电流=10mA, 低速通道 Ax (+100ms t _D)	100		ms
PWD	脉冲宽度失真	AHx 高速通道	6	50	ns
		Ax 通道	450		ns
Tpsk _(P-P)	传输延迟偏差(芯片之间)	AHx 高速通道	-30	+30	ns
		Ax 通道	-250	+250	ns
Tpsk	传输延迟偏差(通道之间)	AHx 高速通道	-30	+30	ns
		Ax 通道	-250	+250	ns
tr, tf	输出上升/下降时间	C _L =15pF	3.3		ns
t _{START}	启动时间		46		μs
CMTI	共模抑制比	AHx 高速通道	25	50	kV/μs
		Ax 通道	200	300	kV/μs
SPI 接口					
t _c	SCLK 时钟周期		100		ns
t _{DO1}	延迟时间	SCLK 下降沿至 MISO 有效		20	ns
t _{DO2}	延迟时间	SCLK 下降沿至 MISO 跳变		20	ns
t _{DOZ}	延迟时间	NSS 上升沿至 MISO 高阻		20	ns
t _{SU1}	建立时间	NSS 下降沿至 SCLK 下降沿	25		ns
t _{H1}	保持时间	SCLK 上升沿至 NSS 上升沿	20		ns
t _{SU2}	建立时间	MOSI 至 SCLK 上升沿	25		ns
t _{H2}	保持时间	SCLK 上升沿至 MOSI 跳变	20		ns
t _{NSS}	延迟时间	NSS 延迟时间	200		ns
t _{DTHRU}	延迟时间	MOSI 至 MOSI_THRU 延迟时间		15	ns


图 7-1 SPI 时序图
注: 该时序图适用于 CA-IS3980S SPI 三字节通信数据包的任一字节。

7.11. 典型工作特性曲线

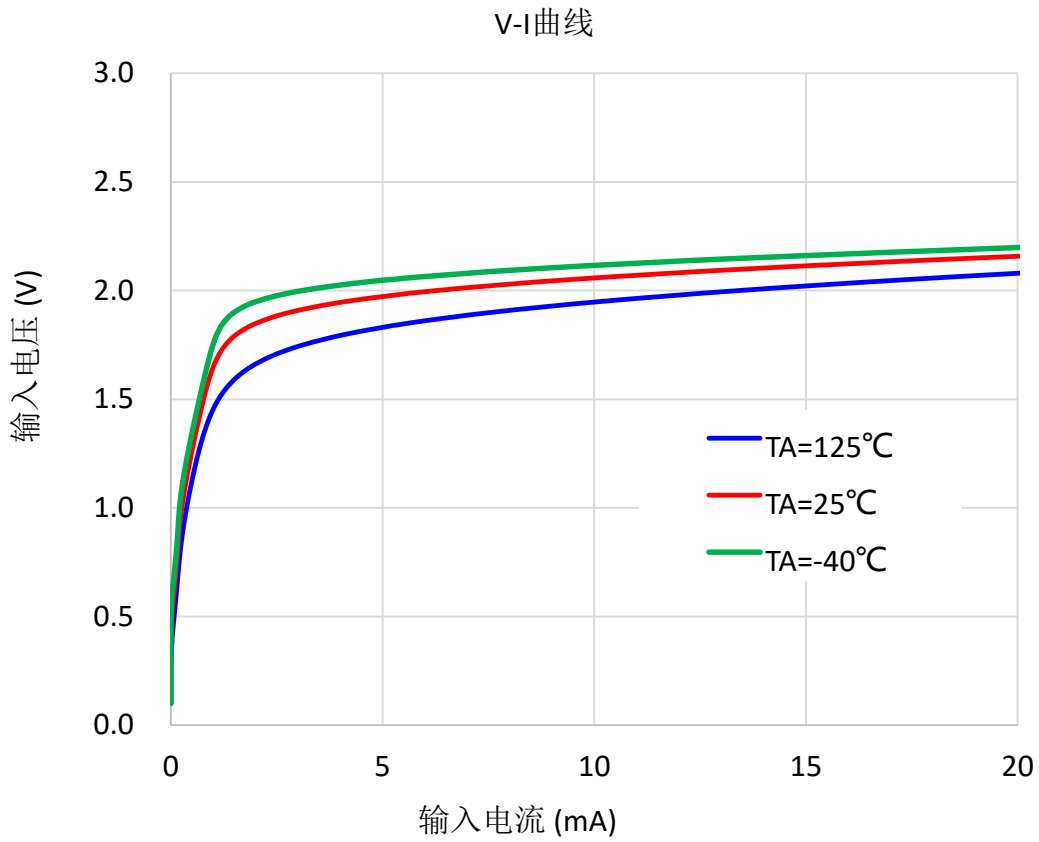


图 7-2 输入电压 vs. 输入电流

注:

1. 输入电流和输入电压为绝对值，该曲线适用于灌电流输入通道和拉电流输入通道的设计。

8. 参数测量信息

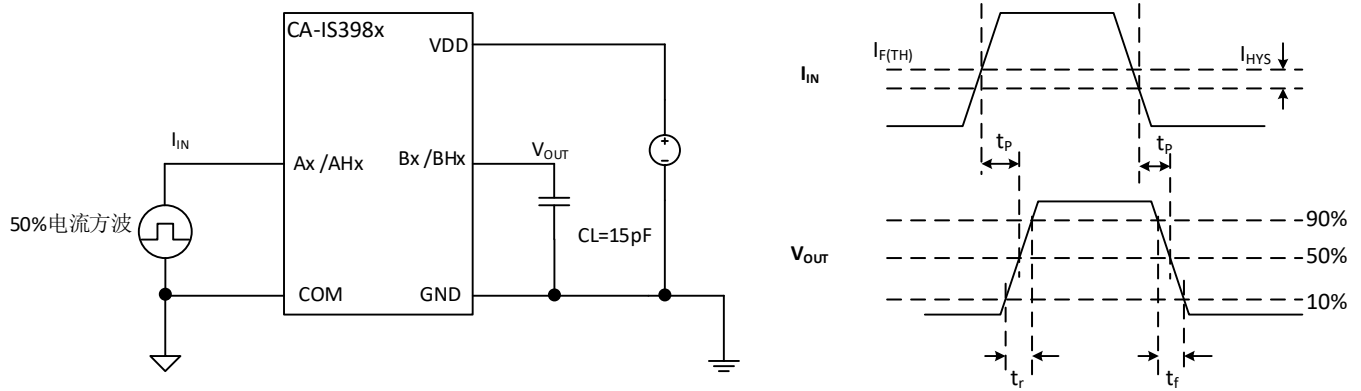


图 7-3 开关特性测试电路与测试波形

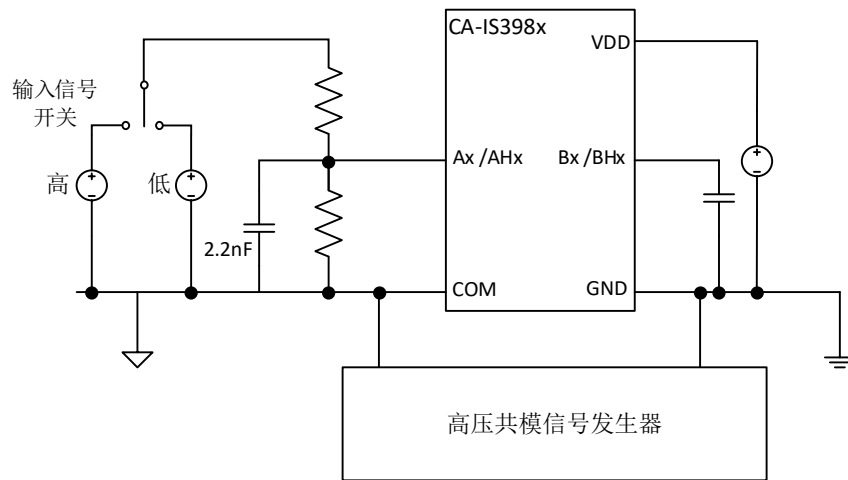


图 7-4 共模瞬态抑制比测试电路

9. 详细说明

9.1. 工作原理

CA-IS398x 系列产品为隔离型 8 通道数字输入 IC，优化用于工业现场 24V 数字输入模块，非常适合可编程逻辑控制器(PLC)、电机控制模块中的高密度数字输入单元设计。CA-IS398x 器件只需少数几个外部元件，即可构成支持 IEC 61131-2 Type 1、Type 2 或 Type 3 工业传感器/开关的双向(灌电流或拉电流)数字输入模块，图 9-1 给出了 CA-IS398x 内部单个通道的简化框图。每个输入通道的前端包含一个二极管电桥和一个 LED 模拟器，参见图 7-2 输入电压与输入电流曲线了解有关输入级 V-I 特性的更多细节。内部 LED 模拟器输出驱动一个开关调制(OOK)调制器，OOK 调制信号跨过基于 SiO₂ 的绝缘栅，在不同电源域的电路之间传输数字信号。在许多应用中，这种电容隔离技术正在取代光耦隔离方案，因为电容隔离技术在提供同等隔离度的同时，大幅降低了功耗，并占用更少的电路板空间。

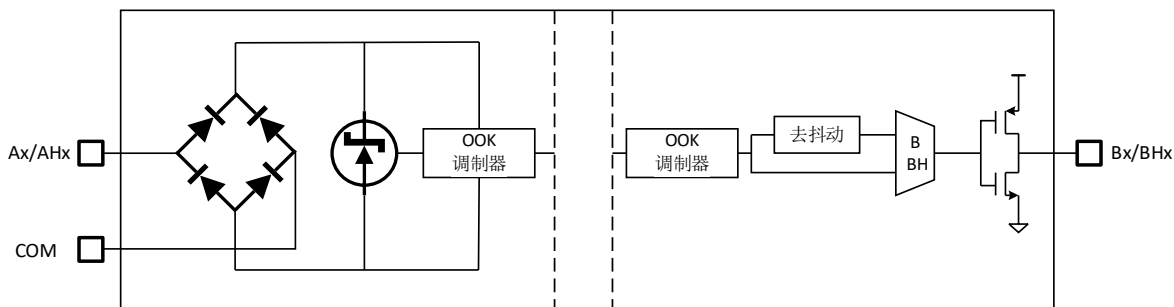


图 9-1 CA-IS398x 内部单通道简化框图

在输出侧，对于高速通道(BHx)，信号将直接传递到输出级；而对于低速通道(Bx)，信号则通过去抖动滤波器传送到输出级，以确保系统在工业应用环境下的可靠性。CA-IS3980S 串行输出 IC 可提供三种滤波模式选择：消抖动滤波器、低通滤波器和消隐滤波器。对于并行输出器件 CA-IS398xP，每个通道具有四个附加的去抖动滤波延迟时间选项：无延时、10ms 延时、30ms 或 100ms 延时，不同的器件后缀对应于不同的滤波器延时配置，详情请参考订购信息。此外，无论选择哪款器件，低速通道都包含一个 4μs 固定延时的低通滤波器。

在工业自动化、过程控制和楼宇自动化应用中，CA-IS398xP/PF/PM/PS 将来自现场侧的 8 路传感器或 8 路开关的工业 24V 数字输入信号转换成 8 路 CMOS 兼容的低压并行输出，送入逻辑侧的控制器；CA-IS3980S 工业接口串行器则将 8 路 24V 数字输入串行转换为微控制器所要求的 CMOS 兼容信号，并通过 SPI 接口与控制器通信。对于具有八个以上传感器输入的系统，CA-IS3980S 能够支持菊花链配置，在同一隔离 SPI 接口最多可连接 128 路输入(16 片 CA-IS3980S)。

除了并行输出接口选项外，CA-IS398x 还提供了一种串行输出接口选项，CA-IS8380S。串行输出接口提供 4 线 SPI 接口，并提供额外的 MOSI_THRU 输出以方便实现高达 16 个 CA-IS398x 的级联。关于 SPI 接口的详细描述请参考 9.4.3。

9.2. 工作模式

CA-IS398x 数字输入对每路输入(Ax/AHx)的状态(通/断或高电平/低电平)进行监测，并将 Ax/AHx 输入引脚处的电压与内部参考电压进行比较，以确定传感器是开启(逻辑 1)还是关闭(逻辑 0)，然后将八个数字输入转换为串行输出或并行输出，参见表 9-1 CA-IS398x 真值表。

CA-IS398x 系列产品包括欠压锁定(UVLO)功能，以防止器件启动或关断期间，或当 V_{DD} 低于其指定工作范围时出现错误操作。在 UVLO 期间，器件输出不跟随对应输入的变化，将处于不确定状态。

表 9-1 CA-IS398x 真值表¹

V _{DD}	输入 (Ax/AHx)	输出 (Bx/BHx)	注释
上电	H	H	正常工作, 输出跟随数字输入状态。
	L	L	
	开路	L	如果输入开路, 则输出逻辑低电平。
断电	X	不确定 ²	如果 V _{DD} < V _{UVLO_} , 或电源断电, 输出状态不确定。
注:			
1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻; 上电: V _{DD} > 2.25V; 断电: V _{DD} < V _{UVLO_} 。			
2. 如果 V _{DD} < V _{UVLO_} , 输出状态不确定, 输出为绝对额定最大值范围内的任何数值。			

9.3. 输入滤波器

9.3.1. 滤波器选择与延时配置

CA-IS398x 系列隔离型数字输入器件提供串行输出和并行输出选项。在每个低速数字输入通道, 数字滤波器为传感器信号提供噪声的去抖和滤波。为了降低传播延迟, 高速通道没有设置去抖滤波器。对于并行输出器件, 通过选择不同尾缀的型号选择去抖滤波器的延时; 对于串行输出器件 CA-IS3980S, 则可通过 SPI 接口配置去抖滤波器的模式和延时, 请参阅 [订购信息](#) 了解具有不同滤波器延时选项的并行输出器件型号。CA-IS3980S 去抖动滤波器延时配置详见表 9-2。可以为每个通道独立设置四种滤波器延时(0ms、10ms、30ms、100ms)中的一个。

表 9-2 滤波器延时配置

FLT_DLY[1:0]	延时 t _D (ms)	说明
00	0	去抖滤波器没有额外延时。
01	10	快速去抖延时
10	30	中速去抖延时
11	100	低速去抖延时
注:		
1. 所有低速通道内部包含一个 4 μs 固定延时的低通滤波器, 附加延时通过 FLT_DLY0、FLT_DLY1 寄存器配置。		

9.3.2. 滤波器工作模式

除了可配置滤波器延迟时间, CA-IS3980S 还为每个数字输入通道提供滤波器模式选项: 消扰动滤波器、低通滤波器和消隐滤波器, 用户可根据不同的应用场景以及传感器信号特性灵活配置滤波器模式, 参见表 9-3 [滤波器模式配置](#)。所有并行输出器件的每个通道仅提供传统低通滤波器模式。

表 9-3 滤波器模式配置

FLT_MODEx[1:0]	滤波器模式	说明
00	消扰动滤波器	后沿延时滤波器
01	低通滤波器	传统低通滤波器
1x	消隐滤波器	前沿延时滤波器

消扰动滤波器

消扰动滤波器对应于 FLT_MODEx[1:0] = 00, 该滤波模式仅采用数字去抖滤波器中常见的后沿延迟。在此模式下, 器件检测每个通道的数字输入, 确保信号至少在相应通道的去抖延时设置 t_D 时间内保持稳定。一旦通道输入信号在 t_D 内保持稳定, 相应通道将提供与输入状态一致的输出; 反之, 如果输入在 t_D 时间内不稳定, 输入信号的变化不会传递到内部移位寄存器。

低通滤波器

低通滤波器对应于 $FLT_MODEx[1:0]=01$ ，该滤波模式在每个低速输入通道上提供低通滤波功能。这也是所有低速通道内部 $4\mu s$ 默认滤波器的模式。这种滤波模式下，噪声抑制通过不翻转的增减计数器完成，其中现场数字输入的状态控制计数的增减方向(向上或向下)。当通道输入状态出现更新时，计数器开始递增(向上)计数，直至计数时间达到去抖延时设置 t_D 。如果在计数值达到 t_D 之前，通道的输入返回到更新前的状态，计数器将开始倒计时，递减(向下)计数；如果通道输入在计数器递减到 0 之前再次返回到所更新的状态(相当于在通道输入端出现了一个脉冲宽度小于有效数字输入信号的干扰或噪声)，则计数器从非零值开始递增计数；当计数值达到上限 t_D 时，滤波器输出更新，输出与数字输入对应的更新状态。采用低通滤波器模式，有助于抑制数字输入通道上持续时间小于去抖滤波器延迟设置 t_D 的任何脉冲干扰。

消隐滤波器

消隐滤波器对应于 $FLT_MODEx[1:0]=1X$ ，该滤波模式在每个低速输入通道上提供前沿滤波功能。内部计数器初始化为零。当通道输入状态发生改变时，通道输出立即更新到新的状态值，计数器数值被置为当前通道的延迟设置 t_D 。无论通道输入为高电平，还是低电平，计数器都在输入状态更新时开始倒计时(递减计数)，并且屏蔽输入状态的变化，即不受通道输入状态是否再次发生变化的影响。直到计数器递减到零时，器件对当前的输入状态与当前的输出状态进行比较；如果二者不同，通道输出则立即更新到变化后的状态值；如果二者相同，通道输出将保持当前状态，并在通道输入监测到下一个新值时立即更新输出状态。任何情况下，通道输入的变化都会将计数器从零复位到对应通道的延迟设置 t_D 。图 9-2 所示为不同去抖滤波器模式下的时序图。

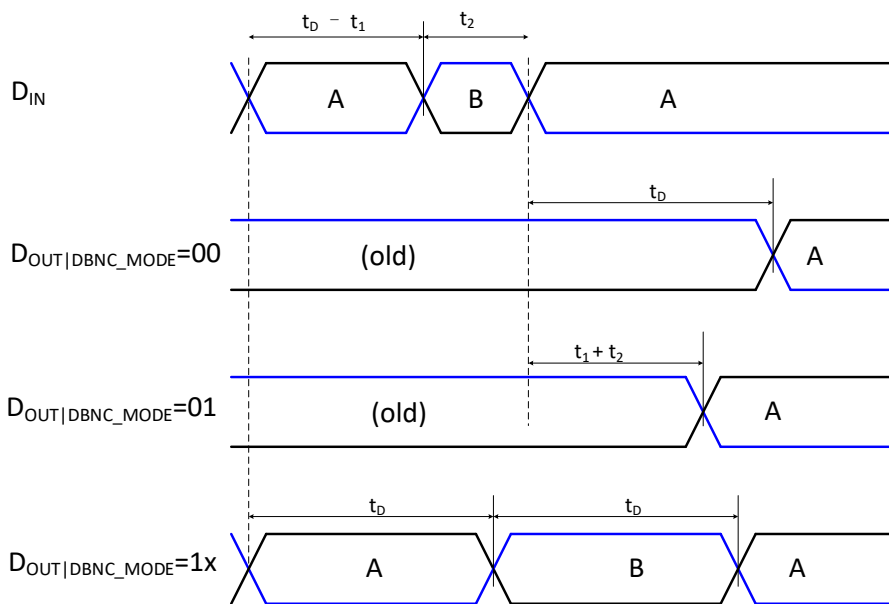


图 9-2 去抖滤波器模式与时序图

9.4. SPI 接口 (CA-IS3980S)

CA-IS3980S 采用 SPI 兼容串口，用于读取现场侧数字输入的数据和滤波器延迟配置、滤波器模式寄存器的内容。可通过 SPI 接口读取每个配置寄存器的内容，以确保器件的正确操作。对于具有八个以上传感器输入的系统，可选择 CA-IS3980S 构成菊链架构，以连接多个器件。可在同一隔离 SPI 串口总线上连接最多 128 个输入。

9.4.1. 寄存器定义

CA-IS3980S 包含以下可寻址寄存器：

1. **CHAN_STATUS**: 输入数据状态寄存器。内部数据串行器包括一个 8 位移位寄存器，其中包含与八个现场侧输入相对应的 8 位数据。移位寄存器内容通过 SPI 兼容接口读取，该寄存器为只读寄存器(不支持写功能)。
2. **FLT_MODE0, FLT_MODE1**: 可编程滤波模式控制位，对应于 A1 至 A8 通道的滤波器模式设置。该寄存器支持读操作和写操作，参见表 9-4 所示滤波器模式配置。
3. **FLT_DLY0, FLT_DLY1**: A1—A8 通道滤波器延时选择位，该寄存器支持读操作和写操作，将滤波器延迟时间设置为四种延时(0ms, 10ms, 30ms, 100ms)之一，参见表 9-4 所示延时配置。

表 9-4 寄存器定义

寄存器	地址	类型	说明
CHAN_STATUS	0x0	只读	{STATUS[7:0]}, 数字输入状态, D[x]为对应输入引脚的状态值。 0: D[x] = 0, 通道 x 为低电平。 1: D[x] = 1, 通道 x 为高电平。
FLT_MODE0	0x1	读/写	A1--A4 通道滤波器模式控制位，通道控制位排列如下： {md_ch3[1:0],md_ch2[1:0],md_ch1[1:0],md_ch0[1:0]} md_chx[1:0] = 00 = 消扰动滤波器; md_chx = 01 = 低通滤波器; md_chx = 1X = 消隐滤波器。
FLT_MODE1	0x2	读/写	A5—A8 通道滤波器模式控制位，通道控制位排列如下： {md_ch7[1:0],md_ch6[1:0],md_ch5[1:0],md_ch4[1:0]} md_chx[1:0] = 00 = 消扰动滤波器; md_chx = 01 = 低通滤波器; md_chx = 1X = 消隐滤波器。
FLT_DLY0	0x3	读/写	A1—A4 通道滤波器延时控制位，通道控制位排列如下： {dly_ch3[1:0], dly_ch2[1:0], dly_ch1[1:0], dly_ch0[1:0]} dly_chx[1:0] = 00 = 0ms; dly_chx[1:0] = 01 = 10ms; dly_chx[1:0] = 10 = 30ms, dly_chx[1:0] = 11 = 100ms.
FLT_DLY1	0x4	读/写	A5—A8 通道滤波器延时控制位，通道控制位排列如下： {dly_ch7[1:0], dly_ch6[1:0], dly_ch5[1:0], dly_ch4[1:0]} dly_chx[1:0] = 00 = 0ms; dly_chx[1:0] = 01 = 10ms; dly_chx[1:0] = 10 = 30ms, dly_chx[1:0] = 11 = 100ms.

9.4.2. SPI 通信协议

CA-IS3980S 通过 4 线 SPI 兼容串行接口与微控制器通信。该接口包含三个输入引脚：时钟(SCLK)、片选(NSS)和数据输入(MOSI)，以及一路输出：数据输出(MISO)。另外一个额外的输出引脚 MOSI_THRU 用于多芯片菊链，可级联多达 16 片 CA-IS3980S。CA-IS3980S 作为 SPI 通信总线的从机，微控制器则作为 SPI 通信主机。NSS 输入用于启动和终止一次数据传输。SCLK 用于同步主机(微控制器)与从机之间的数据传输。当片选信号 NSS 为低电平时，可以将数据移入或移出器件，每个时钟移动一位。在 SCLK 的上升沿采样数据时，输入数据 MOSI 必须保持稳定。同样，输出数据 MISO 和 MOSI_THRU 在 SCLK 的上升沿保持稳定。除非 NSS 为低电平，否则 CA-IS3980 将忽略 SCLK 和 DIN 引脚的任何操作，请参见图 7-1 所示 SPI 时序图和对应的表 7.10 时序参数，了解有关 SPI 时序和时序参数的更多详细信息。

CA-IS3980S 的每次 SPI 通信由三个串行字节组成：Byte 0、Byte 1 和 Byte 2，如图 9-3 所示。其中，“Byte 0”是控制字节，指定所要执行的操作以及在菊链中所要选择的器件。如表 9-6 所示，CID[3:0]表示菊链中每片 CA-IS3980S 的器件 ID。如果 SPI 总线上只有一片 CA-IS3980S，SPI 主机应将字段 CID[3:0]设置为全零。随后的“Byte 1”指定所要访问(读或写操作)的 CA-IS3980S 的内部寄存器地址。如果提供的写地址与物理可用的内部寄存器地址不相符，则 SPI 写操作不会更新 CA-IS3980S 内部寄存器；如果提供的读地址与物理可用的内部寄存器地址不相符，则 CA-IS3980S 在 SPI 读操作中返回全零作为读取值。数据包中的最后一个字节(Byte 2)为要写入器件 CA-IS3980S 内部寄存器的数据(通过 MOSI 引脚)或从器件 CA-IS3980S 寄存器中读取的数据(通过 MISO 引脚)。对于 SPI 通信，可以从状态/配置寄存器读取数据，也可以将数据写入配置寄存器，数据顺序为 MSB 在前。串行时钟(SCLK)由主机微控制器产生，仅在 NSS 为低电平，并

且通过 SPI 总线向器件传送控制字节、地址和数据时发送时钟信号。控制字节、地址字节和数据字节以 8 位为一组传输, MSB 在前, 这意味着 CA-IS3980S 每次在 8 个连续的 SCLK 上升沿逐位采集三字节通信数据包中的一个字节, 即 8 个数据位。如果 NSS 在数据传送的过程中(即在完成第 8 位传送之前的任何时间)拉高, 则中止该通信过程(即, 数据不被写入器件的内部寄存器)。每次 NSS 拉低时, 都会出现一个新的 8 位码流。

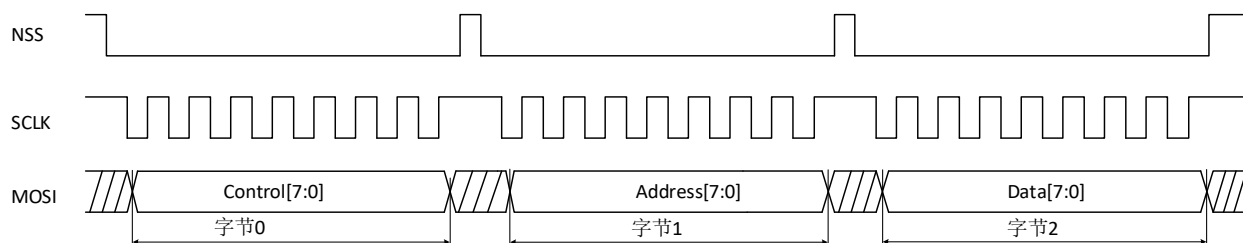


图 9-3 SPI 通信协议

表 9-5 SPI 通信数据包

控制字节(Byte 0)							
7	6	5	4	3	2	1	0
BRCT	R/Wb	0	0	CID[0]	CID[1]	CID[2]	CID[3]
地址字节(Byte 1)							
7	6	5	4	3	2	1	0
A[7]	A[6]	A[5]	A[4]	A[3]	A[2]	A[1]	A[0]
数据字节(Byte 2)							
7	6	5	4	3	2	1	0
D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]

表 9-6 控制字节位定义

控制字节 (Byte 0)							
BIT_7	BIT_6	BIT_5	BIT_4	BIT_3	BIT_2	BIT_1	BIT_0
BRCT	R/Wb	0	0	CID[0]	CID[1]	CID[2]	CID[3]
1 – 广播模式(写操作) 0 – 仅对寻址器件操作(写操作) 注: 如果是读操作, 则忽略该位。	1 – 读 0 – 写	保留位 置为(0,0)		CID[3:0]菊链器件 ID CID[3:0] = 0000 (CID[0:3] = 0000), 非菊链操作。			

通过 SPI 进行读操作时, 如果 SPI 总线仅连接单个 CA-S3980S 器件(无菊链), 控制字节(Byte 0)只需将 BIT_6 置 1, 读操作将忽略第 7 位(BIT_7 广播位)的状态, 因为无论是单器件操作, 还是菊链操作, 每次只能读取一个器件。所要读取的数据出现在 3 字节 SPI 通信数据包的最后一个字节(Byte 2), CA-IS3980S 通过 MISO 输出引脚提供给 SPI 主机(微控制器), 如图 9-3 所示。读操作中, MISO 输出在最后一个字节(Byte 2)以外的任何时间保持三态。

通过 SPI 进行写操作时, 如果将控制字节(Byte 0)第 7 位(BIT_7 广播位)置 1, 广播位将强制所有菊链上的从机器件 CA-IS3980S 将提供的写数据(Byte 2)更新到其指定的内部 SPI 寄存器, 无论控制字的 CID[3:0]是否对链路中的 CA-IS3980S 器件进行寻址。如果将控制字节(Byte 0)第 7 位(BIT_7)置 0, 则仅对所寻址的器件进行写操作。写数据由 SPI 主机在数据包的第 3 个字节(Byte 2)发送到总线。CA-IS3980S 的 MISO 输出引脚在整个 SPI 写操作期间保持三态。

9.4.3. SPI 菊链

对于具有八个以上传感器输入的工业现场, 可以将多片 CA-IS3980S 级联在一起以支持更多的输入通道, 并可通过单个 SPI 串口访问所有通道的数据输入。使用菊链配置时, 将 SPI 主机的 MOSI 连接到链路第一个器件 CA-IS3980S[0]的 MOSI 引脚, 如图 9-4。将 SPI 主机的 MISO 连接到链路中所有 CA-IS3980S 器件的 MISO 引脚。对于处于链路中间的所有器件, CA-IS3980S[1],CA-IS3980S[15], 将 MOSI 引脚连接到上一个器件的 MOSI_THRU 引脚, 并将其 MOSI_THRU 连接到下一个器件的 MOSI 引脚, 见图 9-4。链路中所有器件的片选 NSS 引脚连接在一起, 所有时钟 SCLK 引脚连接在一

起，图9-4所示为128路输入菊链的示意图。

菊链中的每片 CA-IS3980 都分配了一个器件 ID 作为菊链中的地址，该 ID 对应于控制字节的 BIT_0 到 BIT_3: CID[3:0]，表 9-7 给出了每片 CA-IS3980S 的器件 ID。菊链数据传输中，除了控制字节的 CID[3:0] 字段，CA-IS3980S 将 SPI 主机发送的 SPI 通信数据包的所有位依次从 MOSI 输入直接传递到 MOSI_THRU 输出，且保持数值不变。而当 CID[3:0] 字段通过 CA-IS3980S 链路时，每通过一片 CA-IS3980S，CID[3:0] 数值减 1。随着控制字节在链路中的移动，CID[3:0] 依次递减，当到达链路中所要寻址的器件 CA-IS3980S 时，该器件的 CID[3:0] 码递减至 0000，由此激活或选中这一器件。锁定寻址器件后，SPI 主机与寻址 CA-IS3980S 之间的剩余操作将按照上述 SPI 接口通信协议，针对单个 CA-IS3980S 从机进行读写操作。SPI 主机应按相反顺序将 4 位器件 ID (CID[3:0]) 置于控制字中，如表 9-6 所示，CID[0] 置于 Byte 0 的 BIT_3，CID[3] 则置于 Byte 0 的 BIT_0，发送寻址指令时，需注意器件 ID 的顺序。

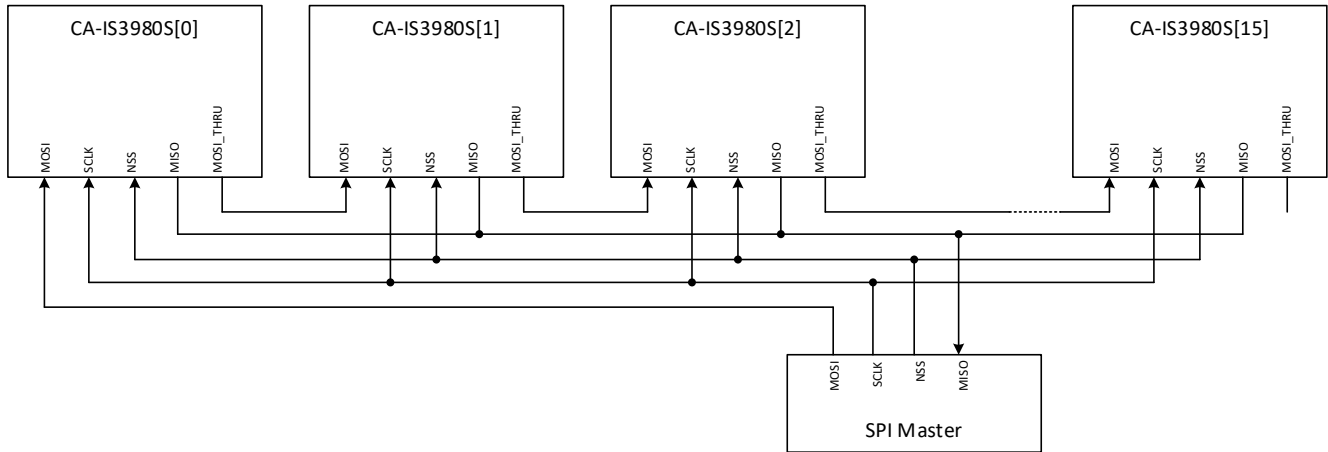


图 9-4 SPI 菊链连接

CA-IS3980S 支持三种控制指令：广播模式写操作、寻址器件写操作、寻址器件读操作，如表 9-8 所示。在菊链中进行写操作时，如果广播位 BRCT 置为 0，则仅对所寻址的器件 CA-IS3980S 进行写操作，寻址器件的地址由 CID[3:0] 确定。如果广播位 BRCT 置为 1，则对链路中所有连接的 CA-IS3980S 进行写操作，此时将忽略 CID[3:0] 字段的内容。例如，如果写 CA-IS3980S[12] 的内部寄存器，则 CID[3:0]=1100，控制指令 Byte 0 为：Control[7:0] = 00000011。考虑到 CA-IS3980S 的 MOSI 输入引脚与 MOSI_THRU 输出引脚之间的延时，随着菊链中器件数量的增多，SCLK 的最高时钟频率会降低。

表 9-7 菊链中每片 CA-IS3980S 的器件 ID

器件 ID	CA-IS3980S[0]	CA-IS3980S[1]	CA-IS3980S[2]	CA-IS3980S[3]	CA-IS3980S[4]	CA-IS3980S[5]	CA-IS3980S[6]	CA-IS3980S[7]
CID[3:0]	0000	0001	0010	0011	0100	0101	0110	0111
CID[0:3] ¹	0000	1000	0100	1100	0010	1010	0110	1110
器件 ID	CA-IS3980S[8]	CA-IS3980S[9]	CA-IS3980S[10]	CA-IS3980S[11]	CA-IS3980S[12]	CA-IS3980S[13]	CA-IS3980S[14]	CA-IS3980S[15]
CID[3:0]	1000	1001	1010	1011	1100	1101	1110	1111
CID[0:3] ¹	0001	1001	0101	1101	0011	1011	0111	1111

- 注：
- CID[3:0] 为菊链中 (最多 16 片 CA-IS3980S) 所要操作器件的地址，对应于链路中的位置。在控制字节 Byte 0 中，SPI 主机将这 4 位地址依照相反顺序放置，即 CID[0:3]，CID[0] 置于第 3 位 (bit 3)，CID[3] 置于第 0 位 (bit 0)。

表 9-8 菊链操作指令

指令	控制字节(Control[7:0])							
	BIT_7	BIT_6	BIT_5	BIT_4	BIT_3	BIT_2	BIT_1	BIT_0
	BRCT	R/Wb	0	0	CID[0]	CID[1]	CID[2]	CID[3]
广播模式写操作	1	0	0	0	0	0	0	0
写 CA-IS3980S[n]	0	0	0	0	CID[0:3] CID[3:0]为器件ID。			
读 CA-IS3980S[n]	0	1	0	0				

10. 应用信息

CA-IS398x系列数字输入器件提供完整的隔离型数字输入接收器方案，支持IEC 61131-2 Type 1、Type 2和Type 3数字输入信号，图10-1提供了输入通道的开关特性。这些器件通过输入端的电阻分压网络将24V双极性数字输入连接到相应的输入端，参见图10-2和图10-3用于连接灌电流输入和拉电流输入传感器的典型应用电路。在器件输入引脚，数字输入开/关阈值电压固定为 $V_{F(TH)}$ 和 $(V_{F(TH)} - V_{HYS})$ ，典型阈值参见表7.9 电气特性。而在现场侧，输入信号的开/关阈值电压由现场输入与器件输入之间的电阻分压器R1和R2，以及输入电流 I_{IN} 确定。表10-1提供了针对IEC 61131-2定义的24V DC PLC数字输入Type 1、Type 2和Type 3传感器或开关信号的推荐外部电阻。

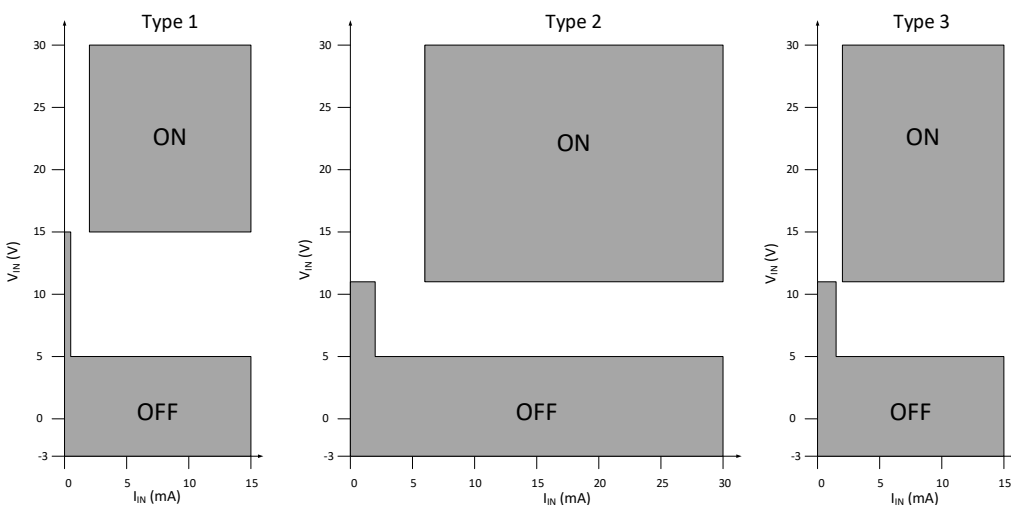


图 10-1 IEC 61131-2 Type 1, 2, 3 24VDC 数字输入开关特性

其它类型的数字输入信号对应于不同的阈值电压，可以通过更改典型应用电路中的电阻分压网络实现现场侧不同数字输入类型的连接。注意，图10-2和图10-3中，2.2nF电容器仅用于高速通道的噪声滤波。对于低速通道，我们不建议在输入端增加外部RC滤波器，因为在浪涌条件下电容会导致非常高的瞬态电压。可利用内部去抖滤波器滤除低速通道的噪声。

表 10-1 推荐外部元件(典型应用电路)

分压电阻	Type 1	Type 2	Type 3
R1	2.4kΩ	390Ω	750Ω
R2	6.2kΩ	1.5kΩ	2.7kΩ

注: 建议采用阻值容限为5%的MELF电阻。

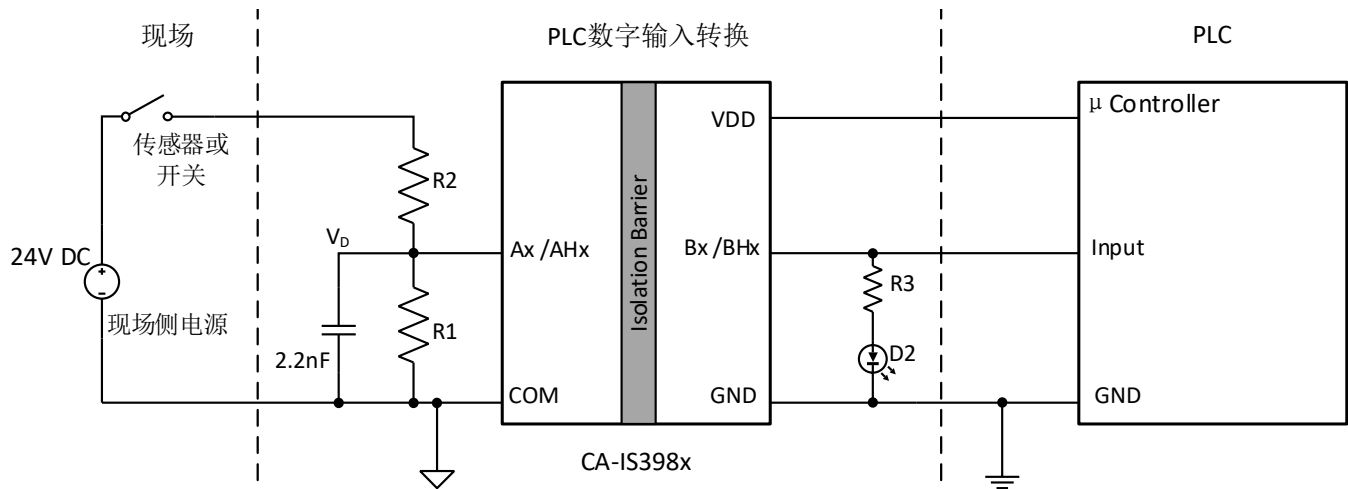


图 10-2 典型应用电路_灌电流输入

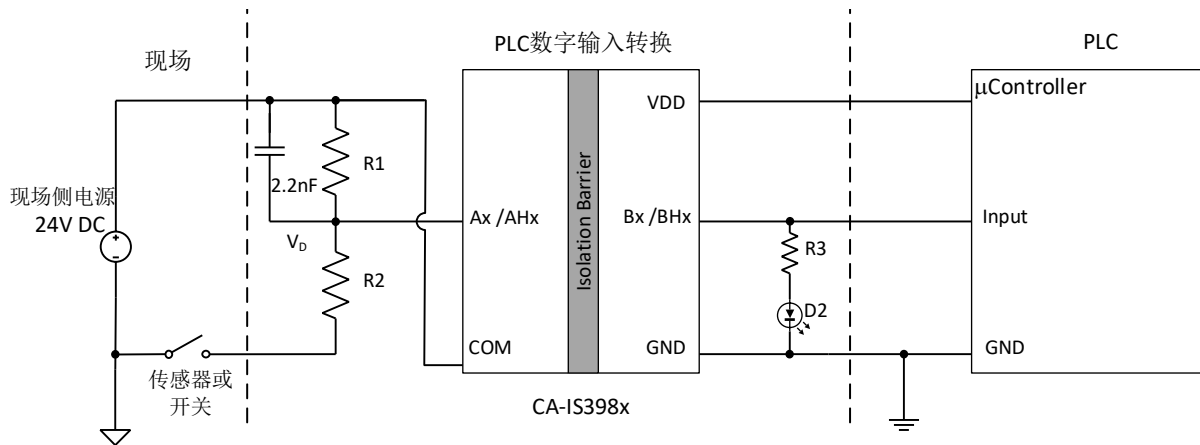


图 10-3 典型应用电路_拉电流输入

设计多通道数字输入模块时，需要级联多片 CA-IS3980S。只需将前一片 CA-IS3980S 的串行输出(MOSI_THRU)与下一片 CA-IS3980S 的串行输入(MOSI)连接，无需更改微控制器主机的接口连接，参见图 10-4 典型应用电路，也可参考 9.4.3. SPI 菊链部分的详细介绍。

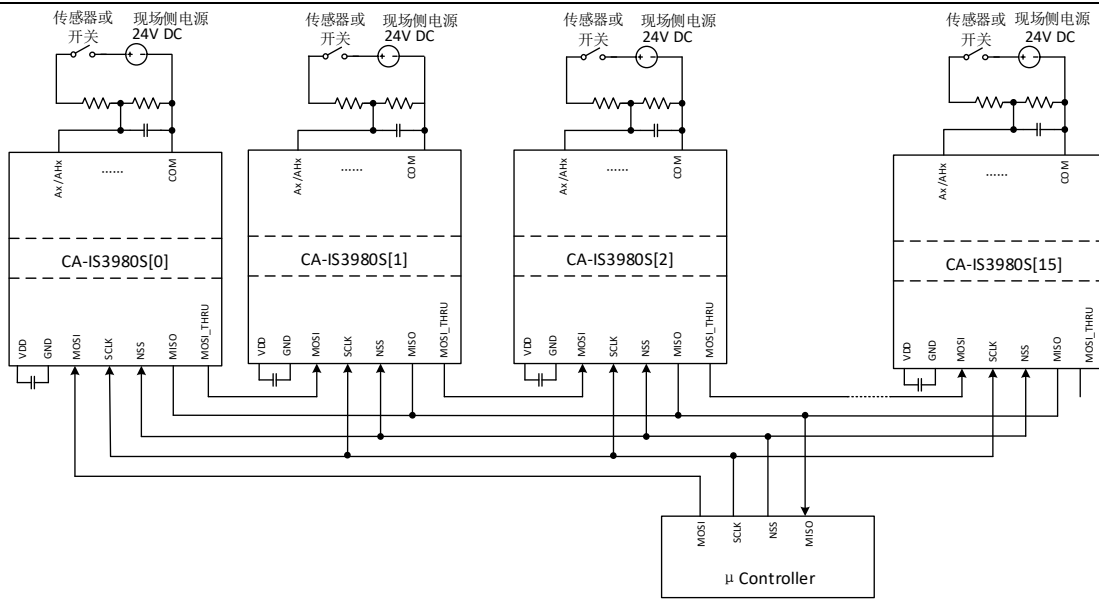
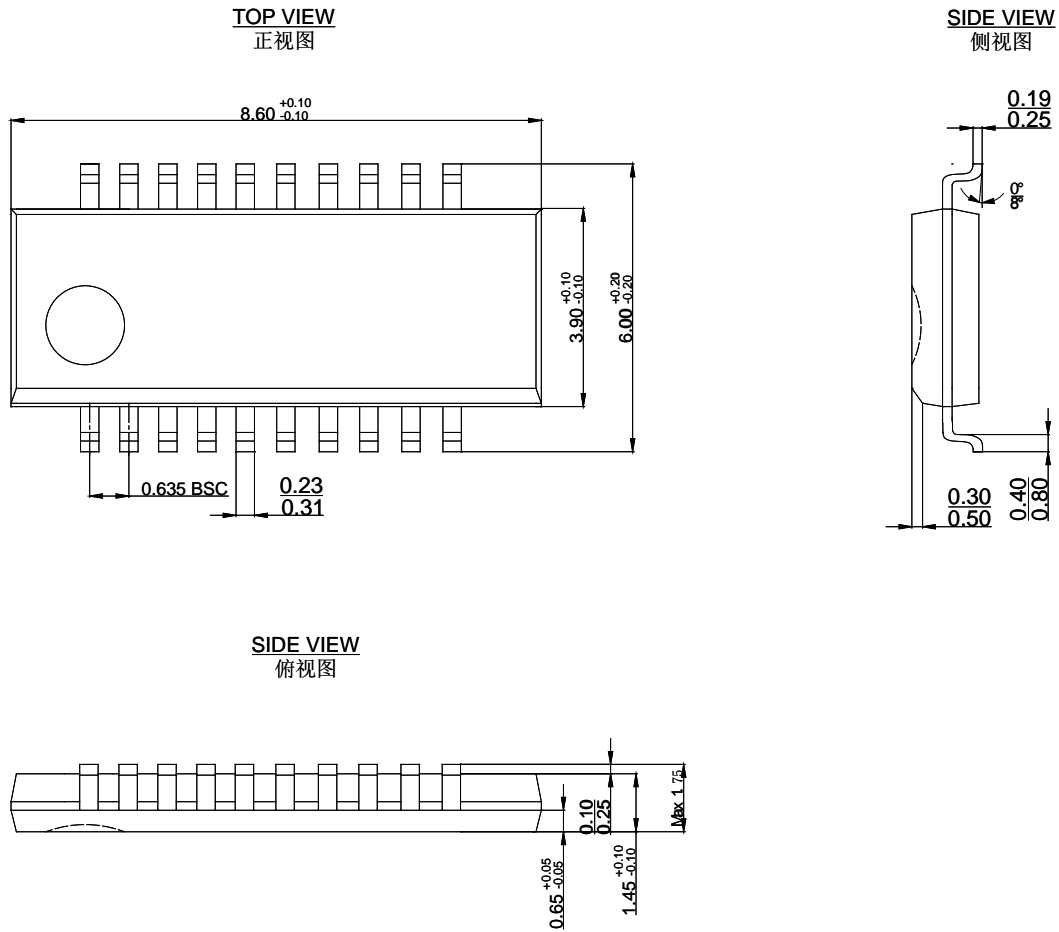


图 10-4 多片 CA-IS3980S 菊花链典型电路

为了减小电源纹波，避免在数字通道引入干扰，建议在 V_{DD} 与 GND 之间连接至少 $0.1\mu F$ 的低 ESR 陶瓷电容进行旁路。此外，PCB 布板时，建议在 CA-IS398x 绝缘层下方保留一个远离地线和信号线的隔离通道，所有输入、输出连线尽可能短，避免在高速信号线上使用过孔，引入寄生电感。

11. 封装信息

20 引脚 SSOP 封装图:



12. 焊接信息

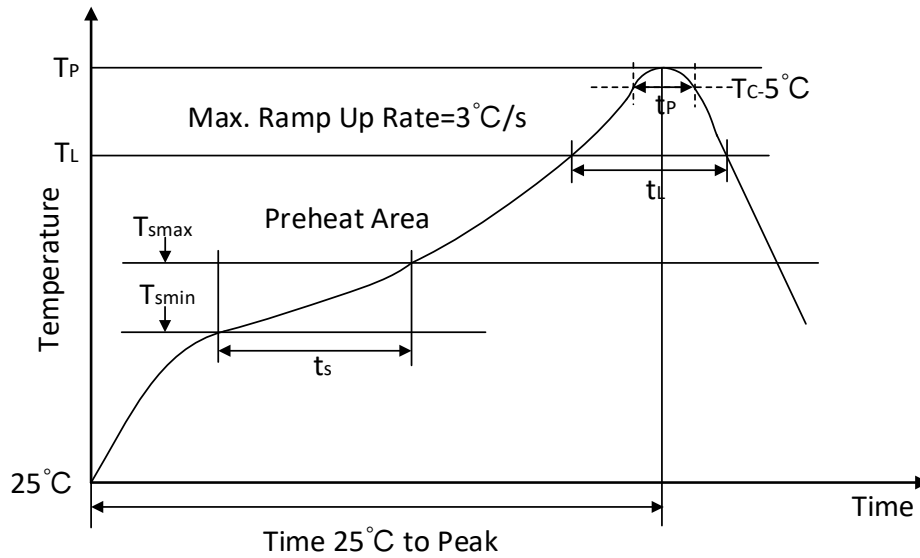
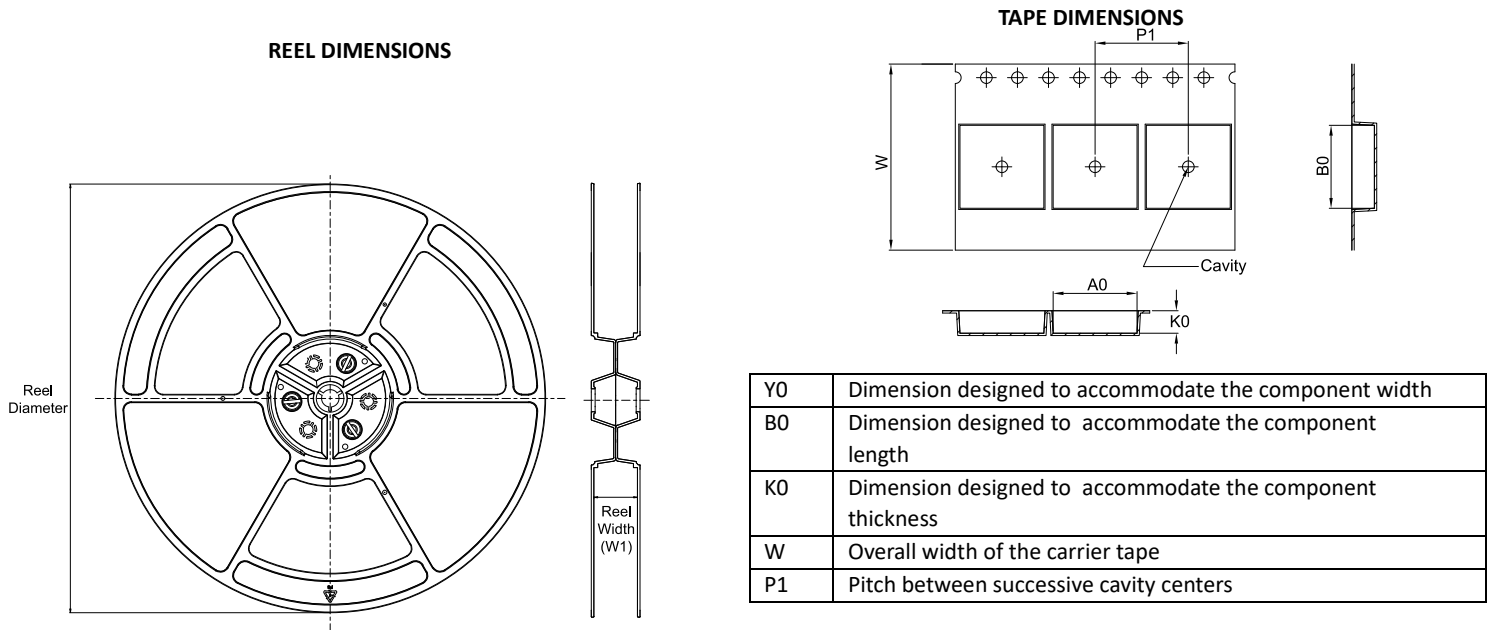


图 12-1 焊接温度曲线

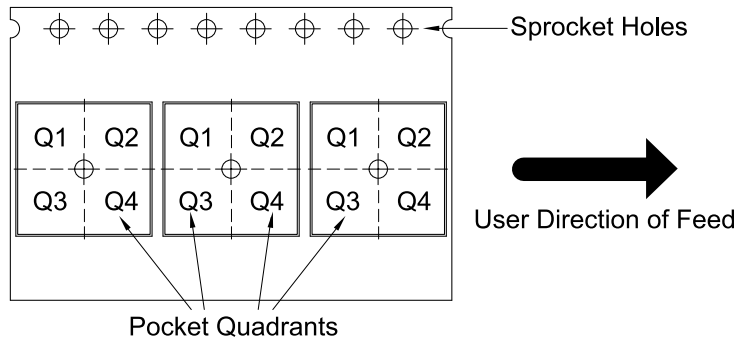
表 12-1 焊接温度参数

简要说明	无铅焊接
温升速率 (T _L =217°C 至峰值 T _P)	最大 3°C/s
T _{smin} =150°C 到 T _{smax} =200°C 预热时间 t _s	60~120 秒
温度保持 217°C 以上时间 t _L	60~150 秒
峰值温度 T _P	260°C
小于峰值温度 5°C 以内时间 t _p	最长 30 秒
降温速率 (峰值 T _P 至 T _L =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T _P 时间	最长 8 分钟

13. 卷带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*所有尺寸均为标称值。

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3980S	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3980P	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3982P	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3984P	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3988P	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3980PF	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3982PF	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3984PF	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3980PM	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3982PM	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3984PM	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3980PS	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3982PS	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1
CA-IS3984PS	SSOP	Y	20	2500	330	16.4	6.67	9.50	2.0	8.0	16.0	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>

单击下面可查看定价，库存，交付和生命周期等信息

[>>CHIPANALOG\(川土微\)](#)