

CA-IS2092W 集成隔离电源的隔离式 RS-485/RS-422 收发器

1. 产品特性

- 符合 TIA/EIA-485-A 标准
- 片内集成隔离式 DC-DC 转换器(含变压器)
 - 输出电压 3.3V/5.0V 可选
 - 输出电压小于等于输入电压
 - 软起动功能限制电压、电流过冲
 - 集成过载和短路保护
 - 集成过热保护
- EMI 性能提升的 500 Kbps 传输速率
- 失效防护接收器(总线开路、短路和空闲)
- 支持多达 256 个总线节点
- 总线侧引脚 ESD 能力
 - $\pm 8\text{kV}$ HBM
 - $\pm 16\text{ kV}$ IEC 61000-4-2 空气放电
- 3V 至 5.5V 供电电源 (VCC)
- 在接收状态时, 总线输入端开路或短路接收器则输出高电平
- 宽温度范围: -40°C to 125°C
- 引脚兼容大多数集成电源的隔离式 RS-485/RS-422 收发器
- 高共模瞬态抗扰度: $150\text{ kV}/\mu\text{s}$ (典型值)
- $2500\text{ V}_{\text{RMS}}$ 隔离耐压
- 隔离栅寿命: >40 年
- 宽体 SOIC16-WB(W), 符合 RoHS 标准
- 安全相关认证(申请中):
 - 所有已计划的认证
 - 符合 DIN V VDE V 0884-11:2017-01 标准的 $3535\text{V}_{\text{PK}}\text{ V}_{\text{IOTM}}$ 和 $560\text{V}_{\text{PK}}\text{ V}_{\text{IORM}}$
 - UL 1577 标准下 1 分钟 $2500\text{V}_{\text{RMS}}$ 隔离
 - IEC 60950、IEC 60601 和 EN 61010 认证
 - CQC、TUV 和 CSA 认证

2. 应用

- 隔离 RS-485/RS-422 通信
- 光伏逆变器
- 电机驱动器

3. 概述

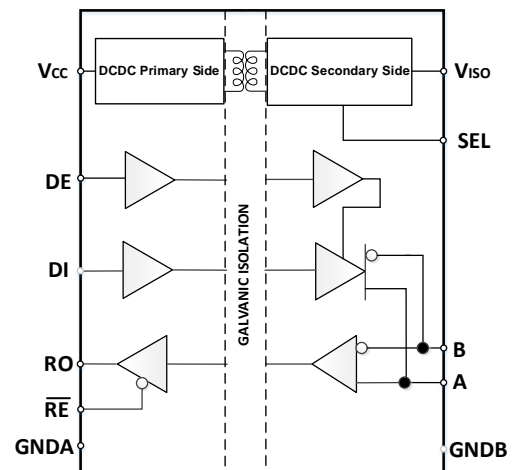
CA-IS2092W 是集成隔离电源的隔离式 RS-485/RS-422 收发器, 具有高电磁抗扰度和低辐射特性。该器件工作于半双工模式。

CA-IS2092W 器件具有高绝缘能力, 有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端, 从而干扰或损坏敏感电路。高 CMTI 能力可以保证数字信号的正确传输。CA-IS2092W 器件采用 16 引脚宽体 SOIC 封装, 支持绝缘耐压高达 $2.5\text{ kV}_{\text{RMS}}$ 。

器件信息

器件型号	封装	封装尺寸 (标称值)
CA-IS2092W	SOIC16-WB(W)	10.30 mm × 7.50 mm

简化功能框图



4. 订购指南

表 4-1 有效订购零件编号

型号	通讯模式	通讯速率 (Mbps)	隔离输出电压 (V)	封装
CA-IS2092W	半双工	0.5	3.3/5.0	SOIC16-WB(W)

目录

1. 产品特性	1	7.9. 时序特性	9
2. 应用	1	7.9.1. 驱动时序特性	9
3. 概述	1	7.9.2. 接收时序特性	10
4. 订购指南	2	8. 输入等效电路	10
5. 修订历史	3	9. 功能描述	10
6. 引脚功能描述	4	9.1. 简述	10
6.1. CA-IS2092W 描述	4	9.2. 失效安全	10
7. 产品规格	5	9.3. 总线上挂载 256 个收发器.....	11
7.1. 绝对最大额定值 ¹	5	9.4. 驱动器输出保护	11
7.2. ESD 额定值	5	10. 产品测试电路	12
7.3. 建议工作条件.....	5	11. 功能模式	16
7.4. 热量信息.....	6	12. 封装信息	17
7.5. 隔离特性.....	6	12.1. SOIC16 宽体外形尺寸	17
7.6. 安全相关认证.....	7	13. 焊接信息	18
7.7. 电气特性.....	8	14. 编带信息	19
7.7.1. 驱动特性.....	8	15. 包装信息	20
7.7.2. 接收特性.....	9		
7.8. 供电电流.....	9		

5. 修订历史

Objective Datasheet —— 2021 年 3 月

6. 引脚功能描述

6.1. CA-IS2092W 描述

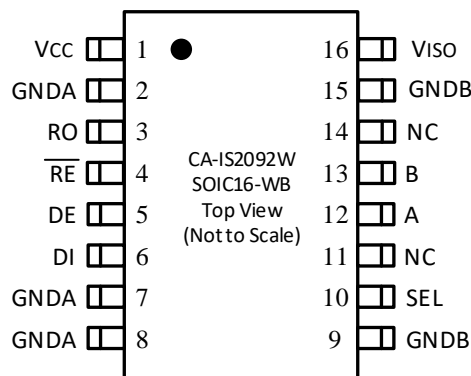


图 6-1 CA-IS2092W SOIC16 配置

表 6-1 CA-IS2092W SOIC16 引脚功能描述

引脚名称	引脚编号	类型	描述
VCC	1	电源	A 侧电源电压
GNDA	2	地	A 侧接地基准点
RO	3	逻辑输出	接收输出端
\overline{RE}	4	逻辑输入	接收使能端：低电平有效， \overline{RE} 为高时，接收输出为高阻
DE	5	逻辑输入	发送使能端：高电平有效，DE 为低时，发送输出为高阻。DE 为高电平时芯片工作在发送状态，DE 为低电平且 \overline{RE} 为低电平时芯片工作在接收状态
DI	6	逻辑输入	发送数据输入端：当 DI 为高时，Y 输出高电平，Z 输出低电平； 当 DI 为低时，Y 输出低电平，Z 输出高电平。
GNDA	7	地	A 侧接地基准点
GNDA	8	地	A 侧接地基准点
GNDB	9	地	B 侧接地基准点
SEL ¹	10	逻辑输入	VISO 输出电压选择管脚
NC	11	无	无内部连接
A	12	逻辑输入/输出	总线正接收输入端和总线正发送输出端
B	13	逻辑输入/输出	总线负接收输入端和总线负发送输出端
NC	14	无	无内部连接
GNDB	15	地	B 侧接地基准点
VISO	16	电源	B 侧隔离电源输出

1. 当 SEL 接到 VISO 时，V_{ISO}=5V。当 SEL 接到 GNDB 或者悬空时，V_{ISO}=3.3V。当 VCC 电压为 3.3V 时，SEL 只能接地或者悬空；当 V_{CC} 电压为 5V 时，SEL 不受限制。

7. 产品规格

7.1. 绝对最大额定值¹

参数	最小值	最大值	单位
V _{CC} , V _{ISO} 电源电压 ²	-0.5	6.0	V
V _{in} 输入电压	-0.5	V _{CC} +0.5 ³	V
I _o 输出电流	-20	20	mA
T _J 结温		150	°C
T _{STG} 存储温度范围	-65	150	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
- 除差分 I/O 总线电压以外的所有电压值，均相对于本地接地端子（GNDA 或 GNDB），并且是峰值电压值。
- 最大电压不得超过 6 V。

7.2. ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM)，根据 ANSI/ESDA/JEDEC JS-001，所有引脚 ¹	总线引脚到 GNDB	±6000
		所有引脚	±6000
	接触放电，根据 IEC 61000-4-2，总线引脚到 GNDB	±8000	V
	空气放电，根据 IEC 61000-4-2，总线引脚到 GNDB	±16000	
	组件充电模式(CDM)，根据 JEDEC Specification JESD22-C101，所有引脚 ²	±2000	

备注:

- JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。
- JEDEC 文件 JEP157 规定 250V CDM 允许使用标准 ESD 控制过程进行安全制造。

7.3. 建议工作条件

参数	最小值	典型值	最大值	单位
V _{CC} ¹ 电源电压	3	3.3	5.5	V
V _{OC} A, B, 引脚电压	-7		12	V
V _{ID} A, B 差分输入电压	-12		12	V
V _{IH} 输入阈值逻辑高电平	2.0			V
V _{IL} 输入阈值逻辑低电平			0.8	V
DR CA-IS2092W 信号传输速率			0.5	Mbps
T _A 环境温度	-40	25	125	°C

备注:

- 任何应用条件下，电源电压要满足 V_{CC} ≥ V_{ISO}。

7.4. 热量信息

热量表		CA-IS2092W	单位
R _{θJA}	IC 结至环境的热阻	83.4	°C/W

7.5. 隔离特性

参数	测试条件	数值	单位
		W	
CLR	外部气隙 (间隙) ¹	8	mm
CPG	外部爬电距离 ¹	8	mm
DTI	隔离距离	21	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>400
	材料组	依据 IEC 60664-1	II
	IEC 60664-1 过压类别	额定市电电压 ≤ 300 V _{RMS}	I-IV
		额定市电电压 ≤ 400 V _{RMS}	I-IV
DIN V VDE V 0884-11:2017-01²			
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	560
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	400
		直流电压	560
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	3535
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM}	4000
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5
		Method b1, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft), f = 1 MHz	~0.5
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹
	污染度		2
UL 1577			
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	2500
备注:			
1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。			
2. 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。			
3. 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。			
4. 表征电荷是由局部放电引起的放电电荷(pd)。			
5. 栅两侧的所有引脚连接在一起, 形成双端子器件。			

7.6. 安全相关认证

VDE(申请中)	CSA(申请中)	UL(申请中)	CQC(申请中)	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC60950-1, IEC 62368-1 和 IEC 60601-1 认证	UL1577 器件认证程序 认证	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

7.7. 电气特性
7.7.1. 驱动特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V _{OD1}	差分输出(无负载)电压 I _o =0mA, 无负载, SEL 为低电平或悬空		3.3	3.	V
	I _o =0mA, 无负载, SEL 为高电平	4.5	5		
V _{OD2}	差分输出(带负载)电压 R _L =54Ω 图 10-1, SEL 为低电平或悬空		1.4		V
	R _L =54Ω 图 10-1, SEL 为高电平		2.5		
	R _L =54Ω 图 10-1, SEL 为低电平或悬空	1.7	2		
V _{OD3}	差分输出(带负载)电压 V _{test} 从-7V 到 12V, 图 10-2	1	1.4		V
Δ V _{OD1}	差分输出电压增量 R _L =54Ω, 或 R _L =100Ω 图 10-1	-0.2		0.2	V
V _{OC}	稳态共模输出电压 R _L =54Ω, 或 R _L =100Ω 图 10-1	1		3	V
ΔV _{OC}	两个状态共模输出电压增量 R _L =54Ω, 或 R _L =100Ω 图 10-1			0.2	V
V _{IH}	输入阈值逻辑高电平 DI, DE, \overline{RE}	2.0			V
V _{IL}	输入阈值逻辑低电平 DI, DE, \overline{RE}			0.8	V
I _{IL}	输入漏电流 DI, DE, \overline{RE} =0 OR 1	-20		20	μA
I _{oz}	高阻输出漏电流(A, B) DE=0, \overline{RE} =0, V _{CC} =0 或 5V, V _{IN} =12V		60	100	μA
	DE=0, \overline{RE} =0, V _{CC} =0 或 5V, V _{IN} =-7V	-100	-60		
I _{os1}	驱动短路电流 (VO=HIGH) DE= \overline{RE} =1, DI=1, V _A =-7 V, V _B =12 V		44		mA
I _{os2}	驱动短路电流 (VO=LOW) DE= \overline{RE} =1, DI=0, V _A =-7 V, V _B =12 V		44		mA
CMTI	共模瞬变抗扰度 V _{CM} = 1200V;图 10-9		150		kV/μS
C _i	输入电容 VI = VCC/ 2 + 0.4×sin(2πft), f = 1 MHz, VCC = 5 V		2		pF

7.7.2. 接收特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V _{OH}	输出电压逻辑高电平	V _{CC} =5V, I _{OH} =4mA	V _{CC} -0.4	4.8	V
		V _{CC} =3.3V, I _{OH} =-4mA	V _{CC} -0.4	3	
V _{OL}	输出电压逻辑低电平	V _{CC} =5V, I _{OL} =4mA		0.2	0.4
		V _{CC} =3.3V, I _{OL} =4mA		0.2	0.4
V _{IT+(IN)}	正输入阈值		-100	-20	mV
V _{IT-(IN)}	负输入阈值		-200	-130	mV
V _{I(HYS)}	输入阈值迟滞		30		mV
I _I	总线输入电流	V _A or V _B =12V, 其它输入引脚接 0V		0.04	0.1
		V _A or V _B =12V, 关闭电源, 其它输入引脚接 0V		0.06	0.13
		V _A or V _B =-7V, 其它输入引脚接 0V	-0.1	-0.04	
		V _A or V _B =-7V, 关闭电源, 其它输入引脚接 0V	-0.1	-0.03	
I _{IH}	输入高电平漏电流 \overline{RE}	V _{IH} = 2 V		20	μA
I _{IL}	输入低电平漏电流 \overline{RE}	V _{IL} = 0.8 V	-20		μA
R _{ID}	差分输入电阻	A, B, -7V < V _{CM} < 12V		450	KΩ
C _D	差分输入电容	输入 f = 1.5 MHz, V _{pp} =1V 正弦信号 通过 A 和 B 测量 C _D		7	pF
C _I	输入到地电容	V _I = 0.4 × sin(2πft), f = 1MHz		2	pF

7.8. 供电电流

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V _{ISO}	驱动侧隔离电源输出电压	V _{CC} =5V, A 和 B 之间没有负载电阻, SEL=0 或悬空		3.3	V
		V _{CC} =5V, A 和 B 之间没有负载电阻, SEL=1		5.0	
I _{CC}	逻辑侧供电电流	A 和 B 之间没有负载电阻, V _{CC} =3.3V, /RE=0, DE=1, DI=0, SEL=0		15	
		A 和 B 之间没有负载电阻, V _{CC} =5.0V, /RE=0, DE=1, DI=0, SEL=0		13	
		A 和 B 之间没有负载电阻, V _{CC} =5.0V, /RE=0, DE=1, DI=0, SEL=1		17	
		A 和 B 之间的负载电阻为 54Ω, V _{CC} =3.3V, /RE=0, DE=1, DI=0, SEL=0		69	
		A 和 B 之间的负载电阻为 54Ω, V _{CC} =5V, /RE=0, DE=1, DI=0, SEL=0		49	
		A 和 B 之间的负载电阻为 54Ω, V _{CC} =5V, /RE=0, DE=1, DI=0, SEL=1		96	
		A 和 B 之间的负载 54Ω, V _{CC} =3.3V, /RE=0, DE=1, DI 加 5MHB 占空比 50%方波, SEL=0		73	

7.9. 时序特性

7.9.1. 驱动时序特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试说明	最小值	典型值	最大值	单位
t _{PLH} , t _{PHL}	传播延迟	图 10-3 图 10-4	1	1.5	us
PWD	脉冲宽度失真 t _{PLH} -t _{PHL}	图 10-8		100	ns

t_r	输出上升时间	$R_{diff}=54\Omega,$ $C_{L1}=C_{L2}=50pF$			100	ns
t_f	输出下降时间				100	ns
t_{PZH}/t_{PZL}	驱动使能传播延迟				500	ns
t_{PHZ}/t_{PLZ}	驱动关闭使能传播延迟				500	ns

7.9.2. 接收时序特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试说明	最小值	典型值	最大值	单位
t_{PLH}, t_{PHL}	传播延迟		1	1.5	us
PWD	脉冲宽度失真 $ t_{PLH}-t_{PHL} $			100	ns
t_r	输出上升时间	图 10-5 图 10-6 图 10-7		100	ns
t_f	输出下降时间			100	ns
t_{PHZ}, t_{PLZ}	接收关闭使能传播延迟，输出低电平至高电平时间	$R_{diff}=54\Omega,$ $C_{L1}=C_{L2}=50pF$		200	ns
t_{PZH}, t_{PZL}	接收使能传播延迟时间，输出高电平至低电平时间			200	ns

8. 输入等效电路

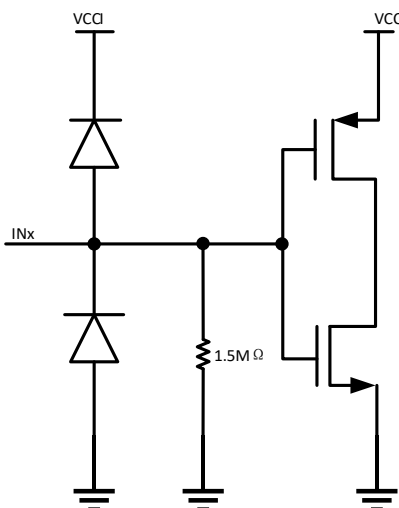


图 8-1 输入等效电路

9. 功能描述

9.1. 简述

CA-IS2092W 是既可以用于 RS-422 又可以用于 RS-485 通信的半双工收发器。具有失效安全，过流保护和过热保护功能。

9.2. 失效安全

接收器输入短路或开路，或挂接在终端匹配传输线上的所有驱动器均处于禁用状态时（idle），CA-IS2092W 产品可确保接收器输出逻辑高电平。这是通过将接收器输入门限分别设置为 -100mV 和 -130mV 实现的。若差分接收器输入电压(A-B) ≥ -100mV，RO 为逻辑高电平；若电压(A-B) ≤ -130mV，RO 为逻辑低电平。当挂接在终端匹配总线上的所有发送器都禁用时，接收器差分输入电压将通过终端电阻拉至 0V。依据接收器门限，可实现具有 30 mV 最小噪声容限的逻辑高电平。-100 mV 至 -130 mV 门限电压符合 ±200 mV 的 EIA/TIA-485 标准。

9.3. 总线上挂接 256 个收发器

标准 RS485 接收器的输入阻抗为 12 kΩ(1 个单位负载), 标准驱动器可最多驱动 32 个单位负载。CA-IS2092W 收发器的接收器具有 1/8 单位负载输入阻抗(96 kΩ), 允许最多 256 个收发器并行挂接在同一通信总线上。这些器件可任意组合, 或者与其它 RS485 收发器进行组合, 只要总负载不超过 32 个单位负载, 都可以挂接在同一总线上。

9.4. 驱动器输出保护

通过两种机制避免故障或总线冲突引起输出电流过大和功耗过高。第一, 过流保护, 在整个共模电压范围内提供快速短路保护。第二, 热关断电路, 当管芯温度超过过温阈值时(160°C 典型值), 强制驱动器输出进入低电平。

10. 产品测试电路

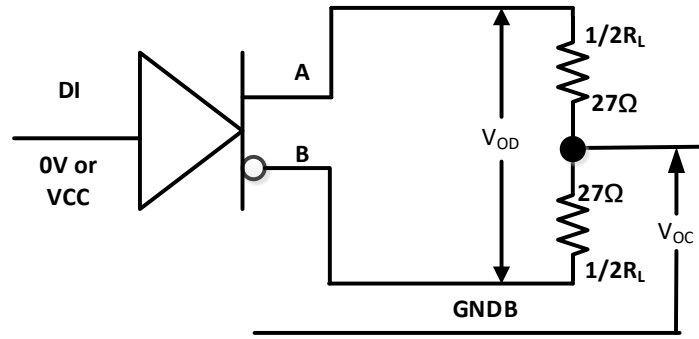


图 10-1 驱动电压测试电路

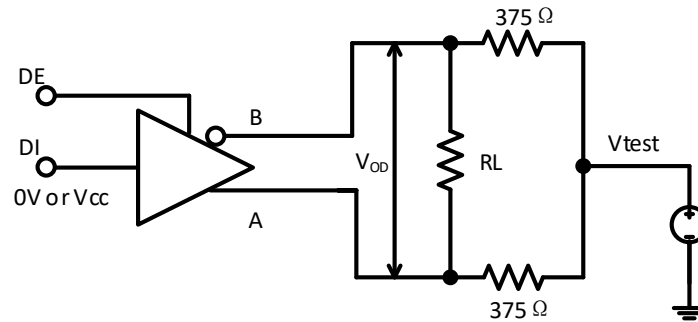
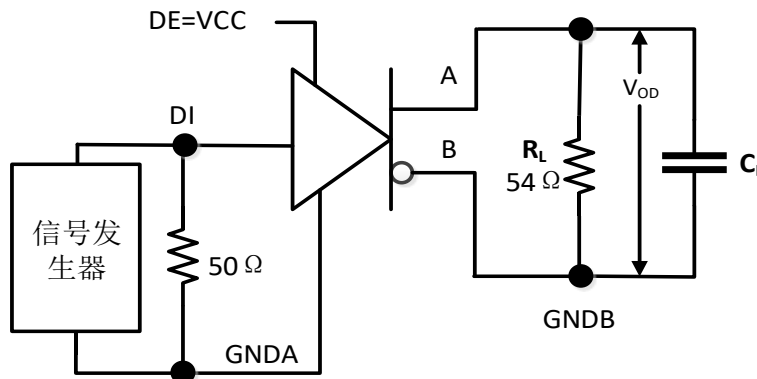


图 10-2 共模负载下驱动器差分输出电压的测量



备注:

1. 图中的 50Ω 电阻是用来匹配。在实际应用中不需要;
2. C_L 包含夹具和仪器寄生电容。

图 10-3 驱动传输延时测试电路

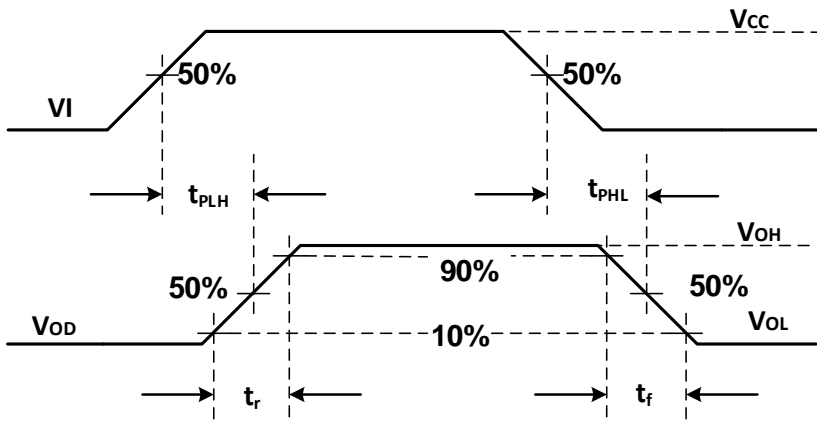
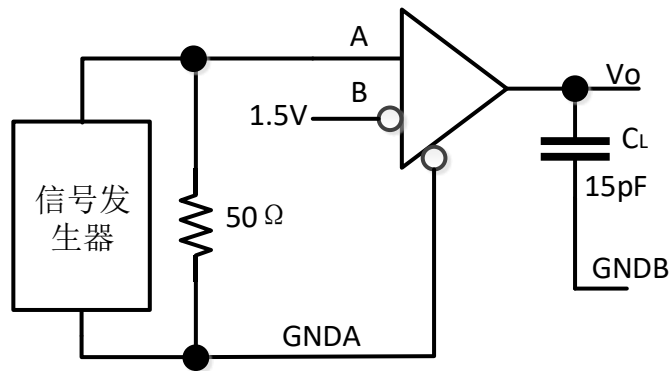


图 10-4 驱动传输延时



备注:

1. 图中的 50Ω 电阻是用来匹配。在实际应用中不需要;
2. C_L 包含夹具和仪器寄生电容。

图 10-5 接收传输延时测试电路

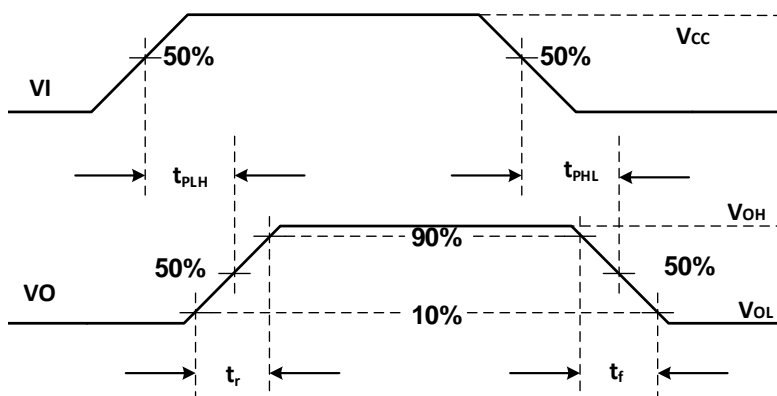


图 10-6 接收传输延时间

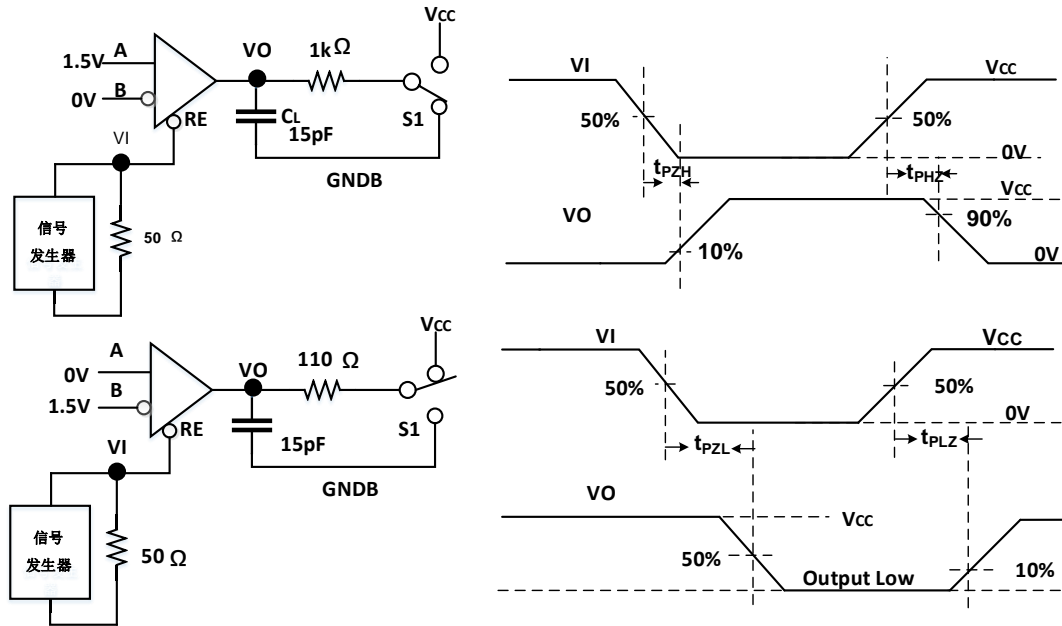


图 10-7 接收开启和关闭时间

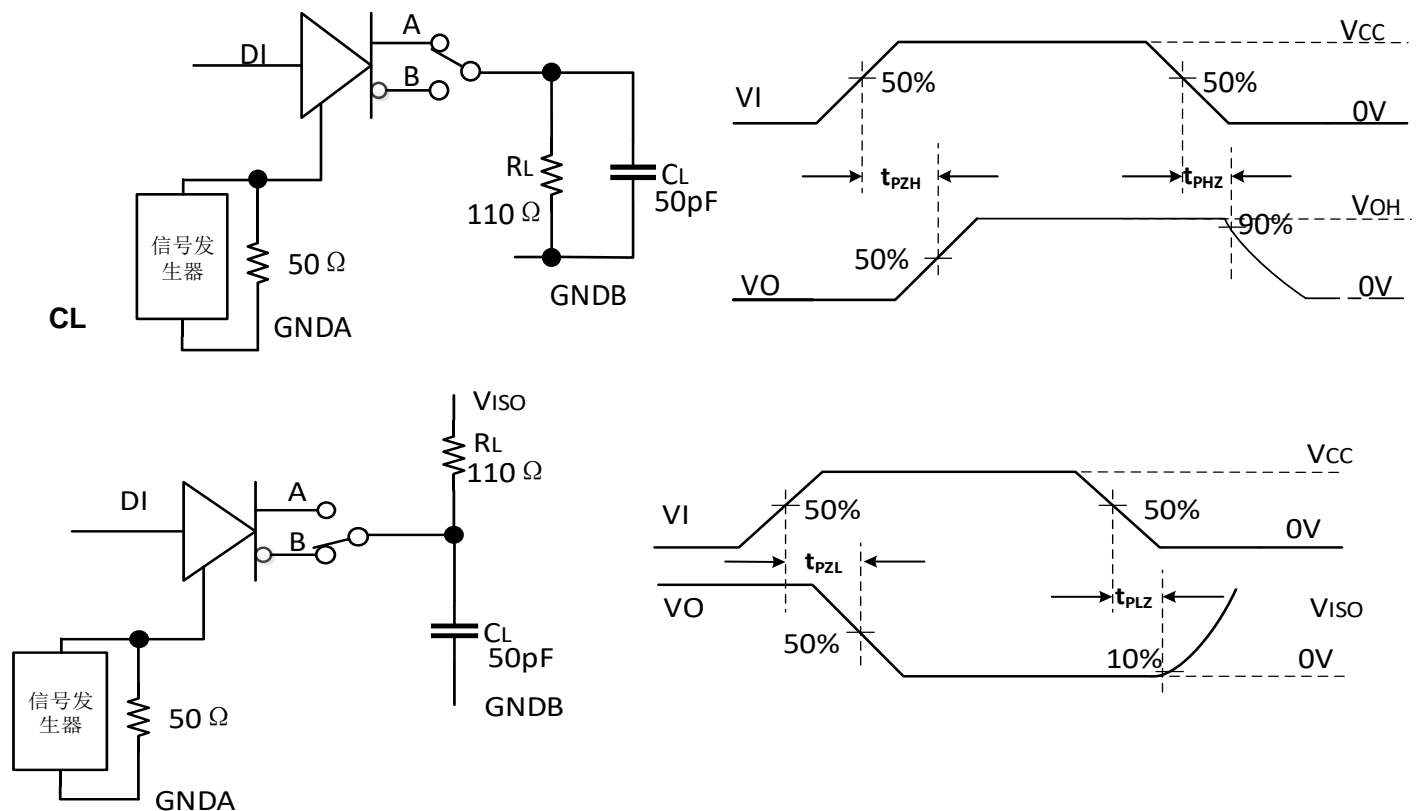


图 10-8 驱动开启和关闭时间

备注:

1. 图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 包含夹具和仪器寄生电容。

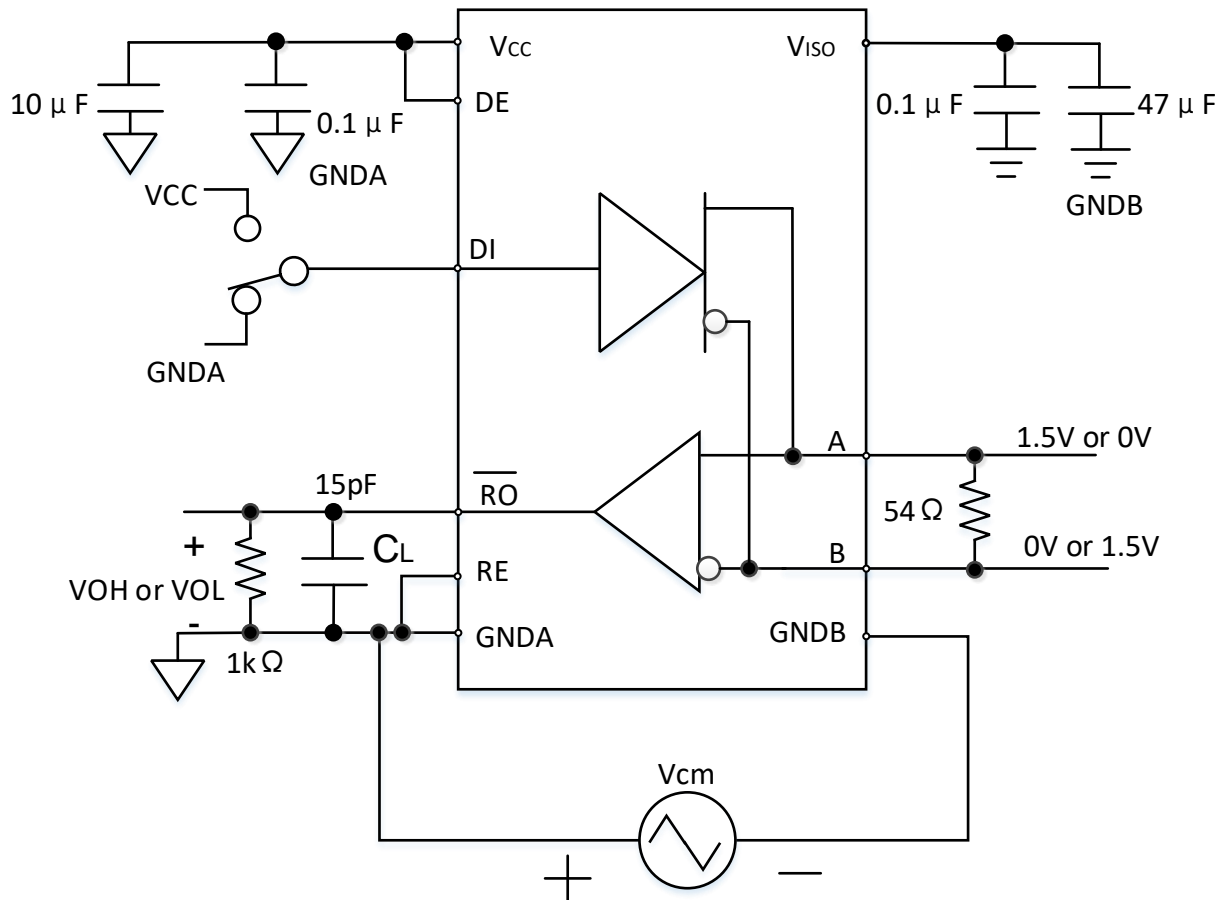


图 10-9 半双工 CMTI 共模瞬变抗扰度测试电路

11. 功能模式

表 11-1 为 CA-IS2092W 驱动功能真值表，表 11-2 为 CA-IS2092W 接收功能真值表

表 11-1 驱动功能真值表

INPUT		OUTPUTS	
(DI)	(DE)	Y / A	Z / B
H	H	H	L
L	H	L	H
X	L	Hi-Z	Hi-Z
X	OPEN	Hi-Z	Hi-Z
OPEN	H	H	L
X	X	Hi-Z	Hi-Z

备注:

1. 驱动状态时 \overline{RE} 引脚接高电平;
2. H = 高电平; L = 低电平; Hi-Z = 高阻抗; X = 无关。

表 11-2 接收功能真值表

DIFFERENTIAL INPUT	ENABLE	OUTPUT
$V_{ID} = (V_A - V_B)$	$\overline{(RE)}$	(R)
$-0.02\text{ V} \leq V_{ID}$	L	H
$-0.2\text{ V} < V_{ID} < -0.02\text{ V}$	L	?
$V_{ID} \leq -0.2\text{ V}$	L	L
X	H	Hi-Z
X	OPEN	Hi-Z
Open circuit	L	H
Short circuit	L	H
Idle(terminated)bus	L	H

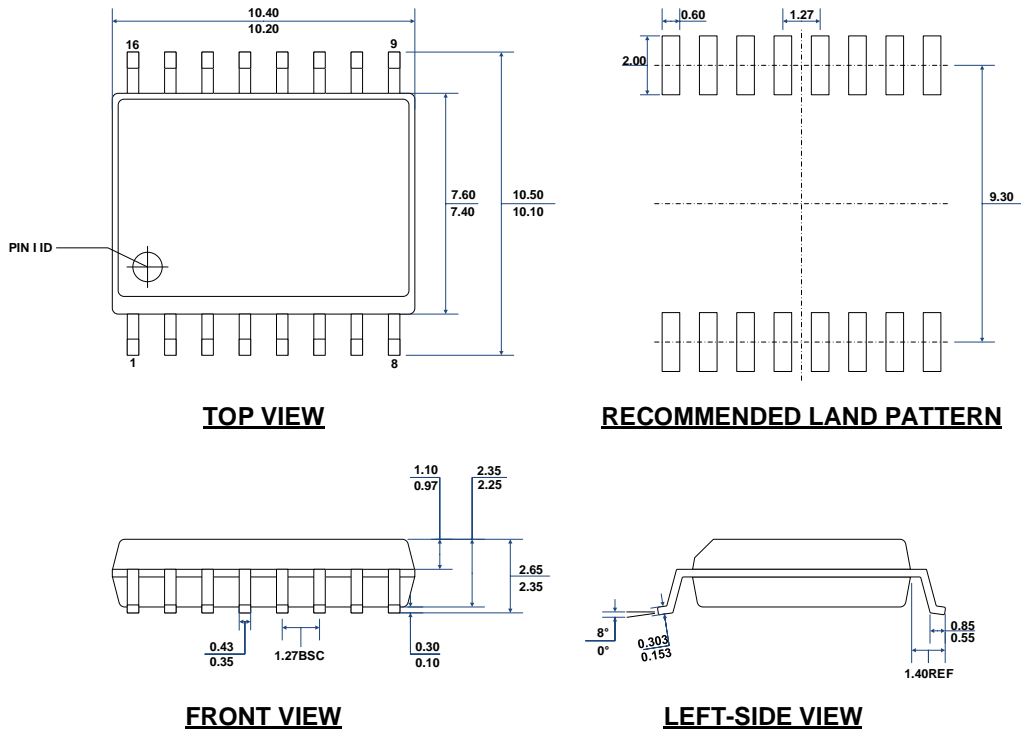
备注:

1. 接收状态时 DE 引脚接低电平;
2. H = 高电平; L = 低电平; Hi-Z = 高阻抗; X = 无关。?=不定态;

12. 封装信息

12.1. SOIC16 宽体外形尺寸

下图说明了采用 SOIC16 宽体封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



13. 焊接信息

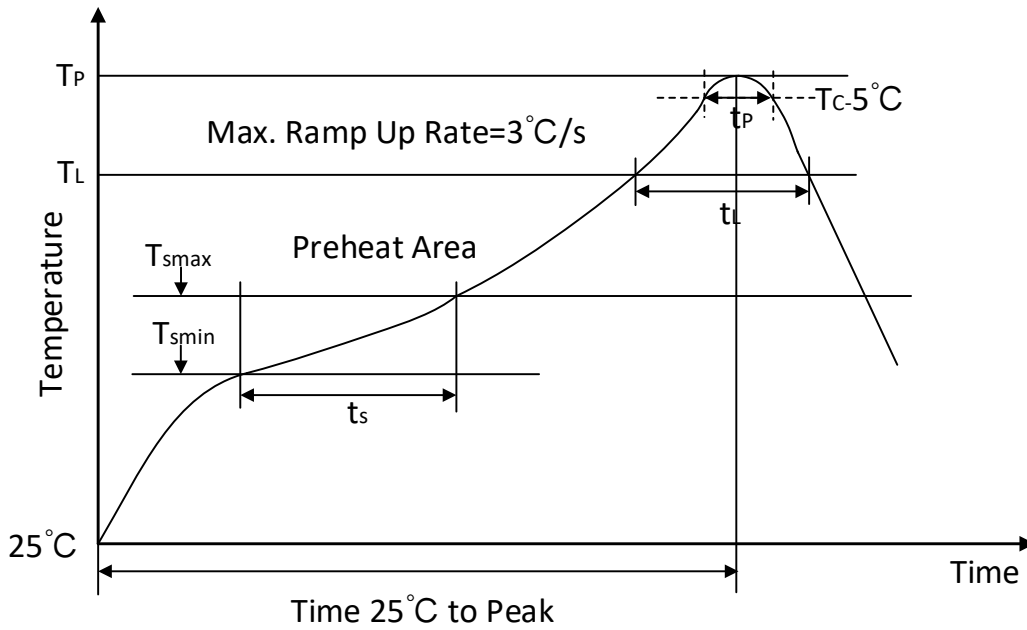
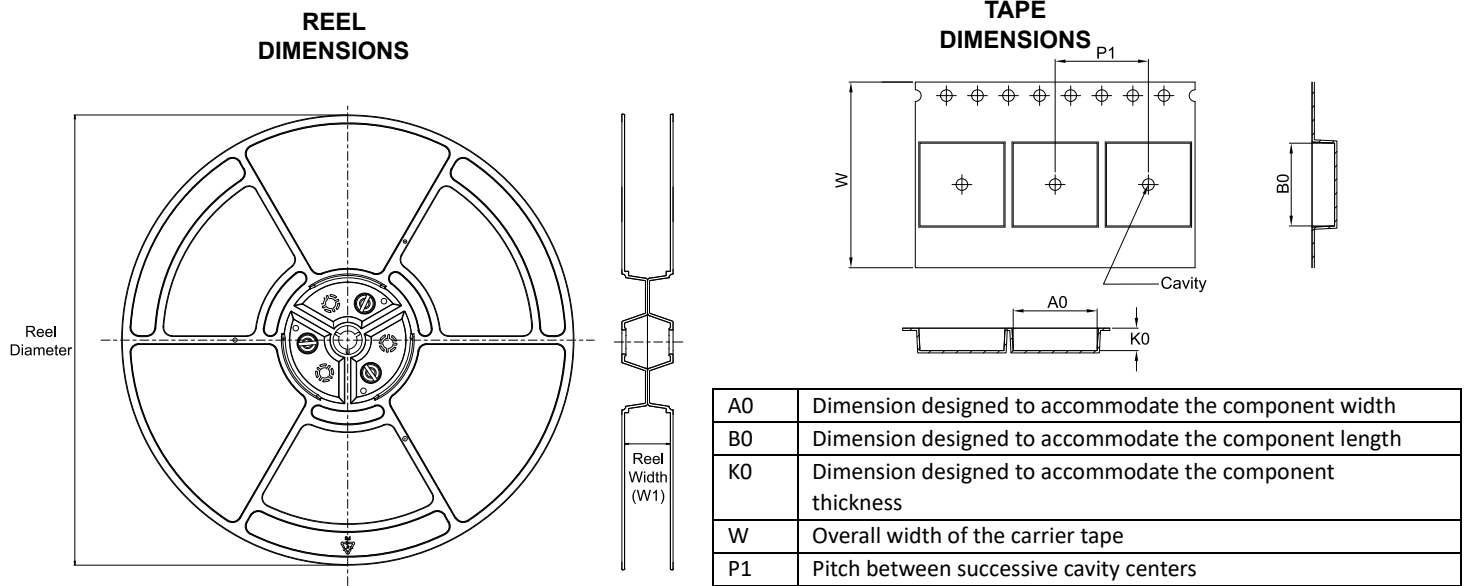


图 13- 1 焊接温度曲线

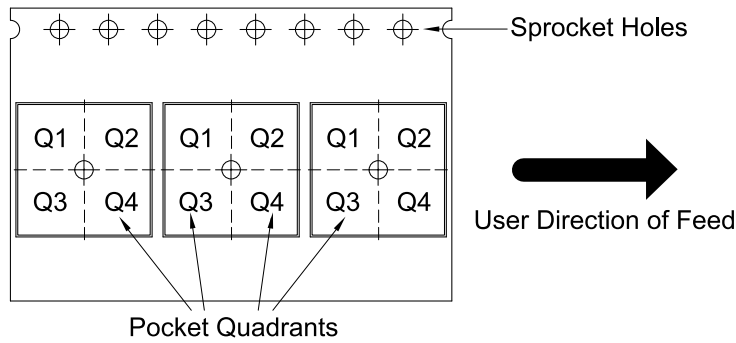
表 13- 1 焊接温度参数

Profile Feature	Pb-Free Assembly
Average ramp-up rate(217 °C to Peak)	3°C/second max
Time of Preheat temp(from 150 °C to 200 °C)	60-120 second
Time to be maintained above 217 °C	60-150 second
Peak temperature	260 +5/-0 °C
Time within 5 °C of actual peak temp	30 second
Ramp-down rate	6 °C/second max.
Time from 25°C to peak temp	8 minutes max

14. 编带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS2092W	SOIC	W	16	1000	330	24.4	10.8	10.7	2.9	12.0	24.0	Q1

15. 包装信息

Orderable Device	Status ¹	Package Type	Package Drawing	Pins	Package Qty	Eco Plan	Lead/Ball Finish	MSL Peak Temp	Op Temp(°C)	Device Marking	Samples
CA-IS2092W	PREVIEW	SOIC	W	16	1000				-40 to 125		

1. The marketing status values are defined as follows:
- ACTIVE:Product device recommended for new designs.
 - LIFEBUY:CA has announced that the device will be discontinued, and a lifetime-buy period is in effect.
 - NRND:Not recommended for new designs.Device is in production to support existing customers, but CA does not recommend using this part in new design.
 - PREVIEW:Device has been announced but is not in production.Samples may or may not be available.
 - OBSOLETE:CA has discontinued the production of the device.

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>

单击下面可查看定价，库存，交付和生命周期等信息

[>>CHIPANALOG\(川土微\)](#)