

CA-IS398x 8 通道隔离式数字输入接收器

1. 产品特性

- 符合 IEC61131-2 针对 24V 隔离式数字输入的 1、2、3 类特性标准
- 单封装 8 通道输入
- 高数据率：最高 2Mbps
- 无现场测电源需求
- 可选去抖动、去毛刺滤波器时间：最大 100ms
- 高瞬态抗扰性：高速通道 100 kV/us
- 可选 SPI 接口：CA-IS3980S
- 宽电源电压范围：2.25V 至 5.5V
- 环境温度范围：-40°C 到 125°C
- 封装：8.66mm x 3.91mm QSOP20
- 隔离耐压等级
 - 符合 DIN VVDE V 0884 – 10 标准的基本绝缘
 - 符合 UL 1577 认证的 2500 V_{RMS} 绝缘

2. 应用

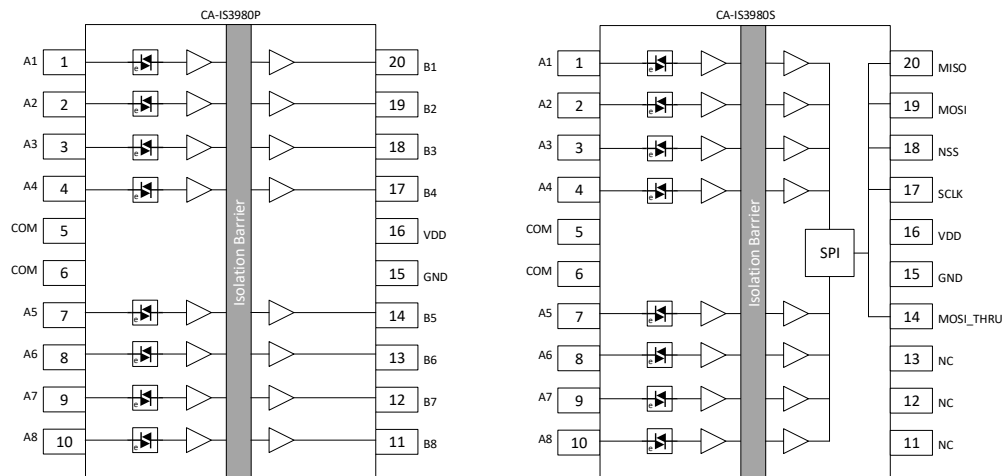
- 可编程逻辑控制器（PLC）
 - 数字输入模块
 - 混合 I/O 模块
- 工业用数据采集
- CNC 控制
- 分布式控制系统
- 电机驱动 I/O 和位置反馈

3. 概述

CA-IS398x 系列器件提供 8 通道隔离式数字输入，非常适合工业应用中常用的 24V 数字逻辑。这些通道可以吸收电流或者提供电流，并具有集成的安全额定隔离度。结合一些外部器件，CA-IS398x 可以满足 IEC 61131-2 开关类型 1、2 或 3 的要求。输入接口可实现双极性功能（拉电流或者灌电流），而且现场侧无需电源。器件输出接口工作电压范围为 2.25V 至 5.5V，支持 2.5V、3.3V 和 5V 控制器。

利用川土微专有的基于 CMOS 的容隔技术，这些产品的隔离耐压达到 2.5 kV_{RMS}，同时实现较高的 CMTI、较低的传输延迟和通道间延迟失配。与光耦输入解决方案相比，CA-IS398x 的使用寿命更长，且具有更高的可靠性。

CA-IS398x 系列产品包括并行和串行输出选项。并行输出选项提供内置的低通滤波器，以提高抗噪性能、降低设计复杂度和成本。串行输出选项可以通过单个 MCU 接口级联总共 128 个通道（16 个 CA-IS3980S），同时可独立配置每个通道的去抖动滤波器时间常数。



4. 订购指南

型号	输出接口	高速通道数	低通去抖动时间常数	封装	隔离等级
CA-IS3980S	串行	0	0ms/10ms/30ms/100ms	20-QSOP	2.5kVrms
CA-IS3980P	并行	0	0ms	20-QSOP	2.5kVrms
CA-IS3982P	并行	2	0ms	20-QSOP	2.5kVrms
CA-IS3984P	并行	4	0ms	20-QSOP	2.5kVrms
CA-IS3988P	并行	8	0ms	20-QSOP	2.5kVrms
CA-IS3980PF	并行	0	10ms	20-QSOP	2.5kVrms
CA-IS3982PF	并行	2	10ms	20-QSOP	2.5kVrms
CA-IS3984PF	并行	4	10ms	20-QSOP	2.5kVrms
CA-IS3980PM	并行	0	30ms	20-QSOP	2.5kVrms
CA-IS3982PM	并行	2	30ms	20-QSOP	2.5kVrms
CA-IS3984PM	并行	4	30ms	20-QSOP	2.5kVrms
CA-IS3980PS	并行	0	100ms	20-QSOP	2.5kVrms
CA-IS3982PS	并行	2	100ms	20-QSOP	2.5kVrms
CA-IS3984PS	并行	4	100ms	20-QSOP	2.5kVrms

目录

1. 产品特性	1	6.11. 典型特性曲线图	9
2. 应用	1	7. 参数测量信息	10
3. 概述	1	8. 详细描述	11
4. 订购指南	2	8.1. 工作原理	11
5. 引脚功能描述	4	8.2. 器件功能模式	11
6. 产品规格	5	8.3. SPI 接口 (CA-IS3980S)	11
6.1. 绝对最大额定值 ¹	5	8.3.1. SPI 寄存器表	11
6.2. ESD 额定值	5	8.3.2. SPI 通信协议	12
6.3. 建议工作条件.....	5	8.3.3. SPI 菊花链	12
6.4. 热量信息.....	5	8.3.4. SPI 接口时序要求.....	14
6.5. 额定功率.....	5	8.4. 去抖动滤波器	14
6.6. 隔离特性.....	6	8.4.1. 去抖动控制寄存器 (CA-IS3980S)	14
6.7. 安规认证.....	7	8.4.2. 去抖动滤波器模式.....	14
6.8. 安全极限.....	7	9. 应用信息	16
6.9. 电气特性——直流规格.....	8	9.1. 系统级转换门限	16
6.10. 转换时间特性.....	8	10. 封装信息	17
		10.1. QSOP20 外形尺寸	17

5. 引脚功能描述

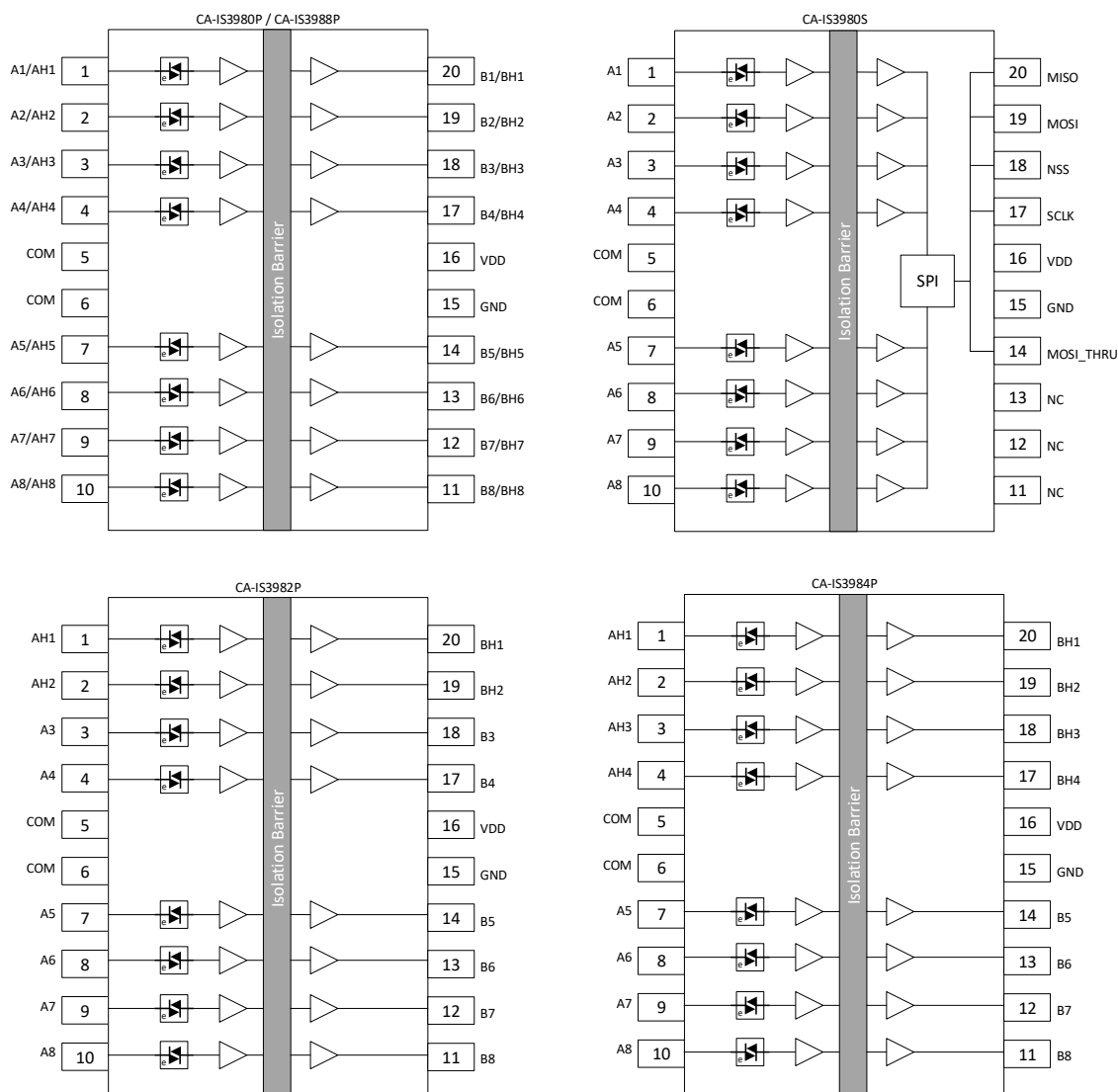


图 5-1 CA-IS398x 引脚图

表 5-1 CA-IS398x 引脚功能描述

引脚名称	引脚编号		类型	描述
	并行	串行		
A1-A8	1-4, 7-10	1-4, 7-10	输入	现场侧低速输入通道
AH1-AH8	1-4, 7-10			
COM	5, 6	5, 6	电源	公共端。灌电流时接地，拉电流时接现场侧电源
B1-B8	11-14, 17-20	11-13	输出	并行：低速输出通道；串行：NC
BH1-BH8	11-14, 17-20			
VDD	16	16	电源	控制器侧电源
GND	15	15	地	控制器侧地
MOSI		19	输入	SPI 数据输入
SCLK		17	输入	SPI 时钟
NSS		18	输入	SPI 片选
MOSI_THRU		14	输出	SPI 串行数据输出级联多个 CA-IS3980S（最大 16 个）
MISO		20	输出	SPI，数据输出

6. 产品规格

6.1. 绝对最大额定值¹

参数		最小值	最大值	单位
V _{DD}	电源电压	-0.3	6.0	V
IF(AVG)	Ax/AHx 输入端口平均正向输入电流		30	mA
VF(AVG)	Ax/AHx 输入端口平均正向电压, 30mA 输入电流		2.5	V
V _O	Bx/BHx, MISO 输出端口电压	-0.5	VDD+0.5	V
I _O	Bx/BHx 端口输出电流	-10	10	mA
VI	MOSI、NSS、SCLK 输入端口电压	-0.5	VDD+0.5 ²	
T _J	结温		150	°C
T _{STG}	存储温度范围	-65	150	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
- 最大电压不得超过 6V。

6.2. ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 ¹	±4000	V
	器件充电模型 (CDM), 根据 JEDEC22-C101	±500	V

备注:

- JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。

6.3. 建议工作条件

参数		最小	最大	单位
V _{DD}	电源电压	2.25	5.5	V
DR	最大数据率, 高速通道		2	Mbps
	最大数据率, 低速通道 (+0 ms tD)		250	Kbps
	最大数据率, 低速通道 (+10 ms tD)		100	bps
	最大数据率, 低速通道 (+30 ms tD)		33	bps
	最大数据率, 低速通道 (+100 ms tD)		10	bps
I _{F(ON)}	输入开启电流 (拉电流或者灌电流)	1.0	20	mA
T _A	环境温度	-40	125	°C

注: 最大环境温度取决于工作的数据率、输出负载、工作的通道数目及电压电压。

6.4. 热量信息

热特性		QSOP20	单位
R _{θJA}	IC 结至环境的热阻	105	°C/W
R _{θJC(top)}	IC 结到壳 (顶部) 热阻		°C/W
R _{θJB}	IC 结对板热阻		°C/W
R _{θJC(bottom)}	IC 结到壳 (底部) 热阻		°C/W

6.5. 额定功率

参数		条件	最小	最大	单位
PD	输入侧最大功率	输入侧每通道电流 30mA, T _J =150°C		540	mW

输出侧最大功率	VDD=5.5, CL=15pF, input 2-MHz 50%占空比方波, T _J =150°C	450	mW
总最大功率	VDD=5.5V, 输入侧每通道电流 30mA, T _J =150°C	990	mW

6.6. 隔离特性

参数		测试条件	数值	单位
CLR	外部气隙 (间隙) ¹	测量输入端至输出端, 隔空最短距离	3.6 (最小)	mm
CPG	外部爬电距离 ¹	测量输入端至输出端, 沿壳体最短距离	3.6 (最小)	mm
DTI	隔离距离	最小内部间隙 (内部距离)	8	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	600	V
	材料组	依据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 150 V _{RMS}	I-IV	
		额定市电电压 ≤ 300 V _{RMS}	I-III	
DIN V VDE V 0884-11:2017-01²				
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	560	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	400	V _{RMS}
		直流电压	566	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	3600	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.3 × V _{IOSM} (生产测试)	4000	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	<5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.3 × V _{IORM} , t _m = 10 s	<5	
		方法 b, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) V _{ini} = V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.5 × V _{IORM} , t _m = 1 s	<5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4V × sin(2πft), f = 1 MHz		pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	2500	V _{RMS}
备注:				
1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。 2. 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。 3. 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。 4. 表征电荷是由局部放电引起的放电电荷 (pd)。 5. 栅两侧的所有引脚连接在一起, 形成双端子器件。				

6.7. 安规认证

VDE(申请中)	CSA(申请中)	UL(申请中)	CQC(申请中)	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC 60950-1, IEC 62368-1 和 IEC 60601-1 认证	UL1577 器件认证程序认证	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

6.8. 安全极限

安全限制旨在最大程度地减少输入或输出电路出现故障时对隔离栅的潜在破坏。I/O 的故障可能会导致对地或对电源的低电阻，并且在没有电流限制的情况下，会耗散足够的功率以使芯片过热并损坏隔离栅，从而可能导致二次系统故障。

参数		测试条件	最小	典型	最大	单位
IS	控制器侧，安全输入、输出及电源电流	$R_{\theta JA} = 120 \text{ }^{\circ}\text{C/W}$, $V_I = 2.75\text{V}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$.			80	mA
		$R_{\theta JA} = 120 \text{ }^{\circ}\text{C/W}$, $V_I = 3.6\text{V}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$.			100	
		$R_{\theta JA} = 120 \text{ }^{\circ}\text{C/W}$, $V_I = 5.5\text{V}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$.			240	
IS	现场侧，安全输入电流	$R_{\theta JA} = 120 \text{ }^{\circ}\text{C/W}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$.			240	mA
PS	安全输入、输出或总功率	$R_{\theta JA} = 120 \text{ }^{\circ}\text{C/W}$, $T_J = 150^{\circ}\text{C}$, $T_A = 25^{\circ}\text{C}$.			1200	mW
TS	最大安全温度				150	$^{\circ}\text{C}$

6.9. 电气特性——直流规格

以建议工作条件为准，除非另有说明

参数	测试条件	最小	典型	最大	单位
现场侧电流电压					
I _{F(TH)}	输入电流阈值	460	606	950	μA
I _{HYS}	输入电流迟滞	30	76	200	μA
V _{F(TH)}	输入电压阈值	1.0	1.38	1.7	V
V _{HYS}	输入电压迟滞	30	73	130	mV
CI	输入端口电容	F=100 kHz	105		pF
控制侧 VDD 电源					
ULVO+	VDD UVLO 电压, 爬升	1.93	2.06	2.19	V
UVLO-	VDD UVLO 电压, 下降	1.7	1.91	2.01	V
VHYS(UVLO)	UVLO 迟滞		0.15		
IDD	工作电流	所有通道输入为 0		6.7	mA
		所有通道输入为 1		7.6	mA
		125kHz 50% 占空比翻转		7.7	mA
		1MHz 50% 占空比翻转		8	mA
控制侧 IO					
VIL	低电平输入电压	SCLK, NSS, MOSI		0.8	V
VIH	高电平输入电压	SCLK, NSS, MOSI		2.0	V
VOL	低电平输出电压	IOL = 4 mA		0.4	V
VOH	高电平输出电压	IOH = -4 mA		VDD-0.4	V
IIH	低电平输入漏电流	SCLK, NSS, MOSI		-1	1 μA
IIL	高电平输入漏电流	SCLK, NSS, MOSI		-1	1 μA

6.10. 转换时间特性

以建议工作条件为准，除非另有说明

参数	测试条件	最小	典型	最大	单位
传输通道 AC 特性					
t _p	传输延迟	输入电流上升下降时间=10ns, 输入电流幅度=10mA, 高速通道 AHx	82	120	ns
		输入电流上升下降时间=10ns, 输入电流幅度=10mA, 低速通道 Ax (+0ms tD)	4	4.6	μs
		输入电流上升下降时间=10ns, 输入电流幅度=10mA, 低速通道 Ax (+10ms tD)	10		ms
		输入电流上升下降时间=10ns, 输入电流幅度=10mA, 低速通道 Ax (+30ms tD)	30		ms
		输入电流上升下降时间=10ns, 输入电流幅度=10mA, 低速通道 Ax (+100ms tD)	100		ms
PWD	脉宽失真	AHx 高速通道	6	50	ns
		Ax 通道	80		ns
T _{psk} (P-P)	传输延迟偏移	AHx 高速通道		+/-30	ns
		Ax 通道		+/-80	ns
T _{psk}	通道间偏移	AHx 高速通道		+/-30	ns
		Ax 通道		+/-80	ns
t _r , t _f	输出上升下降时间	CL=15pF	3.9		ns
t _{START}	器件启动时间	VDD 上升到输出逻辑稳定	150		μs
CMTI	共模瞬变抗扰度	AHx 高速通道	25	50	kV/μs
		Ax 通道	200	300	kV/μs

SPI 时序特性				
t _c	SCLK 周期时间		100	ns
tDO1	SCLK 下降沿到 MISO 数据有效		20	ns
tDO2	SCLK 下降沿到 MISO 转换		20	ns
tDZ	延迟时间, NSS 上升到 MISO 高阻		20	ns
tSU1	建立时间	NSS 下降到 SCLK 下降	25	ns
tH1	保持时间	SCLK 上升到 NSS 上升	20	ns
tSU2	建立时间	MOSI 到 SCLK 上升	25	ns
tH2	保持时间	SCLK 上升到 MOSI 转换	20	ns
tNSS	延迟时间	NSS 相应的延迟时间	200	ns
tDTHRU	延迟时间	MOSI 到 MOSI_THRU 的延迟时间	15	ns

6.11. 典型特性曲线图

1. 输入电压 vs 输入电流特性
待测

7. 参数测量信息

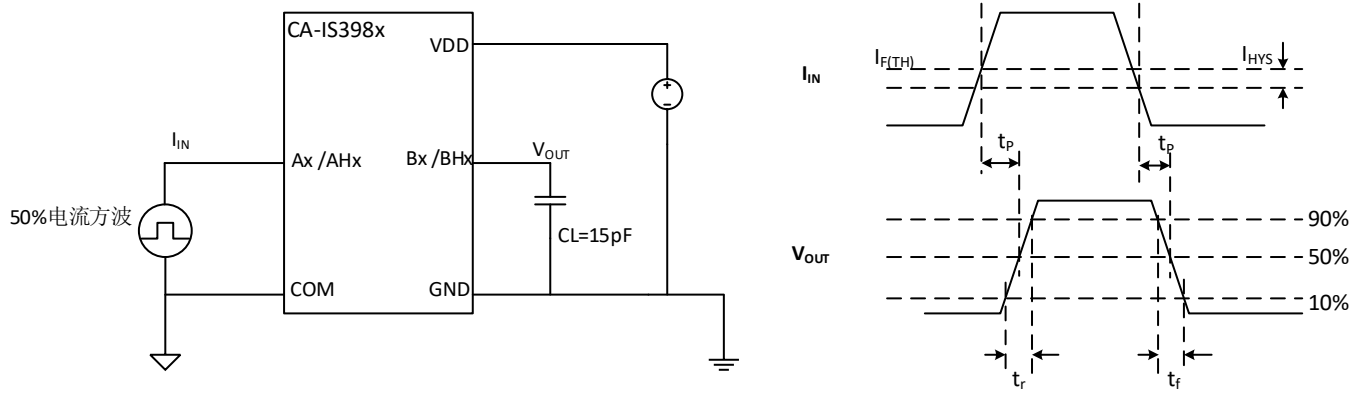


图 7-1 开关特性测试电路与波形

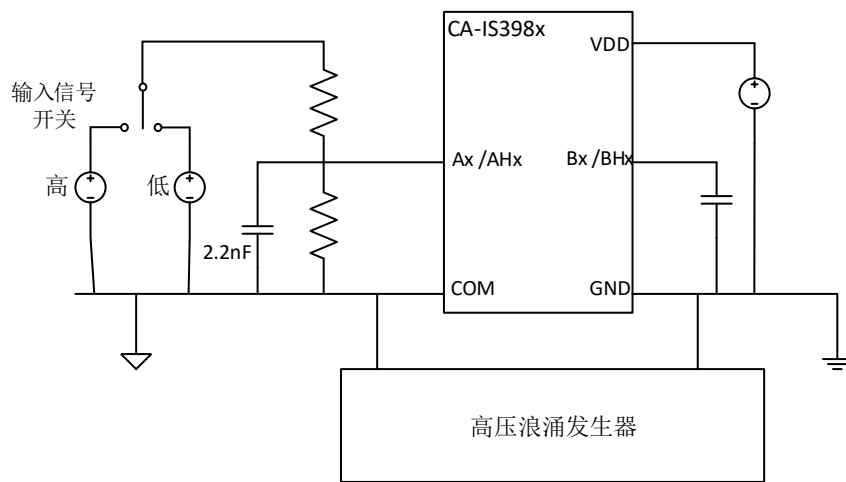


图 7-2 共模干扰测试电路

8. 详细描述

8.1. 工作原理

CA-IS398x 每个通道的工作方式与双极型光耦类似，只是用 RF 载波替代在光耦中的光。这种简单的架构可以提供可靠的隔离数据路径，并且不需要任何特殊考虑或启动初始化。下图显示了 CA-IS398x 中单个通道的简化框图。

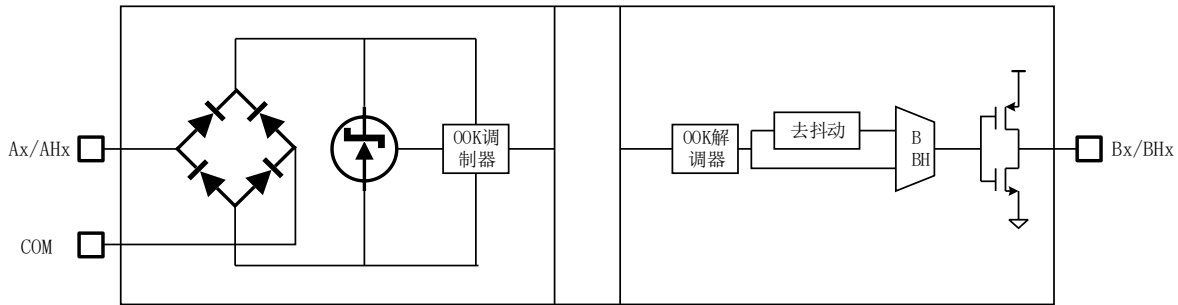


图 8-1 简化的结构图

使用简单的外围电路（见图 8.1），CA-IS398x 可以满足 IEC61131-2 的类型 1、2 和 3 的接口特性。器件的每个输入通道集成桥式整流和 LED 模拟单元，从而同时支持灌电流和拉电流的输入极性。在输出端，隔离信号在解调后可以选择通过高速路径（BHx）或者带去抖动单元的低速路径（Bx）。这种设计可以使得在高速通道中获得最佳的传输延迟性能，同时在低速应用中获得更好的噪声和干扰控制能力。

器件提供三种去抖动滤波器模式选择：去毛刺模式、低通模式和消隐模式。去抖动毛刺滤波器的详细描述在 9.xx 中给出。

除了并行输出接口选项外，CA-IS398x 还提供了一种串行输出接口选项，CA-IS380S。串行输出接口提供 4 线 SPI 接口，并提供额外的 MOSI_THRU 输出以方便实现高达 16 个 CA-IS398x 的级联。关于 SPI 接口的详细描述请参考 8-3-2。

8.2. 器件功能模式

下表列出了 CA-IS398x 的功能模式和真值表

VDD	输入 (Ax/AHx)	输出 (Bx/BHx)	备注
上电	H	H	通道输出状态由输入决定
	L	L	
	Open	L	当输入开路时，输出为低
掉电	x	不确定态	当 VDD 未上电 (<UVLO)，输出状态不确定
备注:			
1. PU = VDD 上电 (VDD > 2.25V); PD = VDD 下电 (VDD < 1.7V)			
2. 输出的不确定态可以是绝对最大额定值范围内的任何值。			

表 8-1 输入输出真值表

8.3. SPI 接口 (CA-IS3980S)

CA-IS3980S 包含一个串行外围设备接口 (SPI)，它使用常用的微控制器协议提供隔离通道的控制和监视功能。直接映射寄存器允许外部主 SPI 控制器监视 8 个输入通道的状态，并控制每个通道的滤波模式和延迟。此外，CA-IS3980S 还支持菊花链方式连接多达 16 个串行器件，实现每个菊花链设备可以由一个主 SPI 控制器唯一寻址。

8.3.1. SPI 寄存器表

可寻址的 SPI 寄存器包括：

1. 1 个只读 8 位状态寄存器，给出 8 个通道的状态
2. 2 个可读写 8 位寄存器，定义滤波器延迟

3. 2 个可读写 8 位寄存器，定义每个通道的去抖动滤波器模式

下表给出了上述 5 个寄存器的详细描述。

名称	地址	读写	描述
CHAN_STATUS	0x0	只读	8 个通道中每个通道的当前状态{STATUS[7:0]}
BDNC_MODE0	0x1	读写	A1-A4 通道的滤波器模式设置： {md_ch4[1:0],md_ch3[1:0],md_ch2[1:0],md_ch1[1:0]}
BDNC_MODE1	0x2	读写	A5-A8 通道的滤波器模式设置： {md_ch8[1:0],md_ch7[1:0],md_ch6[1:0],md_ch5[1:0]}
BDNC_DLY0	0x3	读写	A1-A4 通道的延迟设置： {md_ch4[1:0],md_ch3[1:0],md_ch2[1:0],md_ch1[1:0]}
BDNC_DLY1	0x4	读写	A5-A8 通道的延迟设置： {md_ch8[1:0],md_ch7[1:0],md_ch6[1:0],md_ch5[1:0]}

表 8-2 通道寄存器表

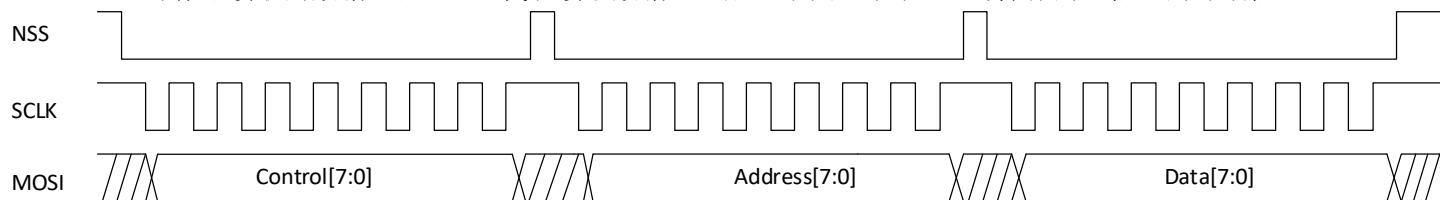
8.3.2. SPI 通信协议

SPI 通信使用 4 线控制接口，在 CA-IS3980S 中用于 SPI 通信的 4 个引脚为：

- SCLK（输入）SPI 时钟
- NSS（输入）片选有效低
- MOSI（输入）主输出从输入
- MISO（输出）主输入从输出

另外，CA-IS3980S 还提供第 5 根线（MOSI_THRU）用来实现 SPI 菊花链级联功能。

SPI 通信数据包由三个串行字节组成。在此系列中，字节 0 是控制字节，并制定要执行的操作以及在菊花链组织中选择要访问的设备。在非菊花链操作模式下，SPI 主设备应将 CID[3:0] 字段设为全零。接下来的字节 1 指定要访问的内部寄存器的地址。数据包中的最后一个字节由要写入寻址的 CA-IS3980S 寄存器的数据（由 MOSI 代表写入数据）或从寻址的 CA-IS3980S 寄存器读取的数据（由 MISO 代表读取数据）组成。下图显示了 SPI 写操作的通信包的详细信息。



Control Byte							
7	6	5	4	3	2	1	0
BRCT	R/Wb	0	0	CID[0]	CID[1]	CID[2]	CID[3]
Address Byte							
7	6	5	4	3	2	1	0
A[7]	A[6]	A[5]	A[4]	A[3]	A[2]	A[1]	A[0]
Data Byte							
7	6	5	4	3	2	1	0
D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]

图 8-2 SPI 通信结构示意图

8.3.3. SPI 菊花链

CA-IS3980S 能够轻松地在一个单独的 SPI 主设备管理的公共 SPI 接口上互联多个 CA-IS3980S 器件，而无需其他控制信号。为此，CA-IS3980S 提供了一个附件的 SPI 器件输出引脚 MOSI_THRU，利用该引脚为菊花链中的下一个 CA-IS3980S

的 MOSI 提供数据输入。除了控制字节的 CID[3:0]字段外，CA-IS3980S 将 SPI 主设备发出的 SPI 通信数据包的所有位直接从 MOSI 输入传递到 MOSI_THRU 输出。

SPI 通信数据包中控制字节的最低 4 位有效位 CID[3:0]专用于寻址以菊花链形式连接的多达 16 个 CA-IS3980S 设备之一，其中 0000 表示该设备 MOSI 引脚直接接至 SPI 主设备，随后的下一级级联 CA-IS3980S 为 0001，以此类推。

CID[3:0]字段在 SPI 从设备菊花链中传输时依次递减 1，在 SPI 主设备中该 4 位字段以相反的顺序放置在控制字中，从而随着控制字的各位的进行，递减的进位为波动到 CID 字段的下一位，即 CID[0]放置在第三位，而 CID[3]放置在最低位。当菊花链中给定 CA-IS3980S 器件的 CID 代码为 0000 时，该器件被激活为要被寻址的器件。SPI 主设备和以此方式激活的 CA-IS3980S 之间的所有其余操作，将依照普通单个 CA-IS3980S 从设备的 SPI 数据通信方式一样进行。下图给出了具有以菊花链连接的 CA-IS3980S 的系统框图。

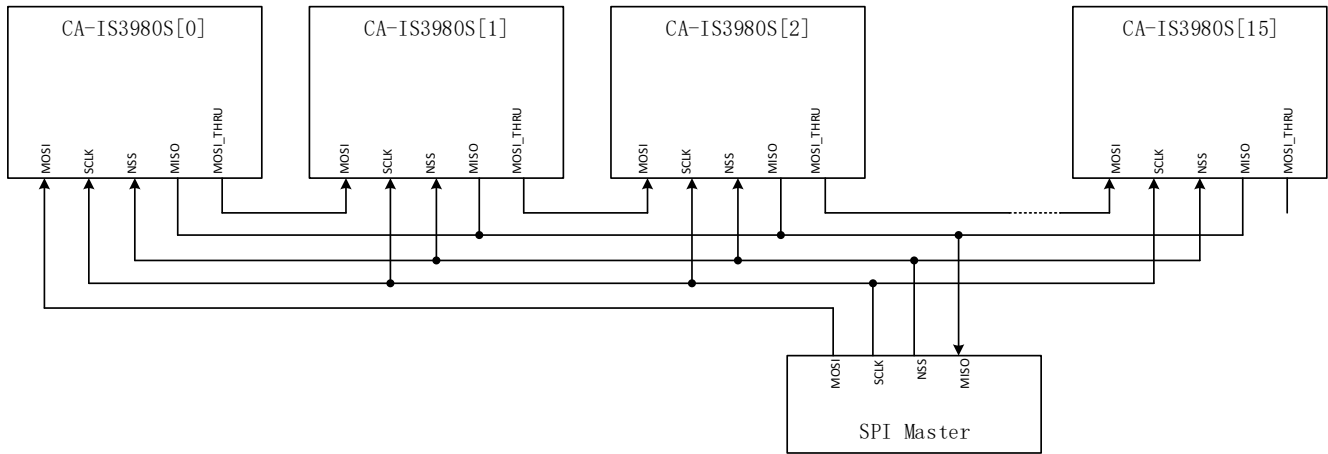


图 8-3 菊花链结构示意图

从上图和 SPI 数据通信包结构，为了从器件 CA-IS3980S[1]读取数据，控制字应为：

Control[7:0] = 0100_1000

类似的，将数据写入 CA-IS3980S[12]的控制字应为：

Control[7:0] = 0000_0011.

如果要更新菊花链中所有 CA-IS3980S 的内部寄存器，控制字应为：

Control[7:0] = 1000_0000.

如果在写操作器件广播位为 0，则将仅更新使用菊花链组织中的控制字的 CID[3:0]字段寻址的 CA-IS3980S 器件。如果在写操作期间广播位为 1，则 CID 字段将被忽略，并且将更新菊花链组织中所有的 CA-IS3980S 器件。对于非菊花链操作，CID[3:]字段应始终为全 0。

请注意，将给定 CA-IS3980S 的 MOSI 输入引脚传递到 MOSI_THRU 输出引脚存在有限的组合逻辑延迟。因此，最大可支持的 SCLK 频率将随着菊花链组织中连接的 CA-IS3980S 器件的数量增加而降低。

8.3.4. SPI 接口时序要求

CA-IS3980S SPI 接口的时序图如下所示。

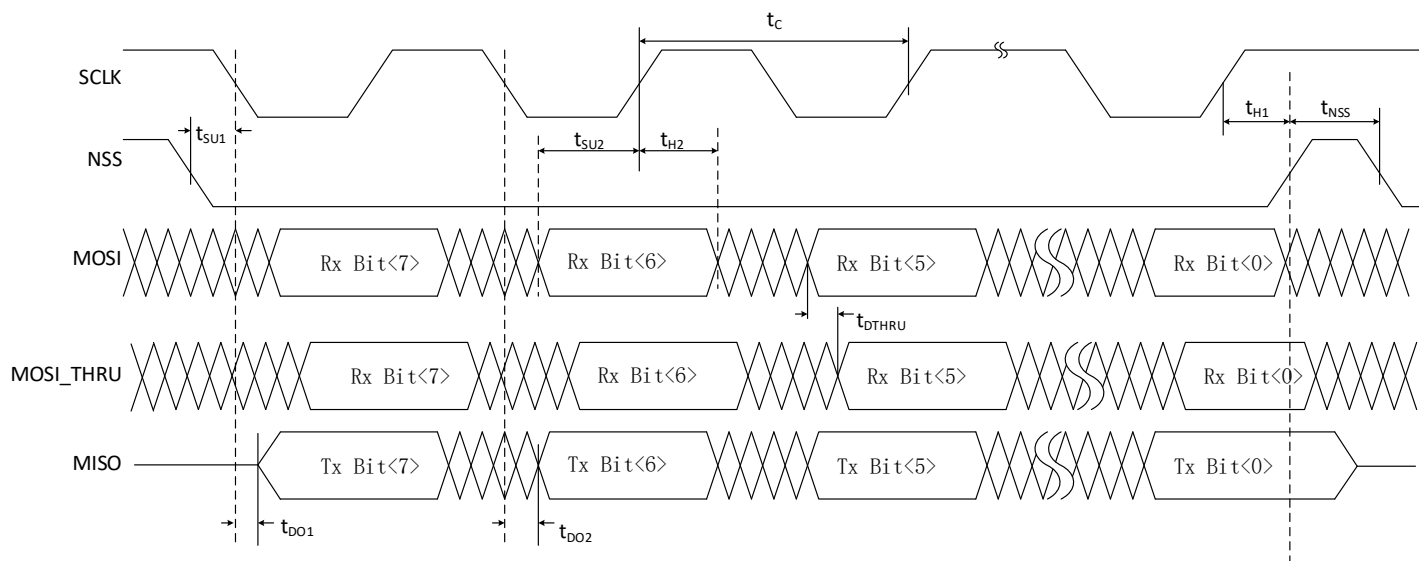


图 8-4 SPI 时序示意图

该图中描述的时序规范适用于三字节 CA-IS3980S SPI 通信数据包中的每个字节，请参阅第 9 页上的表中时序特性中的 SPI 规范。

8.4. 去抖动滤波器

CA-IS398x 在低速通道上具有去抖动滤波器。高速通道没有去抖动滤波器。并行输出器件中，可以通过选择器件料号来配置去抖动滤波器的特性。串行输出器件 CA-IS3980S 中可以直接通过 SPI 接口来配置滤波器特性，并且用户可以配置每个通道的去抖动滤波器模式和延迟。

8.4.1. 去抖动控制寄存器 (CA-IS3980S)

使用 CA-IS3980S 时，去抖动滤波器的特性可以由内部寄存器配置，这些寄存器的详细信息在 8.3.1 中有描述。下表概述了使用这些寄存器的选项。对于 8 个输入通道中的每个通道，分配了两个数据位来控制去抖动延迟，并使用两个数据位来选择去抖动滤波器模式。

bdnc_dly[1:0]	延迟 (ms)	描述
00	0	无额外去抖动滤波器延迟
01	10	快去抖动延迟
10	30	中等去抖动延迟
11	100	慢去抖动延迟

注：所有低速通道均包含内置 4us 低通去抖动延迟，额外延迟由 bdnc_dly 控制字定义。

表 8-3 去抖动滤波延迟表

bdnc_mode[1:0]	滤波器模式 (ms)	描述
00	去毛刺滤波器	后沿延迟滤波器
01	低通滤波器	传统低通滤波器
1x	Blanking filter	前沿延迟滤波器

表 8-4 去抖动滤波模式表

8.4.2. 去抖动滤波器模式

除了配置滤波器延迟时间，用户还可以在去抖动滤波器选择三种不同的过滤模式，实现三种不同的过滤行为。CA-IS3980S 中的每个通道可以独立配置各自的延迟时间和滤波器模式。并行输出器件的所有低速通道的滤波器模式均被配置为低通滤波器模式。

设置 `bdnc_mode[1:0]=00`，滤波器模式为简单后沿延迟，这种滤波器模式一般应用在浦东数字去毛刺滤波器中。在此模式下，一旦通道的输入在相应通道的延迟设置 t_D 时间内稳定，则该通道的输入就会输出至通道输出端口。因此，这种滤波器将滤除任何持续时间小于延迟时间 t_D 的毛刺。

设置 `bdnc_mode[1:0]=01`，对应的滤波器模式为低通滤波器，并且在所有低速通道中内置的 $4\mu s$ 滤波器均采用此种模式。当通道输入逻辑翻转，计数器将开始朝防抖延迟设置 t_D 计数。如果在达到计数 t_D 之前，通道输入返回到其先前的值，则此计数器递减。假设在计数器递减回零之前通道输入再次翻转，则计数器从非零值继续计数。只要该计数达到设置的延迟时间 t_D ，通道的输出即采用新值。使用此种滤波器模式，可以一直通道上任何持续时间小于通道的去抖动滤波器延迟设置 t_D 的噪声脉冲。但是与 `bdnc_mod[1:0]=00` 不同的是，当通道输入在此噪声脉冲之后返回到新值时，新值和噪声脉冲的时间宽度均被计数到有效 t_D 时间内。

设置 `bdnc_mode[1:0]=1x`，对应的滤波器模式为前沿延迟滤波器，类似于 Blanking 滤波器。内部计数器初始为 0，当通道输入发生变化时，通道输出立即采用新值，并且将计数器重置为当前延迟设置 t_D 。在计数器递减至 0 之前，任何通道输入均被忽略。当计数器再次达到 0 时，会将通道的当前输入与通道的当前输出进行比较。如果不同，则通道的输出将立即采用新值。任何情况下，输入的变化都会将计数器重置为当前的延迟设置时间 t_D 。

下图给出了三种滤波器模式的去抖动行为。

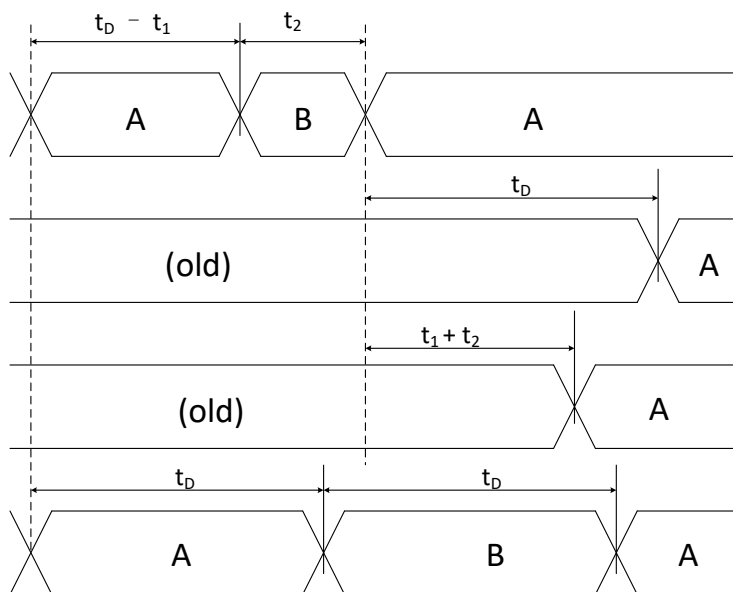


图 8-5 去抖动滤波模式时序示意图

9. 应用信息

9.1. 系统级转换门限

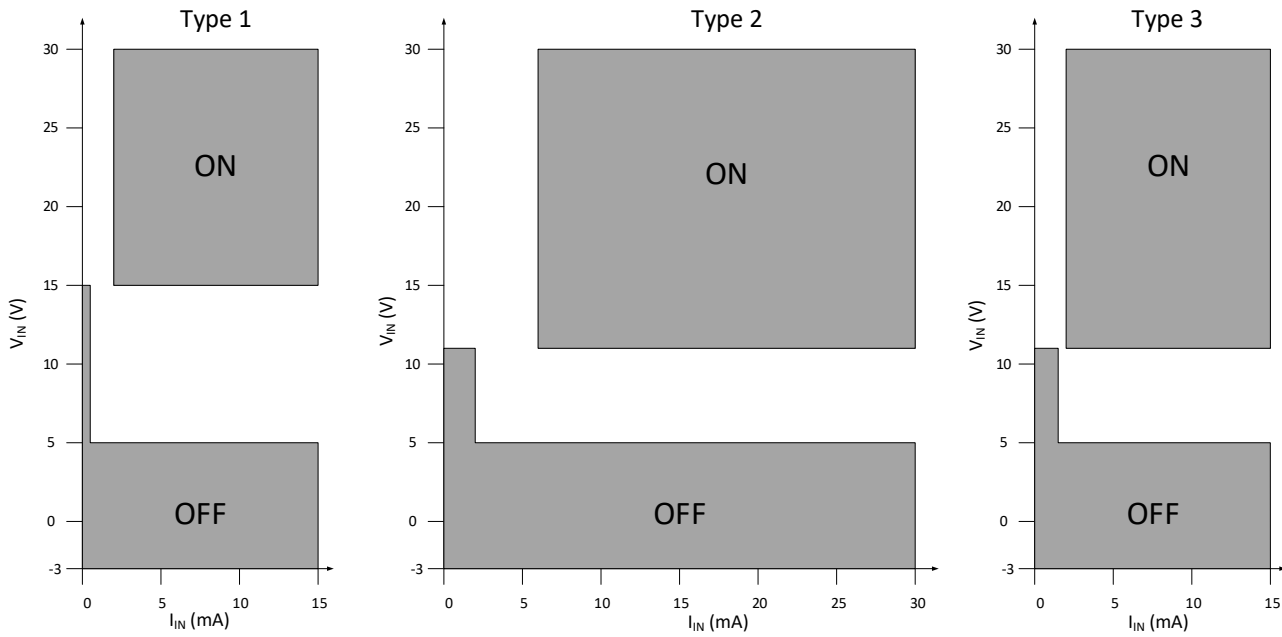
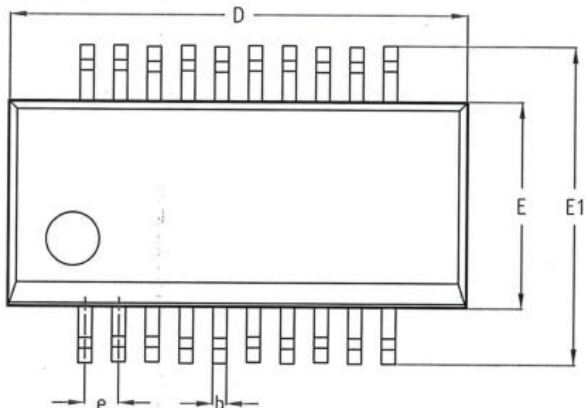


图 9-1 去抖动滤波模式时序示意图

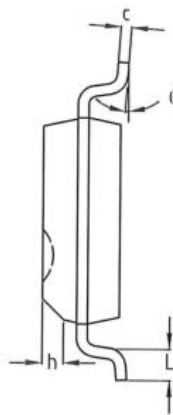
10. 封装信息

10.1. QSOP20 外形尺寸

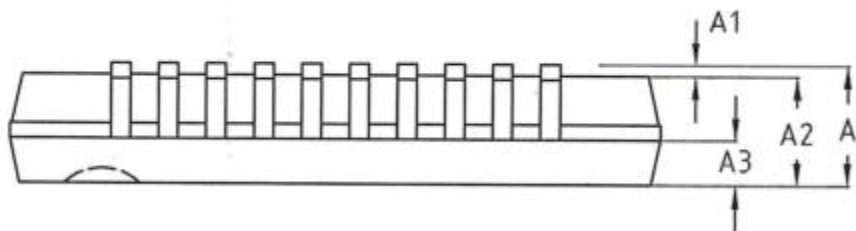
TOP VIEW
正视图



SIDE VIEW
侧视图



SIDE VIEW
侧视图



机械尺寸/mm Dimensions			
字符 SYMBOL	最小值 MIN	典型值 NOMINAL	最大值 MAX
A	-	-	1.75
A1	0.01	-	0.09
A2	1.35	1.45	1.55
A3	0.60	0.65	0.70
b	0.23	-	0.31
c	0.19	-	0.25
D	8.50	8.60	8.70
E	3.80	3.90	4.00
E1	5.80	6.00	6.20
e	0.635 BSC		
h	0.30	-	0.50
L	0.40	-	0.80
θ	0°	-	8°

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>

单击下面可查看定价，库存，交付和生命周期等信息

[>>CHIPANALOG\(川土微\)](#)