

## CA-IS373x 三通道高速数字隔离器

### 1 产品特性

- 为数字信号提供可靠的电气隔离
  - 隔离栅寿命: >40 年
  - 隔离电压高达 3.750kV<sub>RMS</sub> (窄体封装)或 5.0kV<sub>RMS</sub> (宽体封装)
  - 高 CMTI:  $\pm 150\text{kV}/\mu\text{s}$  (典型值)
  - 施密特触发器输入
  - 优异的电磁抗扰度
- 可直接连接处理器或 FPGA
  - 信号传输速率: DC to 150Mbps
  - 较宽的电源电压范围: 2.5V to 5.5V
  - 默认高电平输出(CA-IS373xH)与低电平输出(CA-IS373xL)选项
- 低功耗
  - 1Mbps 下, 典型电流为 1.5mA/通道@5V
  - 100Mbps 下, 典型电流为 6.6mA/通道@5V
- 超低延时 (典型值)
  - 12ns 传输延迟
  - 2ns 传输延时偏差
  - 1ns 脉冲宽度失真
  - 5ns 最小脉冲宽度
- 无需启动初始化
- 使能控制三态输出
- 宽温工作范围:  $-40^{\circ}\text{C}$  to  $125^{\circ}\text{C}$
- 提供多种封装, 符合 RoHS 标准
  - 窄体 SOIC16-NB(N)
  - 窄体 SSOP16-NB(B)
  - 宽体 SOIC16-WB(W)
- 相关安全认证
  - VDE 0884-11 隔离认证
  - UL1577 安全认证
  - IEC 62368-1, IEC 61010-1, GB 4943.1-2011 以及 GB 8898-2011 安全认证

### 2 应用

- 工业自动化
- 电机控制
- 医疗电子
- 太阳能逆变器

### 3 概述

CA-IS373x 高性能、三通道数字隔离器提供高达 3.75kV<sub>RMS</sub> (窄体封装)或 5.0kV<sub>RMS</sub> (宽体封装)的隔离耐压, 以及较高的 CMTI ( $\pm 150\text{kV}/\mu\text{s}$ , 典型值), 可支持 DC-150Mbps 超宽速率范围。该系列器件具有较高的电磁辐射抑制和低功耗特性, 为不同的电源域数字信号提供电气隔离, 阻隔高压、大电流瞬态干扰, 为敏感电路、人机界面提供有效保护。每个隔离通道的逻辑输入与输出缓冲器通过二氧化硅(SiO<sub>2</sub>)绝缘栅隔离, 集成施密特触发器提供优异的噪声抑制。

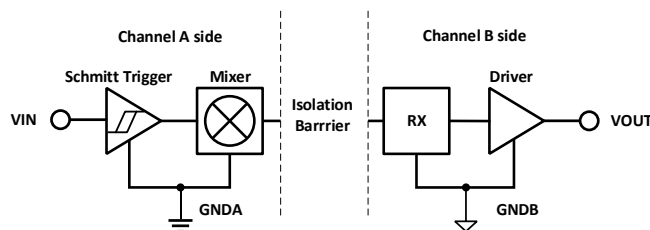
CA-IS373x 产品家族提供了所有单向、三通道数字隔离的配置选项, 以支持不同数字 I/O 隔离应用的需求。其中, CA-IS3730 提供了三路同向传输隔离通道, 并在输出侧(B)提供使能控制; CA-IS3731 则提供两个前向隔离通道和一个反向隔离通道, A/B 两侧输出均带有使能控制。所有器件提供不同的默认输出选项, 即如果输入侧电源掉电或信号丢失时, 后缀为 L 的器件默认输出低电平; 后缀为 H 的器件默认输出为高电平。有关器件型号与默认输出的对应关系表, 请参考表 4-1 有效订购型号。

该系列器件基于便捷的电容隔离技术提供可靠的数字隔离通道, 无需考虑启动初始化问题。下图给出了 CA-IS373x 系列产品单个通道的简化框图。CA-IS373x 系列产品工作在  $-40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$  扩展工业级温度范围, 提供 16 引脚 SOIC 窄体封装和 16 引脚宽体 SOIC 封装。此外, CA-IS3731 提供 16 引脚 SSOP 窄体封装。

#### 器件信息

型号	封装	封装尺寸(标称值)
CA-IS3730	SOIC16-NB (N)	9.90 mm × 3.90 mm
CA-IS3731	SOIC16-WB(W)	10.30 mm × 7.50 mm
CA-IS3731	SSOP16-NB(B)	4.90 mm × 3.90 mm

简化通道结构图



注：通道 A 侧和 B 侧由电容绝缘栅隔离。  
GNDA 和 GNDB 分别为 A 侧和 B 侧信号的接地参考端。

4 订购信息

表 4-1. 有效订购型号

型号	输入通道数 A 侧	输入通道数 B 侧	默认输出状态	额定耐压 (kV)	输出使能	封装
CA-IS3730LN	3	0	低	3.75	YES	SOIC16-NB
CA-IS3730LW	3	0	低	5.0	YES	SOIC16-WB
CA-IS3730HN	3	0	高	3.75	YES	SOIC16-NB
CA-IS3730HW	3	0	高	5.0	YES	SOIC16-WB
CA-IS3731LN	2	1	低	3.75	YES	SOIC16-NB
CA-IS3731LW	2	1	低	5.0	YES	SOIC16-WB
CA-IS3731HN	2	1	高	3.75	YES	SOIC16-NB
CA-IS3731HW	2	1	高	5.0	YES	SOIC16-WB
CA-IS3731HB	2	1	高	3.75	YES	SSOP16-NB
CA-IS3731LB	2	1	低	3.75	YES	SSOP16-NB

## 目录

1	产品特性.....	1	7.10	时序特性 .....	13
2	应用 .....	1	8	参数测量信息 .....	15
3	概述 .....	1	9	详细说明.....	17
4	订购信息.....	2	9.1	工作原理 .....	17
5	修订历史.....	3	9.2	功能框图 .....	17
6	引脚功能描述 .....	4	9.3	真值表 .....	18
7	产品规格.....	5	10	典型应用 .....	19
7.1	绝对最大额定值 <sup>1</sup> .....	5	11	封装信息.....	20
7.2	ESD 额定值 .....	5	11.1	16 引脚宽体 SOIC 外形尺寸 .....	20
7.3	建议工作条件.....	5	11.2	16 引脚窄体 SOIC 外形尺寸 .....	21
7.4	热参数 .....	6	11.3	16 引脚窄体 SSOP 外形尺寸 .....	22
7.5	额定功耗.....	6	12	焊接信息.....	23
7.6	隔离特性.....	7	13	卷带信息.....	24
7.7	相关安全认证.....	8	14	重要声明 .....	26
7.8	电气特性.....	9			
7.9	电源电流特性.....	10			

## 5 修订历史

修订版本号	修订内容	页码
Version 1.0		
Version 1.01	更新宽体封装隔离电压参数: $V_{IO\text{RM}}$ 值更新为 1414V, $V_{IO\text{WM}}$ 交流 RMS 值更新为 1000V, $V_{IO\text{WM}}$ 直流值更新为 1414V。 更新功耗参数表。	7, 10, 11, 12
Version 1.02	新增 CA-IS3731LB 型号。	2, 4

## 6 引脚功能描述

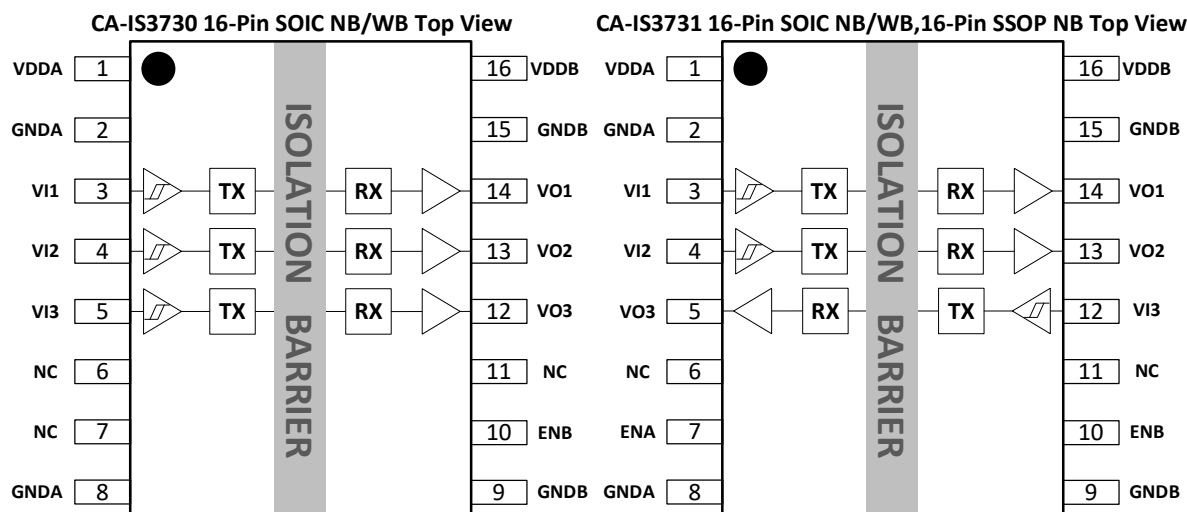


图 6-1. CA-IS373x 顶部视图

表 6-1. CA-IS373x 引脚功能描述

16-SOIC/16-SSOP Pin#		名称	类型	说明
CA-IS3730	CA-IS3731			
1	1	VDDA	电源	A 侧供电电源输入。
2, 8	2, 8	GNDA	地	A 侧接地参考端。
3	3	VI1	数字 I/O	通道 1 的 A 侧数字输入，对应于通道 1 的 B 侧逻辑输出。
4	4	VI2	数字 I/O	通道 2 的 A 侧数字输入，对应于通道 2 的 B 侧逻辑输出。
5	12	VI3	数字 I/O	通道 3 的 A/B 侧数字输入，对应于通道 3 的 B/A 侧逻辑输出。
6, 7	6	NC <sup>1</sup>	---	内部没有连接。它们可以悬空，连接到 VDDA 或 GNDA。
-	7	ENA <sup>2</sup>	数字 I/O	A 侧输出使能控制。ENA 为高电平或浮空时，使能 A 侧输出；ENA 为低电平时，A 侧输出置于高阻开路状态。
9, 15	9, 15	GNDB	地	B 侧接地参考端。
11	11	NC <sup>1</sup>	---	内部没有连接。它们可以悬空，连接到 VDDB 或 GNDB。
10	10	ENB <sup>2</sup>	数字 I/O	B 侧输出使能控制。ENB 为高电平或浮空时，使能 B 侧输出；ENB 为低电平时，B 侧输出置于高阻开路状态。
12	5	VO3	数字 I/O	通道 3 的 B/A 侧逻辑输出，VO3 是 A/B 侧输入 VI3 对应的逻辑输出。
13	13	VO2	数字 I/O	通道 2 的 B 侧逻辑输出，VO2 是 A 侧输入 VI2 对应的逻辑输出。
14	14	VO1	数字 I/O	通道 1 的 B 侧逻辑输出，VO1 是 A 侧输入 VI1 对应的逻辑输出。
16	16	VDDB	电源	B 侧供电电源输入。

注:

1. 无连接。这些引脚没有内部连接，它们可以悬空，连接到 VDD<sub>0</sub> 或连接到相应侧的 GND。
2. 使能控制输入 ENA 和 ENB 可将相应的输出置于高阻态，适用于多主机驱动、外部时钟同步等应用。这些引脚的内部带有上拉电阻，可连接高电平或浮空使能输出。如果不使用 ENA、ENB 控制，建议将这些引脚连接到固定的逻辑电平，尤其是在嘈杂环境下，以消除干扰。

## 7 产品规格

### 7.1 绝对最大额定值<sup>1</sup>

		最小值	最大值	单位
$V_{DDA}, V_{DDB}$	电源电压 <sup>2</sup>	-0.5	7.0	V
$V_{in}$	输入电压 $A_x, B_x, EN_x$	-0.5	$V_{DD}+0.5^3$	V
$I_O$	输出电流	-20	20	mA
$T_J$	结温		150	°C
$T_{STG}$	存储温度范围	-65	150	°C

#### 注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
2. 所有电压值均相对于本地接地端（GNDA 或 GNDB），并且是峰值电压值。
3. 最大电压不得超过 7V。

### 7.2 ESD 额定值

		数值	单位
$V_{ESD}$ 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 <sup>1</sup>	±6000	V
	组件充电模式(CDM), 根据 JEDEC 规范 JESD22-C101, 所有引脚 <sup>2</sup>	±2000	

#### 注:

1. 根据 JEDEC 文件 JEP155 规定，500V HBM 可通过标准 ESD 控制过程，实现安全生产。
2. 根据 JEDEC 文件 JEP157 规定，250V CDM 允许使用标准 ESD 控制过程，实现安全生产。

### 7.3 建议工作条件

参数		最小值	典型值	最大值	单位
$V_{DDA}, V_{DDB}$	电源电压	2.375	3.30	5.50	V
$V_{DD} (UVLO+)$	$V_{DD}$ 电源电压上升时的欠压阈值	1.95	2.24	2.375	V
$V_{DD} (UVLO-)$	$V_{DD}$ 电源电压下降时的欠压阈值	1.88	2.10	2.325	V
$V_{HYS} (UVLO)$	$V_{DD}$ 迟滞欠压阈值	70	140	250	mV
$I_{OH}$	高电平输出电流	$V_{DDO}^1 = 5V$	-4		mA
		$V_{DDO} = 3.3V$	-2		
		$V_{DDO} = 2.5V$	-1		
$I_{OL}$	低电平输出电流	$V_{DDO} = 5V$		4	mA
		$V_{DDO} = 3.3V$		2	
		$V_{DDO} = 2.5V$		1	
$V_{IH}$	输入阈值逻辑高电平	2.0			V
$V_{IL}$	输入阈值逻辑低电平			0.8	V
DR	信号传输速率	0		150	Mbps
$T_A$	环境温度	-40	27	125	°C

#### 注:

1.  $V_{DDO}$  = 输出侧电源电压  $V_{DD}$ 。

#### 7.4 热参数

热阻	CA-IS373x (16 引脚)			单位
	N	W	B	
$R_{\theta JA}$ IC 结至环境的热阻	96.2	83.4	110	°C/W

#### 7.5 额定功耗

参数	测试条件	最小值	典型值	最大值	单位
<b>CA-IS3730</b>					
$P_D$ 最大功耗	$V_{DDA} = V_{DDB} = 5.5\text{ V}$ , $C_L = 15\text{ pF}$ , $T_J = 150^\circ\text{C}$ , 输入 75MHz、50% 占空比方波			252	mW
$P_{DA}$ A 侧的最大功耗				27	mW
$P_{DB}$ B 侧的最大功耗				225	mW
<b>CA-IS3731</b>					
$P_D$ 最大功耗	$V_{DDA} = V_{DDB} = 5.5\text{ V}$ , $C_L = 15\text{ pF}$ , $T_J = 150^\circ\text{C}$ , 输入 75MHz、50% 占空比方波			252	mW
$P_{DA}$ A 侧的最大功耗				92	mW
$P_{DB}$ B 侧的最大功耗				160	mW

## 7.6 隔离特性

参数		测试条件	数值		单位
			W	N、B	
CLR	外部气隙 (间隙) <sup>1</sup>	测量输入端至输出端, 隔空最短距离	8	4	mm
CPG	外部爬电距离 <sup>1</sup>	测量输入端至输出端, 沿壳体最短距离	8	4	mm
DTI	隔离距离	最小内部间隙 (内部距离)	28	19	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	>600	V
	材料组	依据 IEC 60664-1	I	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 300 V <sub>RMS</sub>	I-IV	I-III	
		额定市电电压 ≤ 400 V <sub>RMS</sub>	I-IV	I-III	
		额定市电电压 ≤ 600 V <sub>RMS</sub>	I-III	n/a	
<b>DIN V VDE V 0884-11:2017-01<sup>2</sup></b>					
V <sub>IORM</sub>	最大重复峰值隔离电压	交流电压(双极)	1414	566	V <sub>PK</sub>
V <sub>IOWM</sub>	最大工作隔离电压	交流电压; 时间相关的介质击穿 (Tddb) 测试	1000	400	V <sub>RMS</sub>
		直流电压	1414	566	V <sub>DC</sub>
V <sub>IOTM</sub>	最大瞬态隔离电压	V <sub>TEST</sub> = V <sub>IOTM</sub> , t = 60 s (认证); V <sub>TEST</sub> = 1.2 × V <sub>IOTM</sub> , t = 1 s (100% 产品测试)	7070	5300	V <sub>PK</sub>
V <sub>IOSM</sub>	最大浪涌隔离电压 <sup>3</sup>	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V <sub>TEST</sub> = 1.6 × V <sub>IOSM</sub> (生产测试)	6250	5000	V <sub>PK</sub>
q <sub>pd</sub>	表征电荷 <sup>4</sup>	方法 a, 输入/输出安全测试子类 2/3 后, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60 s; V <sub>pd(m)</sub> = 1.2 × V <sub>IORM</sub> , t <sub>m</sub> = 10 s	≤5	≤5	pC
		方法 a, 环境测试子类 1 后, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60 s; V <sub>pd(m)</sub> = 1.6 × V <sub>IORM</sub> , t <sub>m</sub> = 10 s	≤5	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) V <sub>ini</sub> = 1.2 × V <sub>IOTM</sub> , t <sub>ini</sub> = 1 s; V <sub>pd(m)</sub> = 1.875 × V <sub>IORM</sub> , t <sub>m</sub> = 1 s	≤5	≤5	
C <sub>IO</sub>	栅电容, 输入到输出 <sup>5</sup>	V <sub>IO</sub> = 0.4 × sin (2πft), f = 1 MHz	~0.5	~0.5	pF
R <sub>IO</sub>	绝缘电阻 <sup>5</sup>	V <sub>IO</sub> = 500 V, T <sub>A</sub> = 25°C	>10 <sup>12</sup>	>10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500 V, 100°C ≤ T <sub>A</sub> ≤ 125°C	>10 <sup>11</sup>	>10 <sup>11</sup>	
		V <sub>IO</sub> = 500 V at T <sub>S</sub> = 150°C	>10 <sup>9</sup>	>10 <sup>9</sup>	
	污染度		2	2	
<b>UL 1577</b>					
V <sub>ISO</sub>	最大隔离电压	V <sub>TEST</sub> = V <sub>ISO</sub> , t = 60 s (认证), V <sub>TEST</sub> = 1.2 × V <sub>ISO</sub> , t = 1 s (100% 生产测试)	5000	3750	V <sub>RMS</sub>
<b>注:</b>					
1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。					

### 7.7 相关安全认证

VDE	UL	CQC	TUV
根据 DIN V VDE V 0884-11:2017-01 认证	UL1577 器件程序认证	根据 GB4943.1-2011 和 GB 8898-2011 认证	根据 EN/IEC 61010-1:2010 (3rd Ed)和 EN/IEC 62368-1:2014+A11:2017 认证
最大瞬态隔离电压: 7070V <sub>pk</sub> (SOIC16-W), 5300V <sub>pk</sub> (SOIC16-N)	SOP16-N: 3750 V <sub>RMS</sub> ; SOP16-W: 5000 V <sub>RMS</sub>	SOP16-N: 基本绝缘, 最大工作电压 400 V <sub>RMS</sub> ; SOP16-W: 加强绝缘, 最大工作电压 1000 V <sub>RMS</sub> (仅适用于海拔 5000 米及以下)	5000 V <sub>RMS</sub> ( SOP16-W)和 3750 V <sub>RMS</sub> (SOP16-N) 根据加强绝缘 EN/IEC 61010-1:2010 (3rd Ed) 和 EN/IEC 62368-1:2014+A11:2017, 最大工作电压 1000 V <sub>RMS</sub> ( SOP16-W)和 400 V <sub>RMS</sub> (SOP16-N)
证书编号: 40052786	证书编号: E511334	证书编号 SOP16-N: CQC20001251750 SOP16-W: CQC20001251466	CB 证书编号: JPTUV-111116; DE 2-027880 AK 证书编号: AK 50474784 0001; AK 50474786 0001



**7.8 电气特性**
 $V_{DDA} = V_{DDB} = 5\text{ V} \pm 10\%$ ,  $T_A = -40$  to  $125^\circ\text{C}$ 

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	逻辑高电平输出电压 $I_{OH} = -4\text{mA}$ ; 图 8-2	$V_{DDO}^1 - 0.4$	4.8		V
$V_{OL}$	逻辑低电平输出电压 $I_{OL} = 4\text{mA}$ ; 图 8-2	0.2	0.4		V
$V_{IT+(IN)}$	正输入阈值	1.4	1.7	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.3	1.5	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
$I_{IH}$	高电平输入漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx or ENx			20	$\mu\text{A}$
$I_{IL}$	低电平输入漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-20			$\mu\text{A}$
$Z_O$	输出阻抗 <sup>2</sup>		50		$\Omega$
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1$ or $0\text{ V}$ , $V_{CM} = 1200\text{ V}$ ; 图 8-4	100	150		$\text{kV}/\mu\text{s}$
$C_i$	输入电容 <sup>3</sup> $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 1\text{ MHz}$ , $V_{DD} = 5\text{ V}$		2		pF

**注:**

- $V_{DDI}$  = 输入侧电源电压  $V_{DD}$ ,  $V_{DDO}$  = 输出侧电源电压  $V_{DD}$ 。
- 隔离器输出阻抗约为  $50\Omega \pm 40\%$ 。
- 从引脚到地测量。

 $V_{DDA} = V_{DDB} = 3.3\text{ V} \pm 10\%$ ,  $T_A = -40$  to  $125^\circ\text{C}$ 

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	逻辑高电平输出电压 $I_{OH} = -4\text{mA}$ ; 图 8-2	$V_{DDO}^1 - 0.4$	3.1		V
$V_{OL}$	逻辑低电平输出电压 $I_{OL} = 4\text{mA}$ ; 图 8-2	0.2	0.4		V
$V_{IT+(IN)}$	正输入阈值	1.4	1.7	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.3	1.5	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
$I_{IH}$	高电平输入漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx or ENx			20	$\mu\text{A}$
$I_{IL}$	低电平输入漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-20			$\mu\text{A}$
$Z_O$	输出阻抗 <sup>2</sup>		50		$\Omega$
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1$ or $0\text{ V}$ , $V_{CM} = 1200\text{ V}$ ; 图 8-4	100	150		$\text{kV}/\mu\text{s}$
$C_i$	输入电容 <sup>3</sup> $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 1\text{ MHz}$ , $V_{DD} = 5\text{ V}$		2		pF

**注:**

- $V_{DDI}$  = 输入侧电源电压  $V_{DD}$ ,  $V_{DDO}$  = 输出侧电源电压  $V_{DD}$ 。
- 隔离器输出阻抗约为  $50\Omega \pm 40\%$ 。
- 从引脚到地测量。

 $V_{DDA} = V_{DDB} = 2.5\text{ V} \pm 5\%$ ,  $T_A = -40$  to  $125^\circ\text{C}$ 

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	逻辑高电平输出电压 $I_{OH} = -4\text{mA}$ ; 图 8-2	$V_{DDO}^1 - 0.4$	2.3		V
$V_{OL}$	逻辑低电平输出电压 $I_{OL} = 4\text{mA}$ ; 图 8-2	0.2	0.4		V
$V_{IT+(IN)}$	正输入阈值	1.4	1.7	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.3	1.5	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
$I_{IH}$	高电平输入漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx or ENx			20	$\mu\text{A}$
$I_{IL}$	低电平输入漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-20			$\mu\text{A}$
$Z_O$	输出阻抗 <sup>2</sup>		50		$\Omega$
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1$ or $0\text{ V}$ , $V_{CM} = 1200\text{ V}$ ; 图 8-4	100	150		$\text{kV}/\mu\text{s}$
$C_i$	输入电容 <sup>3</sup> $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 1\text{ MHz}$ , $V_{DD} = 5\text{ V}$		2		pF

**注:**

- $V_{DDI}$  = 输入侧电源电压  $V_{DD}$ ,  $V_{DDO}$  = 输出侧电源电压  $V_{DD}$ 。
- 隔离器输出阻抗约为  $50\Omega \pm 40\%$ 。
- 从引脚到地测量。

### 7.9 电源电流特性

$V_{DDA} = V_{DDB} = 5\text{ V} \pm 10\%$ ,  $T_A = -40\text{ to }125^\circ\text{C}$

参数	测试条件	电源电流	最小值	典型值	最大值	单位
<b>CA-IS3730</b>						
电源电流 – 使能关断	ENB = 0 V; $V_{IN} = 0\text{V}$ (CA-IS3730L); $V_{IN} = V_{DDA}$ (CA-IS3730H)	$I_{DDA}$	1.0	1.4	mA	
		$I_{DDB}$	1.7	2.7		
	ENB = 0 V; $V_{IN} = V_{DDA}$ (CA-IS3730L); $V_{IN} = 0\text{V}$ (CA-IS3730H)	$I_{DDA}$	3.5	5.3		
		$I_{DDB}$	1.9	2.8		
电源电流 – 直流信号	ENB = $V_{DDB}$ ; $V_{IN} = 0\text{V}$ (CA-IS3730L); $V_{IN} = V_{DDA}$ (CA-IS3730H)	$I_{DDA}$	1.0	1.4		
		$I_{DDB}$	1.9	2.9		
	ENB = $V_{DDB}$ ; $V_{IN} = V_{DDA}$ (CA-IS3730L); $V_{IN} = 0\text{V}$ (CA-IS3730H)	$I_{DDA}$	3.5	5.3		
		$I_{DDB}$	2.1	3.0		
电源电流 – 交流信号	ENB = $V_{DDB}$ ; 所有通道输入 50% 占空比, 幅值为 5V 的方波; 每 个通道 $C_L = 15\text{ pF}$	1Mbps (500kHz)	$I_{DDA}$	2.2	4.5	
		10Mbps (5MHz)	$I_{DDB}$	2.4	5.4	
			$I_{DDA}$	2.2	4.5	
		100Mbps (50MHz)	$I_{DDB}$	3.9	8.8	
			$I_{DDA}$	2.2	4.5	
		$I_{DDB}$	18.1	42		
<b>CA-IS3731</b>						
电源电流 – 使能关断	ENA = ENB = 0 V; $V_{IN} = 0\text{V}$ (CA-IS3731L); $V_{IN} = V_{DDI}^1$ (CA-IS3731H)	$I_{DDA}$	1.4	2.1	mA	
		$I_{DDB}$	1.8	2.7		
	ENA = ENB = 0 V; $V_{IN} = V_{DDI}$ (CA-IS3731L); $V_{IN} = 0\text{V}$ (CA-IS3731H)	$I_{DDA}$	3.0	4.9		
		$I_{DDB}$	2.6	4.1		
电源电流 – 直流信号	ENA = ENB = $V_{DDI}$ ; $V_{IN} = 0\text{V}$ (CA-IS3731L); $V_{IN} = V_{DDI}$ (CA-IS3731H)	$I_{DDA}$	1.4	2.2		
		$I_{DDB}$	1.9	2.9		
	ENA = ENB = $V_{DDI}$ ; $V_{IN} = V_{DDI}$ (CA-IS3731L); $V_{IN} = 0\text{V}$ (CA-IS3731H)	$I_{DDA}$	3.1	5.0		
		$I_{DDB}$	2.8	4.4		
电源电流 – 交流信号	ENA = ENB = $V_{DDI}$ ; 所有通道输 入 50%占空比, 幅值为 5V 的 方波; 每个通道 $C_L = 15\text{ pF}$	1Mbps (500kHz)	$I_{DDA}$	2.7	4.1	
		10Mbps (5MHz)	$I_{DDB}$	3.2	4.8	
			$I_{DDA}$	6.5	9.1	
		100Mbps (50MHz)	$I_{DDB}$	10.5	15.8	
			$I_{DDA}$	12.9	18.5	
		$I_{DDB}$	22.4	36.0		
<b>注:</b>						
1. $V_{DDI}$ = 输入侧 电源电压 $V_{DD}$ 。						

$V_{DDA} = V_{DDB} = 3.3\text{ V} \pm 10\%$ ,  $T_A = -40\text{ to }125^\circ\text{C}$ 

参数	测试条件	电源电流	最小值	典型值	最大值	单位
<b>CA-IS3730</b>						
电源电流 – 使能关断	ENB = 0 V; $V_{IN} = 0\text{V}$ (CA-IS3730L); $V_{IN} = V_{DDA}$ (CA-IS3730H)	$I_{DDA}$	1.0	1.4	mA	
		$I_{DDB}$	1.6	2.5		
	ENB = 0 V; $V_{IN} = V_{DDA}$ (CA-IS3730L); $V_{IN} = 0\text{V}$ (CA-IS3730H)	$I_{DDA}$	3.4	5.2		
		$I_{DDB}$	1.8	2.6		
电源电流 – 直流信号	ENB = $V_{DDB}$ ; $V_{IN} = 0\text{V}$ (CA-IS3730L); $V_{IN} = V_{DDA}$ (CA-IS3730H)	$I_{DDA}$	1.0	1.4		
		$I_{DDB}$	1.8	2.7		
	ENB = $V_{DDB}$ ; $V_{IN} = V_{DDA}$ (CA-IS3730L); $V_{IN} = 0\text{V}$ (CA-IS3730H)	$I_{DDA}$	3.4	5.2		
		$I_{DDB}$	2.0	2.8		
电源电流 – 交流信号	ENB = $V_{DDB}$ ; 所有通道输入 50% 占空比, 幅值为 3.3V 的方波; 每个通道 $C_L = 15\text{ pF}$ 。	1Mbps (500kHz)	$I_{DDA}$	2.2	3.3	
		10Mbps (5MHz)	$I_{DDB}$	2.6	3.7	
			$I_{DDA}$	2.3	3.5	
		100Mbps (50MHz)	$I_{DDB}$	9.2	12.3	
			$I_{DDA}$	3.0	4.5	
		$I_{DDB}$	19.2	26.9		
<b>CA-IS3731</b>						
电源电流 – 使能关断	ENA = ENB = 0 V; $V_{IN} = 0\text{V}$ (CA-IS3731L); $V_{IN} = V_{DDI}^1$ (CA-IS3731H)	$I_{DDA}$	1.5	2.1	mA	
		$I_{DDB}$	1.9	2.7		
	ENA = ENB = 0 V; $V_{IN} = V_{DDI}$ (CA-IS3731L); $V_{IN} = 0\text{V}$ (CA-IS3731H)	$I_{DDA}$	3.1	4.8		
		$I_{DDB}$	2.6	4.1		
电源电流 – 直流信号	ENA = ENB = $V_{DDI}$ ; $V_{IN} = 0\text{V}$ (CA-IS3731L); $V_{IN} = V_{DDI}$ (CA-IS3731H)	$I_{DDA}$	1.4	2.1		
		$I_{DDB}$	1.8	2.8		
	ENA = ENB = $V_{DDI}$ ; $V_{IN} = V_{DDI}$ (CA-IS3731L); $V_{IN} = 0\text{V}$ (CA-IS3731H)	$I_{DDA}$	3.0	4.8		
		$I_{DDB}$	2.7	4.2		
电源电流 – 交流信号	ENA = ENB = $V_{DDI}$ ; 所有通道输入 50%占空比, 幅值为 3.3V 的方 波; 每个通道 $C_L = 15\text{ pF}$ 。	1Mbps (500kHz)	$I_{DDA}$	2.5	3.8	
		10Mbps (5MHz)	$I_{DDB}$	2.8	4.2	
			$I_{DDA}$	5.0	7.1	
		100Mbps (50MHz)	$I_{DDB}$	7.6	11.4	
			$I_{DDA}$	9.2	13.1	
		$I_{DDB}$	15.2	24.0		
注:						
1. $V_{DDI}$ = 输入侧 电源电压 $V_{DD}$ 。						

$V_{DDA} = V_{DDB} = 2.5\text{ V} \pm 5\%$ ,  $T_A = -40\text{ to }125^\circ\text{C}$ 

参数	测试条件	电源电流	最小值	典型值	最大值	单位
<b>CA-IS3730</b>						
电源电流 – 使能关断	ENB = 0 V; $V_{IN} = 0\text{V}$ (CA-IS3730L); $V_{IN} = V_{DDA}$ (CA-IS3730H)	$I_{DDA}$	1.1	1.7		mA
		$I_{DDB}$	1.7	2.5		
	ENB = 0 V; $V_{IN} = V_{DDA}$ (CA-IS3730L); $V_{IN} = 0\text{V}$ (CA-IS3730H)	$I_{DDA}$	3.3	5.1		
		$I_{DDB}$	1.8	2.7		
电源电流 – 直流信号	ENB = $V_{DDB}$ ; $V_{IN} = 0\text{V}$ (CA-IS3730L); $V_{IN} = V_{DDA}$ (CA-IS3730H)	$I_{DDA}$	1.1	1.7		
		$I_{DDB}$	1.8	2.6		
	ENB = $V_{DDB}$ ; $V_{IN} = V_{DDA}$ (CA-IS3730L); $V_{IN} = 0\text{V}$ (CA-IS3730H)	$I_{DDA}$	3.4	5.2		
		$I_{DDB}$	1.9	2.8		
电源电流 – 交流信号	ENB = $V_{DDB}$ ; 所有通道输入 50% 占空比, 幅值为 2.5V 的方波; 每个通道 $C_L = 15\text{ pF}$ 。	1Mbps (500kHz)	$I_{DDA}$	2.2	3.3	
			$I_{DDB}$	2.4	3.4	
		10Mbps (5MHz)	$I_{DDA}$	2.3	3.4	
			$I_{DDB}$	7.3	9.9	
		100Mbps (50MHz)	$I_{DDA}$	2.8	4.2	
			$I_{DDB}$	14.4	19.5	
<b>CA-IS3731</b>						
电源电流 – 使能关断	ENA = ENB = 0 V; $V_{IN} = 0\text{V}$ (CA-IS3731L); $V_{IN} = V_{DDI}^1$ (CA-IS3731H)	$I_{DDA}$	1.3	2.0		mA
		$I_{DDB}$	1.7	2.6		
	ENA = ENB = 0 V; $V_{IN} = V_{DDI}$ (CA-IS3731L); $V_{IN} = 0\text{V}$ (CA-IS3731H)	$I_{DDA}$	3.0	4.7		
		$I_{DDB}$	2.6	4.0		
电源电流 – 直流信号	ENA = ENB = $V_{DDI}$ ; $V_{IN} = 0\text{V}$ (CA-IS3731L); $V_{IN} = V_{DDI}$ (CA-IS3731H)	$I_{DDA}$	1.3	2.1		
		$I_{DDB}$	1.8	2.7		
	ENA = ENB = $V_{DDI}$ ; $V_{IN} = V_{DDI}$ (CA-IS3731L); $V_{IN} = 0\text{V}$ (CA-IS3731H)	$I_{DDA}$	3.0	4.8		
		$I_{DDB}$	2.6	4.2		
电源电流 – 交流信号	ENA = ENB = $V_{DDI}$ ; 所有通道输入 50%占空比, 幅值为 2.5V 的方 波; 每个通道 $C_L = 15\text{ pF}$ 。	1Mbps (500kHz)	$I_{DDA}$	2.4	3.7	
			$I_{DDB}$	2.6	4.0	
		10Mbps (5MHz)	$I_{DDA}$	4.3	6.2	
			$I_{DDB}$	6.3	9.3	
		100Mbps (50MHz)	$I_{DDA}$	7.4	10.6	
			$I_{DDB}$	11.7	18.2	
<b>注:</b>						
1. $V_{DDI}$ = 输入侧 电源电压 $V_{DD}$ 。						

**7.10 时序特性**
 $V_{DDA} = V_{DDB} = 5\text{ V} \pm 10\%$ ,  $T_A = -40\text{ to }125^\circ\text{C}$ 

参数		测试说明	最小值	典型值	最大值	单位	
DR	数据速率		0		150	Mbps	
PW <sub>min</sub>	最小脉宽				5	ns	
t <sub>PLH</sub> , t <sub>PHL</sub>	传播延迟	图 8-1	5.0	12.0	15.0	ns	
PWD	脉冲宽度失真  t <sub>PLH</sub> - t <sub>PHL</sub>						
t <sub>sk(o)</sub>	通道间输出时间偏差 <sup>1</sup>	同方向通道		0.4	2.5	ns	
t <sub>sk(pp)</sub>	芯片间通道输出时间偏差 <sup>2</sup>			2.0	4.0	ns	
t <sub>r</sub>	输出上升时间	图 8-1		2.5	4.0	ns	
t <sub>f</sub>	输出下降时间	图 8-1		2.5	4.0	ns	
t <sub>PHZ</sub>	通道禁止传输延迟, 输出高电平至高阻抗时间	图 8-2		8	13	ns	
t <sub>PLZ</sub>	通道禁止传播延迟, 输出低电平至高阻抗时间			8	17	ns	
t <sub>PZH</sub>	通道使能传播延迟, 输出高阻抗至高电平时间		CA-IS373xL		10	20	ns
			CA-IS373xH		15	30	ns
t <sub>PZL</sub>	通道使能传播延迟, 输出高阻抗至低电平时间		CA-IS373xL		10	25	ns
			CA-IS373xH		15	30	ns
t <sub>DO</sub>	默认输出延迟时间, 从输入电源 UVLO 开始	图 8-3		0.1	0.3	μs	
t <sub>SU</sub>	启动时间			15	40	μs	

**注:**

- t<sub>sk(o)</sub> 是当所有通道输入连接在一起, 输出在驱动相同负载时, 同一器件沿相同方向切换的输出信号之间的偏差;
- t<sub>sk(pp)</sub> 是指工作在相同的电源电压、温度、输入信号和负载条件下的不同器件, 任意端点之间在相同方向切换时的传输延迟时间的偏差。

 $V_{DDA} = V_{DDB} = 3.3\text{ V} \pm 10\%$ ,  $T_A = -40\text{ to }125^\circ\text{C}$ 

参数		测试说明	最小值	典型值	最大值	单位	
DR	数据速率		0		150	Mbps	
PW <sub>min</sub>	最小脉宽				5.0	ns	
t <sub>PLH</sub> , t <sub>PHL</sub>	传播延迟	图 8-1	5.0	12.0	15.0	ns	
PWD	脉冲宽度失真  t <sub>PLH</sub> - t <sub>PHL</sub>						
t <sub>sk(o)</sub>	通道间输出时间偏差 <sup>1</sup>	同方向通道		0.4	2.5	ns	
t <sub>sk(pp)</sub>	芯片间通道输出时间偏差 <sup>2</sup>			2.0	4.5	ns	
t <sub>r</sub>	输出上升时间	图 8-1		2.5	4.0	ns	
t <sub>f</sub>	输出下降时间	图 8-1		2.5	4.0	ns	
t <sub>PHZ</sub>	通道禁止传输延迟, 输出高电平至高阻抗时间	图 8-2		12	19	ns	
t <sub>PLZ</sub>	通道禁止传播延迟, 输出低电平至高阻抗时间			14	26	ns	
t <sub>PZH</sub>	通道使能传播延迟, 输出高阻抗至高电平时间		CA-IS373xL		10	20	ns
			CA-IS373xH		8	15	ns
t <sub>PZL</sub>	通道使能传播延迟, 输出高阻抗至低电平时间		CA-IS373xL		8	20	ns
			CA-IS373xH		10	20	ns
t <sub>DO</sub>	默认输出延迟时间, 从输入电源 UVLO 开始	图 8-3		0.1	0.3	μs	
t <sub>SU</sub>	启动时间			15	40	μs	

**注:**

- t<sub>sk(o)</sub> 是当所有通道输入连接在一起, 输出在驱动相同负载时, 同一器件沿相同方向切换的输出信号之间的偏差;
- t<sub>sk(pp)</sub> 是指工作在相同的电源电压、温度、输入信号和负载条件下的不同器件, 任意端点之间在相同方向切换时的传输延迟时间的偏差。

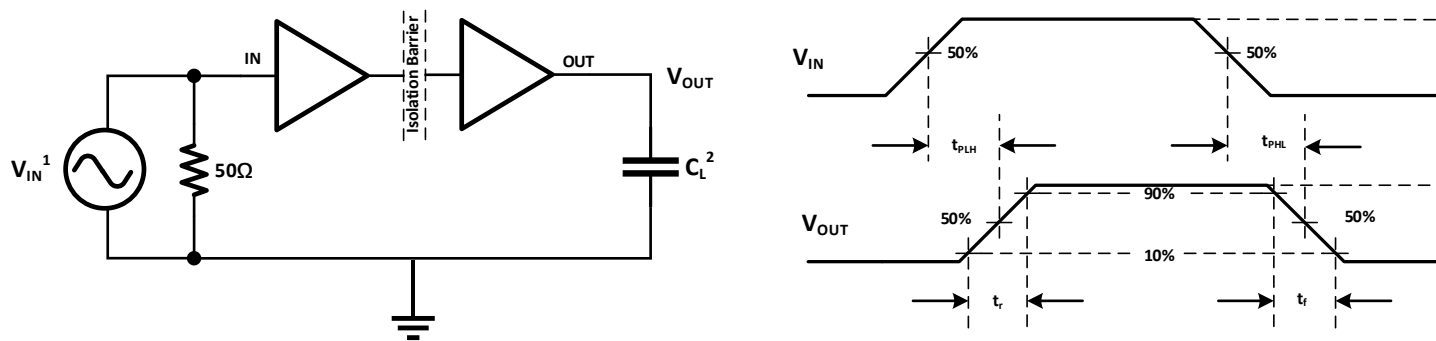
$V_{DDA} = V_{DDB} = 2.5\text{ V} \pm 5\%$ ,  $T_A = -40\text{ to }125^\circ\text{C}$ 

参数		测试说明	最小值	典型值	最大值	单位	
DR	数据速率		0		150	Mbps	
PW <sub>min</sub>	最小脉宽				5.0	ns	
t <sub>PLH</sub> , t <sub>PHL</sub>	传播延迟	图 8-1	5.0	12.0	15.0	ns	
PWD	脉冲宽度失真  t <sub>PLH</sub> - t <sub>PHL</sub>			0.2			4.5
t <sub>sk(o)</sub>	通道间输出时间偏差 <sup>1</sup>	同方向通道		0.4	2.5	ns	
t <sub>sk(pp)</sub>	芯片间通道输出时间偏差 <sup>2</sup>			2.0	5.0	ns	
t <sub>r</sub>	输出上升时间	图 8-1		2.5	4.0	ns	
t <sub>f</sub>	输出下降时间	图 8-1		2.5	4.0	ns	
t <sub>PHZ</sub>	通道禁止传输延迟, 输出高电平至高阻抗时间	图 8-2		16	26	ns	
t <sub>PLZ</sub>	通道禁止传播延迟, 输出低电平至高阻抗时间			16	26	ns	
t <sub>PZH</sub>	通道使能传播延迟, 输出高阻抗至高电平时间			CA-IS373xL	10	20	ns
				CA-IS373xH	10	20	ns
t <sub>PZL</sub>	通道使能传播延迟, 输出高阻抗至低电平时间			CA-IS373xL	10	18	ns
				CA-IS373xH	10	20	ns
t <sub>DO</sub>	默认输出延迟时间从输入电源 UVLO 开始	图 8-3		0.1	0.3	μs	
t <sub>SU</sub>	启动时间			15	40	μs	

**注:**

1. t<sub>sk(o)</sub> 是当所有通道输入连接在一起, 输出在驱动相同负载时, 同一器件沿相同方向切换的输出信号之间的偏差;
2. t<sub>sk(pp)</sub>是指工作在相同的电源电压、温度、输入信号和负载条件下的不同器件, 任意端点之间在相同方向切换时的传输延迟时间的偏差。

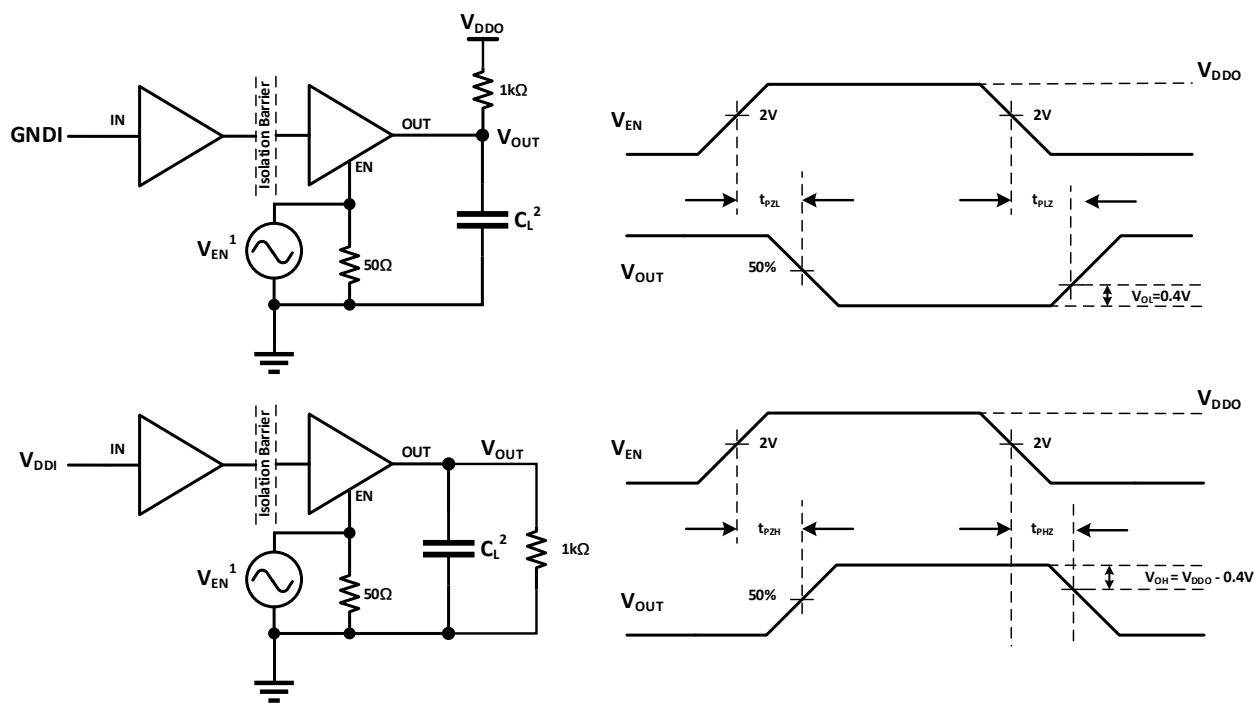
8 参数测量信息



注:

1. 信号发生器产生的输入信号  $V_{IN}$  具有以下约束条件: 频率 $\leq 100\text{kHz}$ , 占空比 50%,  $t_r \leq 3\text{ns}$ ,  $t_f \leq 3\text{ns}$ 。由于波形发生器的输出阻抗  $Z_{out} = 50\Omega$ , 图中采用了  $50\Omega$  匹配电阻。在实际应用中并不需要该电阻。
2.  $C_L$  负载电容约为  $15\text{pF}$ , 包括仪表等连线的等效电容。由于负载电容会影响输出上升时间, 它是时序特性测量的关键因素。

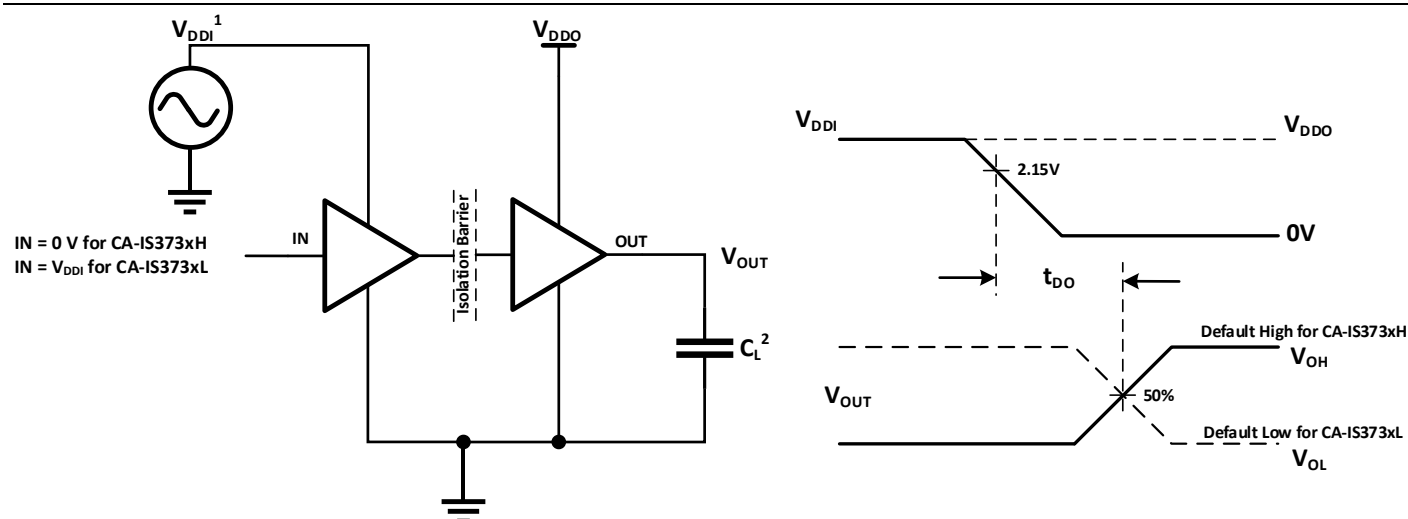
图 8-1. 时序特性测试电路和电压波形



注:

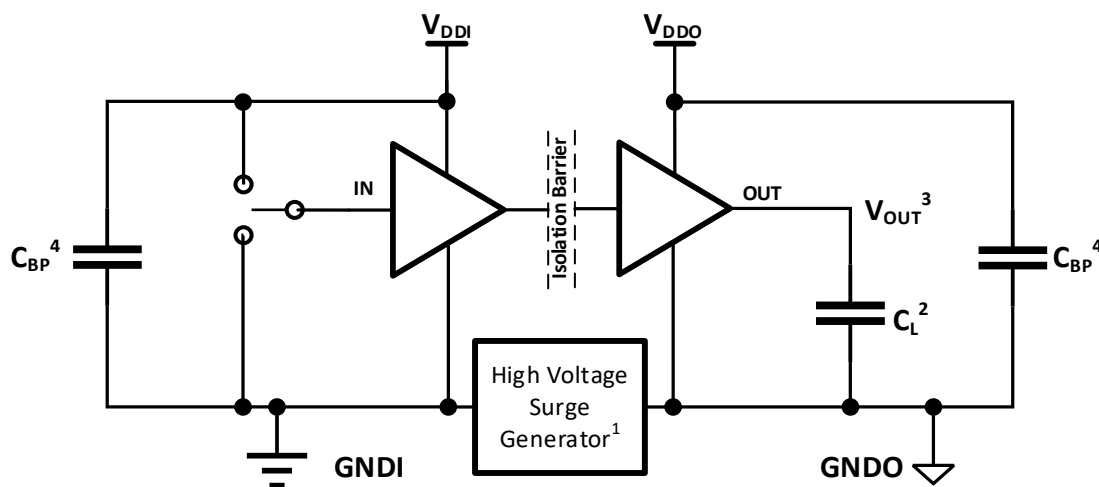
1. 信号发生器产生的输入信号  $V_{IN}$  具有以下约束条件: 频率 $\leq 100\text{kHz}$ , 占空比 50%,  $t_r \leq 3\text{ns}$ ,  $t_f \leq 3\text{ns}$ 。由于波形发生器的输出阻抗  $Z_{out} = 50\Omega$ , 图中采用了  $50\Omega$  匹配电阻。在实际应用中并不需要该电阻。
2.  $C_L$  负载电容约为  $15\text{pF}$ , 包括仪表等连线的等效电容。由于负载电容会影响输出上升时间, 它是时序特性测量的关键因素。

图 8-2. 使能/禁止传播延迟时间测试电路和波形



- 注:
1. 电源爬升速率= 10 mV / ns。V<sub>DDI</sub> 应大于 V<sub>DD (UVLO+)</sub> 但不高于 5.5V。
  2. C<sub>L</sub> 负载电容约为 15pF，包括仪表等连线的等效电容。由于负载电容会影响输出上升时间，它是时序特性测量的关键因素。

图 8-3. 默认输出延迟时间测试电路和电压波形



- 注:
1. 高压浪涌脉冲发生器产生振幅> 1kV，上升/下降时间<10ns，压摆率> 150kV / μs 的高压重复脉冲。
  2. C<sub>L</sub> 负载电容约为 15pF，包括仪表等连线的等效电容。
  3. 通过 - 失败测试标准：每当高压浪涌到来时，输出必须保持稳定。
  4. C<sub>BP</sub> 是 1μF 旁路电容。

图 8-4. 共模瞬态抑制(CMTI)测试电路



9 详细说明

9.1 工作原理

CA-IS373x 系列三通道数字隔离器采用川土微电子的全差分电容隔离技术，内部开/关键控(OOK)调制器实现两个不同电源域之间的数字信号传输，两个电源域采用二氧化硅(SiO<sub>2</sub>)绝缘层隔离。其中，发送器对于一个逻辑输入状态(逻辑“1”)向隔离侧发送高频载波；而对于另一逻辑状态(逻辑“0”)，则不向隔离侧传送任何信号。隔离侧的接收器将跨越绝缘栅的高频载波信号转换成逻辑“1”；而没有高频信号时，则产生逻辑“0”输出。由此，在隔离侧解调并复原接收信号。CA-373x 利用 OOK 调制解调架构在不同的电源域构建了可靠的数字信号传输通道，无需任何特殊的启动初始化。由于采用了全差分技术，可有效抑制共模噪声，提供优异的 CMTI 性能，并将高频载波和输入、输出缓冲器开关操作产生的辐射降至最低。

9.2 功能框图

数字隔离器的原理图，图 9-1，展示了该系列器件一个通道的功能框图。图 9-2 给出了每个通道的工作波形。该系列数字隔离器的每个通道均为单向传输。每款器件均包含三个通道，提供不同的传输方向配置，每个通道均可支持 DC-150Mbps 的数据速率。

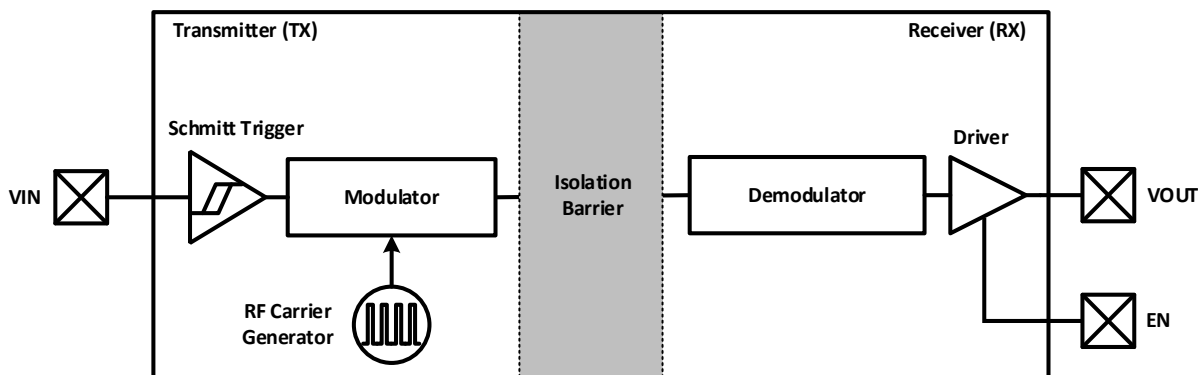


图 9-1. 单通道数字隔离器功能框图

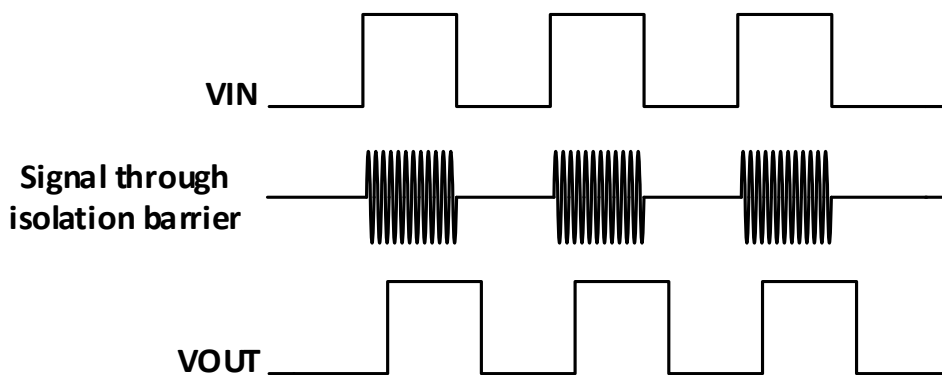


图 9-2. OOK 开关键控调制波形示意图

### 9.3 真值表

表 9-1 列出了 CA-IS373x 器件工作的真值表。表 9-2 给出了使能控制真值表。

表 9-1. 真值表

V <sub>DDI</sub> <sup>1</sup>	V <sub>DDO</sub> <sup>1</sup>	输入(V <sub>Ix</sub> ) <sup>2</sup>	输出使能(EN <sub>x</sub> ) <sup>3</sup>	输出(V <sub>Ox</sub> )	工作模式
PU	PU	H	H or Open	H	正常运行模式： 通道输出跟随相应通道的输入状态。
		L	H or Open	L	
		Open	H or Open	默认输出	默认输出模式： 当通道输入IN <sub>x</sub> 开路时，对应通道的输出进入其默认状态。CA-IS373xH的默认输出为高电平，CA-IS373xL的默认输出为低电平。
X	PU	X	L	Z	高阻输出模式： 如果使能引脚接低电平，则将相应的输出置于高阻态。
PD	PU	X	H or Open	默认输出	默认输出模式： 如果输入侧V <sub>DDI</sub> 未上电，对应通道的输出进入其默认输出状态。CA-IS373xH的默认输出为高电平，CA-IS373xL的默认输出为低电平。
X	PD	X	X	不确定	如果输出侧V <sub>DDO</sub> 未上电，则通道输出状态不确定。 <sup>4</sup>

**注:**

1. V<sub>DDI</sub> = 输入侧电源电压 V<sub>DD</sub>; V<sub>DDO</sub> = 输出侧电源电压 V<sub>DD</sub>; PU = 上电(V<sub>DD</sub> ≥ V<sub>DD(UVLO+)</sub>); PD = 断电(V<sub>DD</sub> ≤ V<sub>DD(UVLO-)</sub>); X = 无关, H = 高电平, L = 低电平, Z = 高阻。
2. 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮空的 V<sub>DD</sub>, 从而导致输出不确定。
3. 当 CA-IS373x 在嘈杂环境下工作时, 建议将使能控制引脚连接到固定的逻辑高电平或低电平。
4. 当 V<sub>DD(UVLO-)</sub> < V<sub>DDI</sub>, V<sub>DDO</sub> < V<sub>DD(UVLO+)</sub> 时, 输出状态不确定。

表 9-2. 使能控制

型号	ENA <sup>1,2</sup>	ENB <sup>1,2</sup>	STATUS
CA-IS3730	—	H	使能B侧输出VO1、VO2、VO3, 每路输出跟随相应通道的输入状态。
	—	L	禁止B侧输出VO1、VO2、VO3, 将输出置于高阻态。
CA-IS3731	H	X	使能A侧输出VO3, 输出跟随该通道的输入状态。
	L	X	禁止A侧输出VO3, 将输出置于高阻态。
	X	H	使能B侧输出VO1、VO2, 每路输出跟随相应通道的输入状态。
	X	L	禁止B侧输出VO1、VO2, 将输出置于高阻态。

**注:**

1. 使能控制输入 ENA 和 ENB 可将相应的输出置于高阻态, 适用于多主机驱动、外部时钟同步等应用。这些引脚的内部带有上拉电阻, 可连接高电平或浮空使能输出。如果不使用 ENA、ENB 控制, 建议将这些引脚连接到固定的逻辑电平, 尤其是在嘈杂环境下, 以消除干扰。
2. X = 无关; H = 高电平; L = 低电平。

10 典型应用

CA-IS373x 数字隔离 IC 在两个电源域之间提供可靠的电气隔离，由于阻断了接地回路，能够在具有较高地电位差、较高共模干扰或故障电压的系统中提供可靠保护。随着电容隔离技术的发展，由于其占用更小的电路板面积，可支持更高的数据速率，并具有更小的电磁辐射，越来越多的应用开始采用电容数字隔离器替代传统的光耦，甚至基于电感隔离技术的数字隔离器。

该系列数字隔离器均包含两个电源输入( $V_{DDA}$ 、 $V_{DDB}$ )，可单独设置绝缘栅两侧数字信号的逻辑电平，兼容 CMOS 或 TTL 逻辑。 $V_{DDA}$  和  $V_{DDB}$  分别以  $GNDA$ 、 $GNDB$  为参考，两路电源较宽的供电电压范围，使得这些数字隔离器在提供数字隔离的同时，也提供了电平转换功能。相比于光耦隔离技术，CA-IS373x 系列数字隔离器不需要外部元件提供偏置或限流，只需要两个外部旁路电容即可保证可靠工作，如图 10-1 所示。图 10-2 则为 CA-IS37xx 系列数字隔离器的典型应用电路。为了减小纹波，降低干扰，设计中  $V_{DDA}$  引脚与  $GNDA$  之间， $V_{DDB}$  引脚与  $GNDB$  之间分别安装一个  $0.1\mu\text{F}$  至  $1\mu\text{F}$  的低 ESR 电容。旁路电容应紧靠器件的电源引脚放置。除此之外，建议使用尽可能短的输入、输出信号线，不要在信号线上使用过孔，以尽可能减小信号线上的寄生电感。隔离器下方不要布设任何地线或信号线，介于“A”侧和“B”侧之间的任何电气或金属连线都会降低隔离耐压。PCB 设计工程师应遵循这些基本要求，以获得最佳的数字隔离性能。

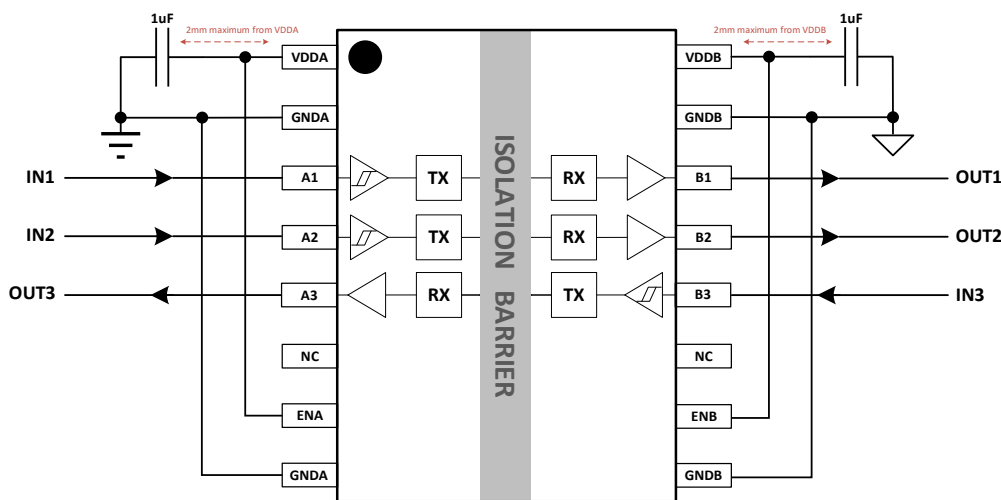


图 10-1. CA-IS3731 典型应用电路

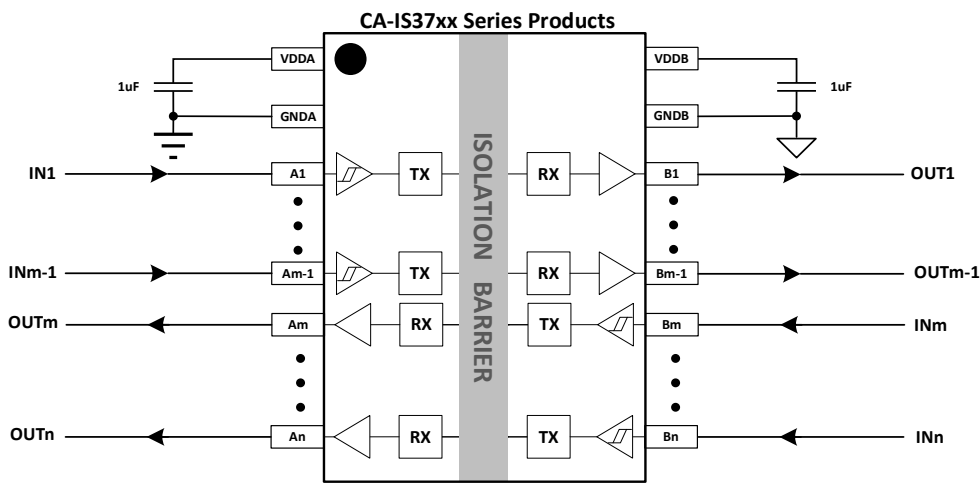
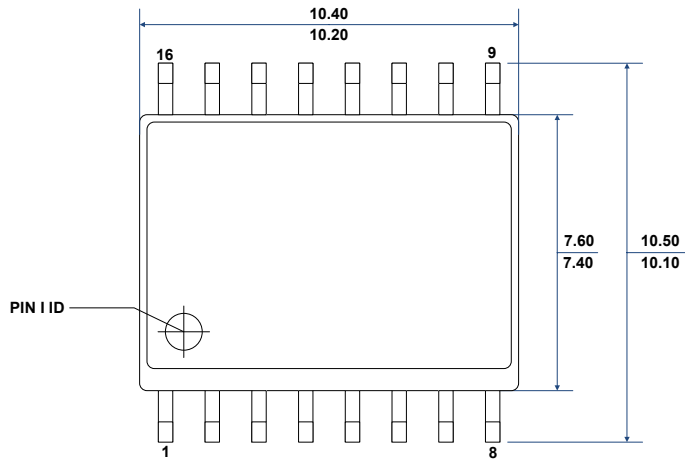


图 10-2. CA-IS37XX 系列数字隔离器典型应用

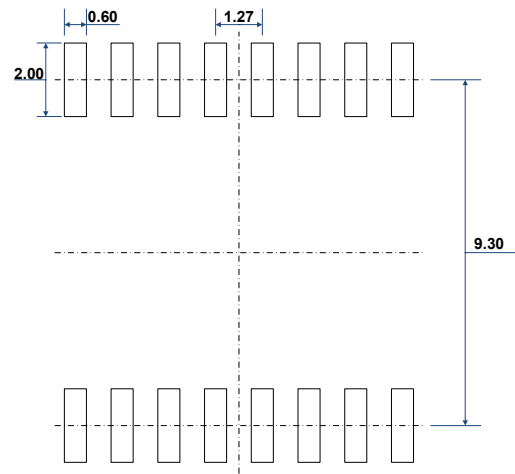
11 封装信息

11.1 16 引脚宽体 SOIC 外形尺寸

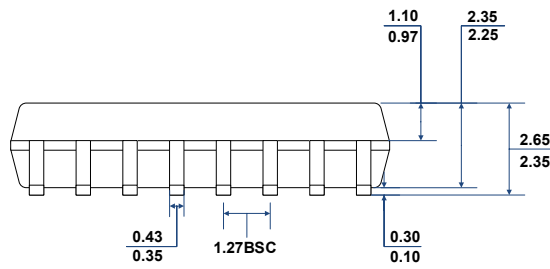
下图给出了 CA-IS373x 系列数字隔离器的 16 引脚宽体 SOIC 封装尺寸图和推荐的焊盘尺寸图。尺寸以毫米为单位。



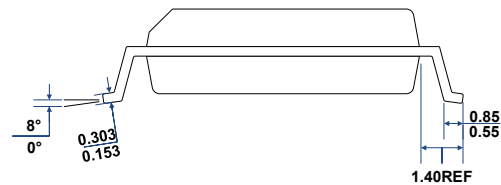
**TOP VIEW**



**RECOMMENDED LAND PATTERN**



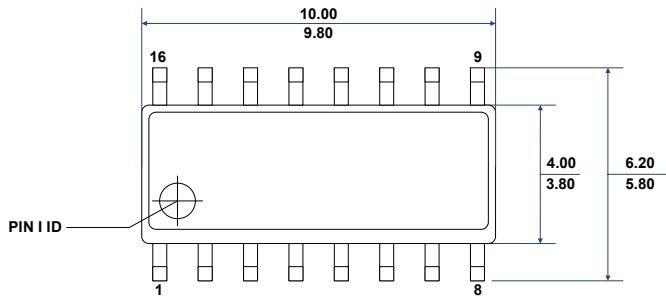
**FRONT VIEW**



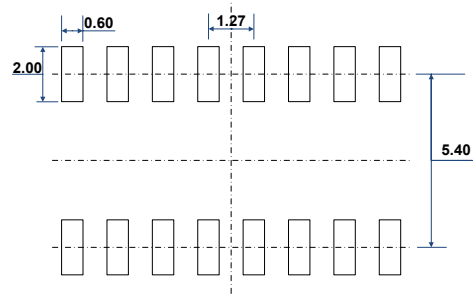
**LEFT-SIDE VIEW**

**11.2 16 引脚窄体 SOIC 外形尺寸**

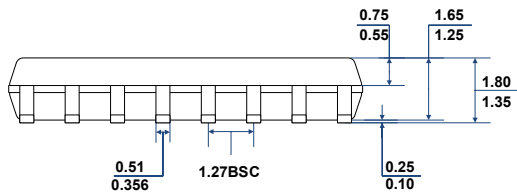
下图给出了 CA-IS373x 系列数字隔离器的 16 引脚窄体 SOIC 封装尺寸图和推荐的焊盘尺寸图。尺寸以毫米为单位。



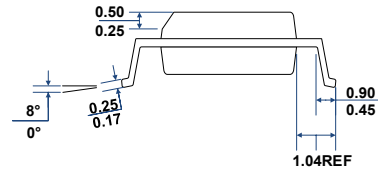
**TOP VIEW**



**RECOMMENDED LAND PATTERN**



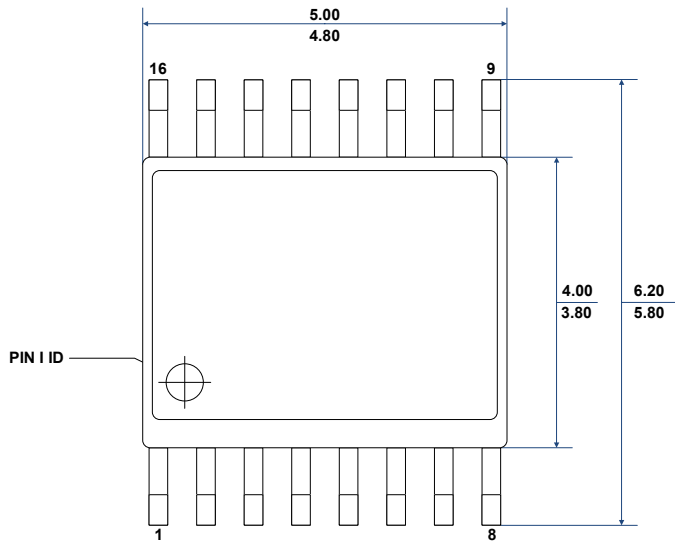
**FRONT VIEW**



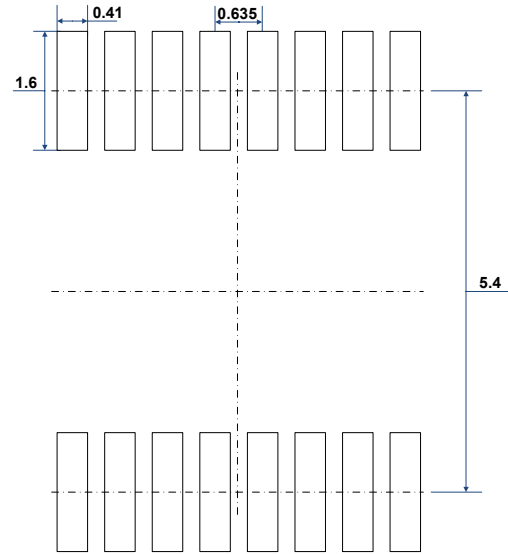
**LEFT-SIDE VIEW**

### 11.3 16 引脚窄体 SSOP 外形尺寸

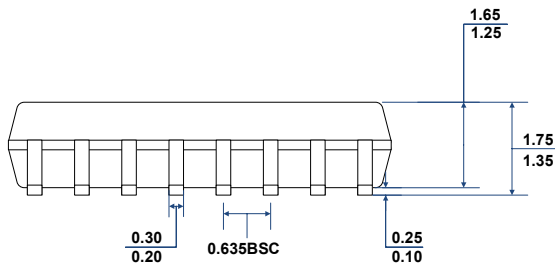
下图给出了 CA-IS373x 系列数字隔离器的 16 引脚窄体 SSOP 封装尺寸图和建议的焊盘尺寸图。尺寸以毫米为单位。



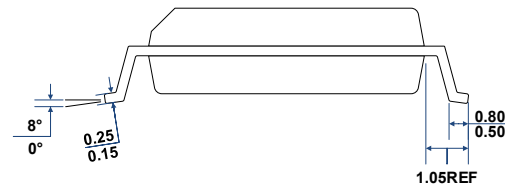
**TOP VIEW**



**RECOMMENDED LAND PATTERN**



**FRONT VIEW**



**LEFT-SIDE VIEW**

12 焊接信息

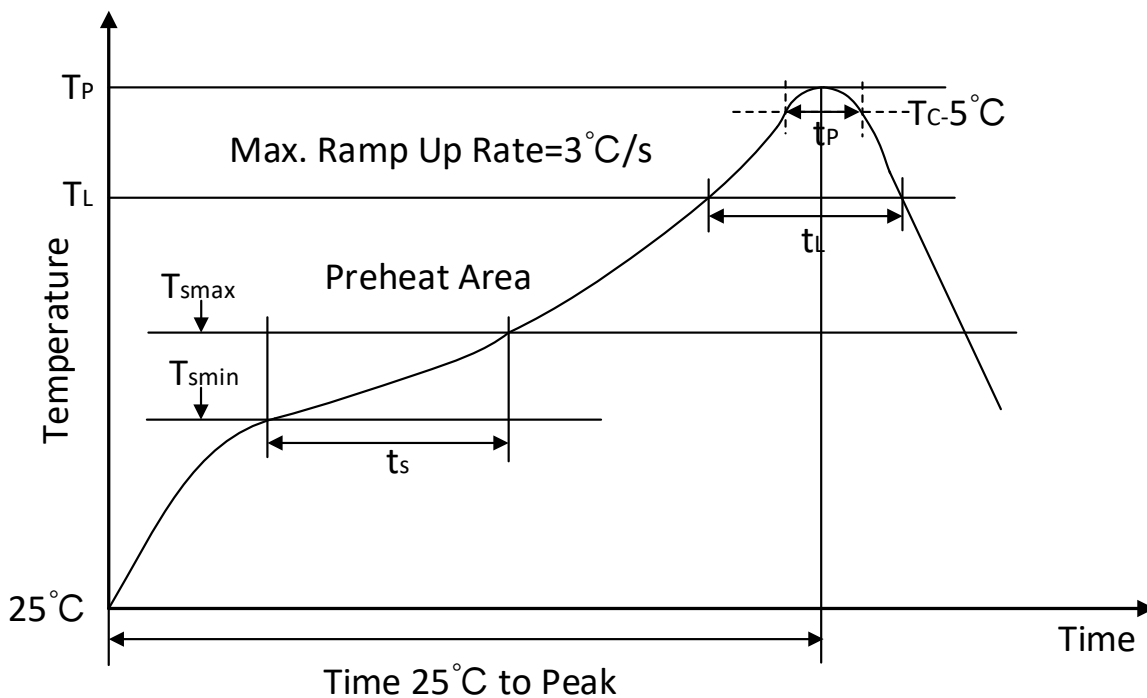


图 12-1 焊接温度曲线

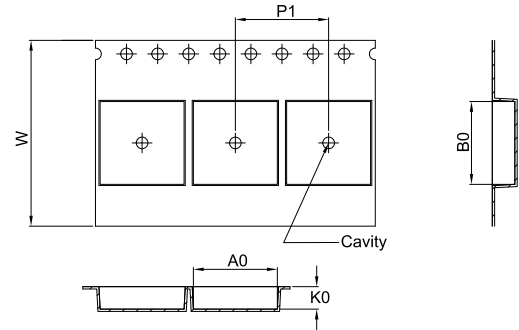
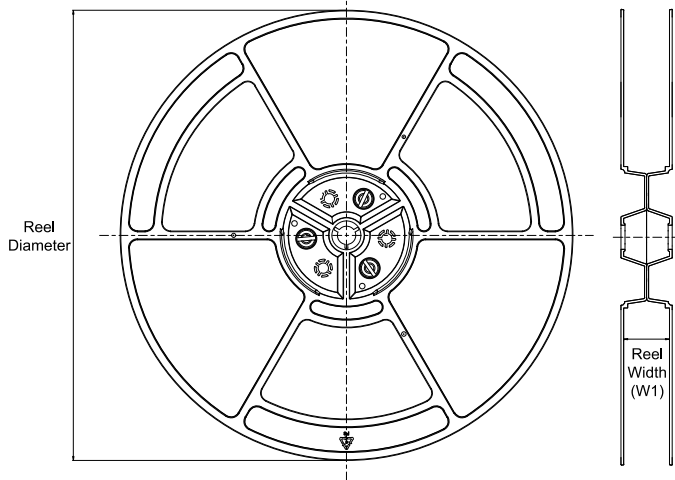
表 12-1 焊接温度参数

简要说明	无铅焊接
温升速率 (T <sub>L</sub> =217°C 至峰值 T <sub>p</sub> )	最大 3°C/s
T <sub>smin</sub> =150°C 到 T <sub>smax</sub> =200°C 预热时间 t <sub>s</sub>	60~120 秒
温度保持 217°C 以上时间 t <sub>L</sub>	60~150 秒
峰值温度 T <sub>p</sub>	260°C
小于峰值温度 5°C 以内时间 t <sub>p</sub>	最长 30 秒
降温速率 (峰值 T <sub>p</sub> 至 T <sub>L</sub> =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T <sub>p</sub> 时间	最长 8 分钟

13 卷带信息

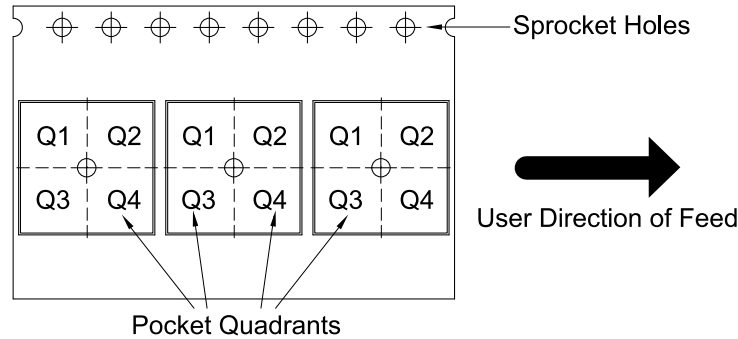
REEL DIMENSIONS

TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3730LN	SOIC	N	16	2500	330	12.4	6.5	10.3	2.1	8.0	16.0	Q1
CA-IS3730LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3730HN	SOIC	N	16	2500	330	12.4	6.5	10.3	2.1	8.0	16.0	Q1
CA-IS3730HW	SOIC	W	16	600	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3731LN	SOIC	N	16	2500	330	12.4	6.5	10.3	2.1	8.0	16.0	Q1
CA-IS3731LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3731HN	SOIC	N	16	2500	330	12.4	6.5	10.3	2.1	8.0	16.0	Q1
CA-IS3731HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3731HB	SSOP	B	16	2500	330	12.4	6.55	5.4	1.9	8.0	12.0	Q1
CA-IS3731LB	SSOP	B	16	2500	330	12.4	6.55	5.4	1.9	8.0	12.0	Q1





## 14 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

### 商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>

单击下面可查看定价，库存，交付和生命周期等信息

[>>CHIPANALOG\(川土微\)](#)