

0.65W, 5KV_{RMS} 耐压的全集成隔离 DC-DC 转换器

1 产品特性

- 集成高效率的 DC-DC 转换器和片上变压器
 - 内置软启电路来防止浪涌电流和输出过冲
 - 过载和短路保护功能
 - 过热关断保护功能
- 宽输入电压范围: 4.5 V ~ 5.5 V
- 输出电压可选:
 - 3.3V、5.0V、3.7V、5.4V
 - 支持在输出端接 LDO
- 输出典型功率: 650mW(5V/130mA)
- 宽工作温度范围: -40 °C ~ 125 °C
- 优异的隔离性能:
 - UL 1577 标准下, 长达 1 分钟的 5KV_{RMS} 隔离耐压
 - 符合 DIN V VDE V 0884-11:2017-01 标准的 7071VPK VIOTM 和 849VPK VIORM
 - IEC 60950、IEC 60601 和 EN 61010 认证 - CQC、TUV 和 CSA 认证
 - 高 CMTI: ±150 kV/μs (典型)
 - 隔离栅寿命: >40 年
- 符合 RoHS 标准封装
 - SOIC16-WB

2 应用

- 工业自动化控制系统
- 电机控制
- 医疗设备
- 电网基础设施
- 测试和测量仪器

3 概述

CA-IS3105W 是一款支持 5KV_{RMS} 隔离耐压的 DC-DC 转换器芯片, 集成片上变压器, 能够高效率传输大于

650mW 功率到副边输出。该芯片采用特有控制架构, 能够快速响应负载变化, 并且精确调节输出电压。CA-IS3105W 的出现可替代传统分立器件组建的隔离电源方案。该方案物理尺寸更小, 且能够实现完全隔离。

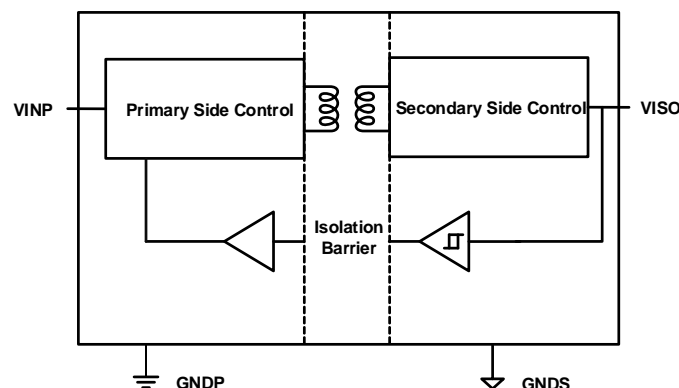
CA-IS3105W 集成软启动、短路保护、过温保护等多种保护功能以更好地增强系统的可靠性。CA-IS3105W 具有 EN 使能管脚, 当 EN 为低电时, 输出电压为零, 此时电源仅有微安级待机输入电流。

可通过管脚 SEL 选择 4 种输出电压, 分别为 5V、3.3V、5.4V、3.7V, 支持输出端接 LDO, 以方便用户不同的电压需求。CA-IS3105W 器件采用 16 脚宽体 SOIC 封装, 绝缘耐压高达 5 kV_{RMS}。

器件信息

零件号	封装	封装尺寸 (标称值)
CA-IS3105W	SOIC16-WB(W)	10.30 mm × 7.50 mm

简化结构图



目录

1 产品特性	1	7 典型波形和曲线图	9
2 应用	1	7.1 软启动和输出短路恢复波形.....	9
3 概述	1	7.2 输出电压纹波以及动态特性.....	10
4 修订历史	2	7.3 输出电压随负载电流和输入电压的变化.....	11
5 引脚功能描述	3	7.4 静效率随负载电流以及表面温度的变化.....	13
6 产品规格	4	7.5 静态电流 I_{VIN_SD} 随输入电压的变化.....	13
6.1 绝对最大额定值 ^{1,2}	4	7.6 输出电流降额曲线.....	13
6.2 ESD 额定值.....	4	8 详细说明	14
6.3 推荐工作条件.....	4	8.1 工作原理.....	14
6.4 热量信息.....	5	8.2 功能框图.....	14
6.5 额定功率.....	5	9 典型应用	15
6.6 隔离特性.....	6	10 封装信息	16
6.7 安全相关认证.....	7	11 焊接信息	17
6.8 电气特性.....	8	12 编带信息	18
6.9 潮敏等级.....	8		

4 修订历史

Preliminary Version

5 引脚功能描述

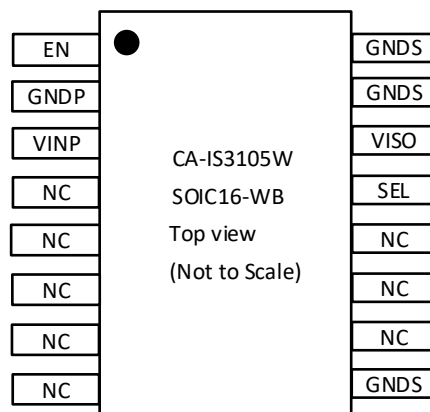


图 5-1 CA-IS3105W 顶部视图

表 5-1 CA-IS3105W 引脚功能描述

引脚名称	引脚编号	类型	描述
EN	1	输入	使能管脚。接高电平，使能芯片；接低电平，关断芯片。
GNDP	2	地	原边侧接地管脚。将原边的去耦电容连接在 VINP 和该管脚。
VINP	3	电源	原边侧输入电源管脚。将 10 μ F 和 0.1 μ F 的陶瓷电容接至 VINP 和 PIN2 之间，电容的摆放位置要尽量靠近芯片管脚。
NC ¹	4	-	无连接。原边电压域，在 PCB 板上连接至 GNDP。
	5	-	
	6	-	
	7	-	
	8	-	
GNDS	9	地	副边地管脚。
NC	10	-	无连接。副边电压域，在 PCB 板上连接至 GNDS。
	11	-	
	12	-	
SEL	13	输入	VISO 输出电压选择管脚。SEL 接至 VISO，VISO 输出 5V；SEL 通过 100K 电阻接至 VISO，VISO 输出 5.4V；SEL 接至 GNDS，VISO 输出 3.3V；SEL 通过 100K 电阻接至 GNDS，VISO 输出 3.7V。
VISO	14	电源	隔离电压输出管脚。将 10 μ F 和 0.1 μ F 的陶瓷电容接至 VISO 和 PIN15 之间，电容的摆放位置要尽量靠近芯片管脚。
GNDS	15	地	副边地管脚，将副边的去耦电容连接在 VISO 和该管脚。
GNDS	16	地	副边地管脚。

1. NC 引脚没有内部连接，它们可以浮空、或连接到相应的“地”。

6 产品规格
6.1 绝对最大额定值^{1,2}

参数		最小值	最大值	单位
V _{INP}	电源电压	-0.5	6.0	V
V _{ISO}	隔离电源输出电压	-0.5	6.0	V
EN	EN 输入电压	-0.5	V _{INP} +0.3 ³	V
SEL	SEL 输入电压	-0.5	V _{ISO} +0.3	V
T _J	结温	-40	150	°C
T _{STG}	存储温度	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏, 长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 除差分 I/O 总线电压以外的所有电压值, 均相对于本地接地端子 (GNDP 或 GNDS), 并且是峰值电压值。
3. 最大电压不得超过 6 V。

6.2 ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 ¹	±3000	V
	组件充电模式 (CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 ²	±2000	

备注:

1. JEDEC 文件 JEP155 规定 500 V HBM 可通过标准 ESD 控制过程实现安全制造。
2. JEDEC 文件 JEP157 规定 250 V CDM 允许使用标准 ESD 控制过程进行安全制造。

6.3 推荐工作条件

参数		最小值	典型值	最大值	单位
V _{INP}	电源电压	4.5	5	5.5	V
V _{EN}	EN 输入电压	0		5.5	V
V _{ISO}	隔离输出电源电压	0		5.7	V
V _{SEL}	SEL 输入电压	0		5.7	V
T _A	环境温度	-40		125	°C
T _J	结温度	-40		150	°C

6.4 热量信息

热量表		CA-IS3105W		单位
		SOIC16-WB(W)		
R _{θJA}	IC 结至环境的热阻	73.8		°C/W

6.5 额定功率

参数	测试条件	最小值	典型值	最大值	单位
		P _D	VINP=5.5V, VISO=5.4V, 负载电流 130mA		

6.6 隔离特性

参数		测试条件	数值	单位
			W	
CLR	外部气隙 (间隙) ¹	测量输入端至输出端, 隔空最短距离	8	mm
CPG	外部爬电距离 ¹	测量输入端至输出端, 沿壳体最短距离	8	mm
DTI	隔离距离	最小内部间隙 (内部距离)	21	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>400	V
	材料组	依据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 300 V _{RMS}	I-IV	
		额定市电电压 ≤ 400 V _{RMS}	I-IV	
		额定市电电压 ≤ 600 V _{RMS}	I-III	
DIN V VDE V 0884-11:2017-01²				
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	849	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (Tddb) 测试	600	V _{RMS}
		直流电压	849	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	7070	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	6250	V _{PK}
q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期预处理(抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	
C _{io}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin(2πft), f = 1 MHz	3.5	pF
R _{io}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
UL 1577				
V _{iso}	最大隔离电压	V _{TEST} = V _{iso} , t = 60 s (认证) V _{TEST} = 1.2 × V _{iso} , t = 1 s (100% 生产测试)	5000	V _{RMS}
备注:				
1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。 2. 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。 3. 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 栅两侧的所有引脚连接在一起, 形成双端子器件。				

6.7 安全相关认证

VDE(申请中)	CSA(申请中)	UL(申请中)	CQC(申请中)	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC60950-1, IEC 62368-1 和 IEC 60601-1 认证	UL1577 器件认证程序认证	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

6.8 电气特性

若无其他特殊说明, $V_{INP}=4.5V\sim 5.5V$, $T_A = -40$ to $125^{\circ}C$, SEL 管脚短路到 VISO 管脚, $C_{VINP}=C_{VISO}=10\mu F$ 。所有典型值的条件为 $T_J=25^{\circ}C$ 和 $V_{INP}=5V$ 。

参数	测试条件	最小值	典型值	最大值	单位	
输入供电						
I_{VINP_SD}	EN 关断时输入静态电流	EN=LOW, 图 7- 27	0.05	10	μA	
I_{VINP_O}	无负载时输入静态电流	EN=HIGH, SEL 短路到 VISO (5V 输出), 图 7- 28	8.4	20	mA	
		EN=HIGH, SEL 通过 100K 接到 VISO (5.4V 输出)	8.8	20	mA	
		EN=HIGH, SEL 短路到 GNDS (3.3V 输出)	7.3	20	mA	
		EN=HIGH, SEL 通过 100K 接到 GNDS (3.7V 输出)	7.5	20	mA	
I_{VINP_SC}	VISO 管脚发生短路时的输入电源电流平均值	VISO 脚短路到 GNDS	42	100	mA	
V_{UVLO+}	电源上升过程的欠压保护阈值		2.6	3.0	V	
V_{UVLO-}	电源下降过程的欠压保护阈值		2.1	2.3	V	
$V_{HYS(UVLO)}$	电源欠压保护阈值迟滞		0.3	0.6	V	
逻辑管脚特性						
V_{IH_EN}	EN 输入高电平		2		V	
V_{IL_EN}	EN 输入低电平			0.8	V	
I_{EN}	输入漏电流	$V_{INP}=5V$, $V_{EN}=5V$	5	20	μA	
隔离 DC-DC 转换器						
VISO	隔离输出电压	SEL 接至 VISO(5V 输出), $I_{ISO}=50mA$	4.65	5.0	5.35	V
		SEL 通过 100K Ω 接至 VISO(5.4V 输出), $I_{ISO}=50mA$	5.02	5.4	5.78	
		SEL 接至 GNDS(3.3V 输出), $I_{ISO}=50mA$	3.07	3.3	3.53	
		SEL 通过 100K Ω 接至 VISO(3.7V 输出), $I_{ISO}=50mA$	3.44	3.7	3.96	
$V_{ISO(RIP)}$	输出隔离电压纹波 (峰峰值)	20MHz 带宽, SEL 短路到 VISO (5V 输出), $I_{ISO} = 100 mA$, 图 7- 9		65	100	mV
		20MHz 带宽, SEL 短路到 GNDS (3.3V 输出), $I_{ISO} = 100 mA$, 图 7- 11		55	100	
$V_{ISO(LINE)}$	直流线性调整率	SEL 短路到 VISO (5V 输出), $I_{ISO} = 50 mA$, $V_{INP} = 4.5 V$ to $5.5 V$, 图 7- 21		2	5	mV/V
		SEL 短路到 GNDS (3.3V 输出), $I_{ISO} = 50 mA$, $V_{INP} = 4.5 V$ to $5.5 V$, 图 7- 23		2	5	
$V_{ISO(LOAD)}$	直流负载调整率	SEL 短路到 VISO (5V 输出), $I_{ISO} = 0$ to $130 mA$, 图 7- 17		1%	2%	
		SEL 短路到 GNDS (3.3V 输出), $I_{ISO} = 0$ to $130 mA$, 图 7- 19		1%	2%	
EFF	最大负载电流时的效率	$I_{ISO} = 130 mA$, $C_{LOAD} = 0.1 \mu F 10 \mu F$; VISO=5V, 图 7- 25, 图 7- 26		55%		
		$I_{ISO} = 130 mA$, $C_{LOAD} = 0.1 \mu F 10 \mu F$; VISO=3.3V, 图 7- 25, 图 7- 26		48%		
CMTI	共模瞬变抗扰度	GNDS VS GNDS 的斜率, $V_{CM}=1200V_{RMS}$	± 100	± 150	kV/ μs	
动态负载过冲		10%和 100%负载跳变, 上升斜率 10mA/us; 测量两种负载下输出电压的波峰的差值。图 7- 13, 图 7- 14, 图 7- 15, 图 7- 16		80	100	mV
瞬时过载功率		$V_{INP}=5V$, $V_{ISO}=5.4V$	1		W	

6.9 潮敏等级

参数	标准	等级
潮敏等级	IPC/JEDEC J-STD-020D.1	MSL 3

7 典型波形和曲线图

7.1 软启动和输出短路恢复波形

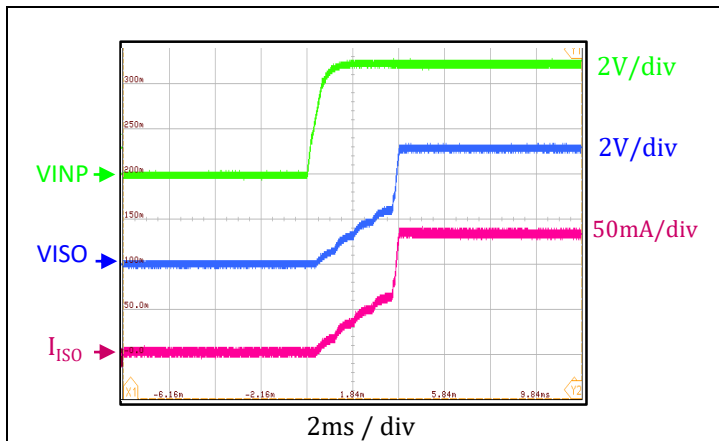


图 7-1 VINP=5V, VISO=5V, 软启动波形, I_{ISO}=130mA

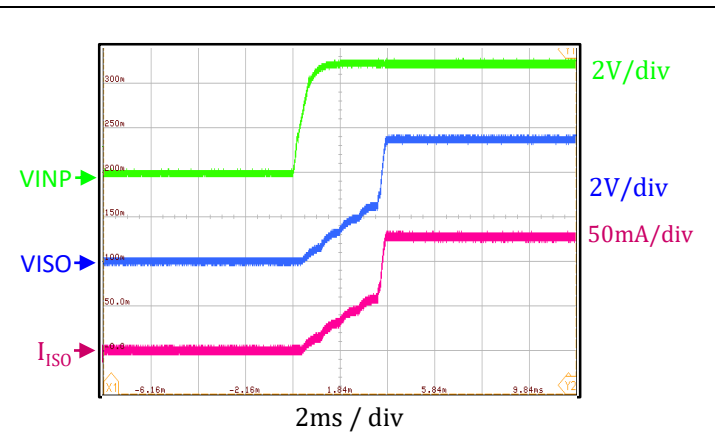


图 7-2 VINP=5V, VISO=5.4V, 软启动波形, I_{ISO}=130mA

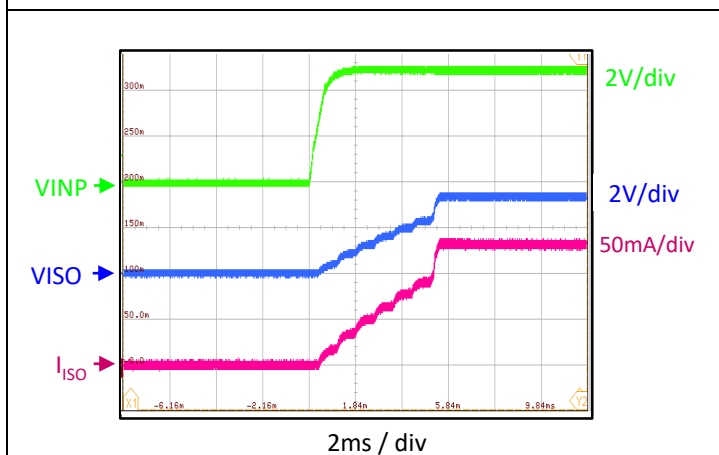


图 7-3 VINP=5V, VISO=3.3V, 软启动波形, I_{ISO}=130mA

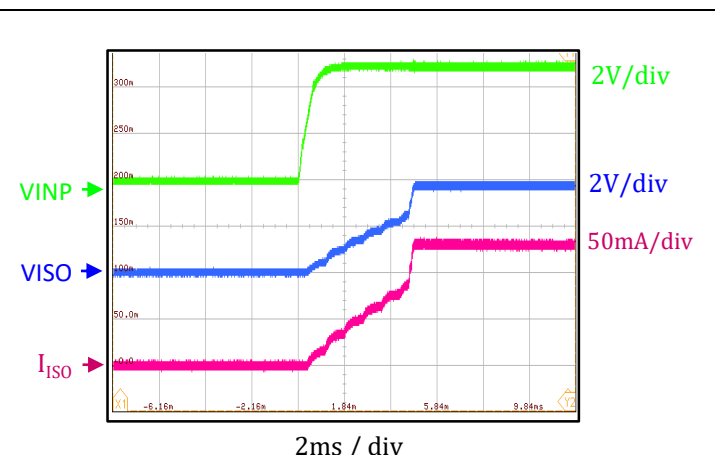


图 7-4 VINP=5V, VISO=3.7V, 软启动波形, I_{ISO}=130mA

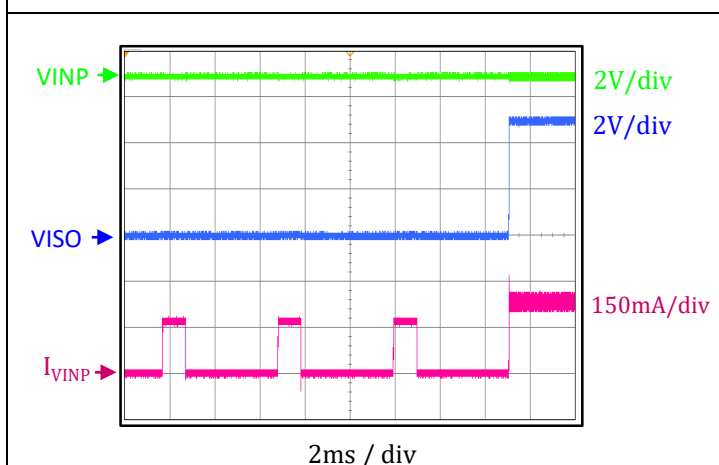


图 7-5 VINP=5V, VISO=5V, 输出短路恢复到 I_{ISO}=130mA

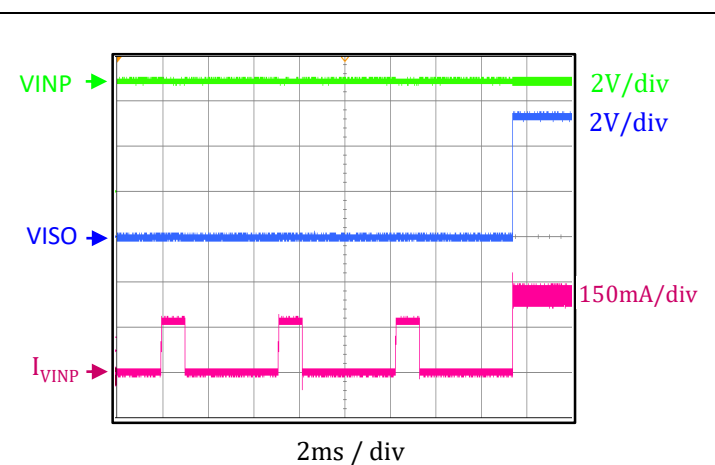
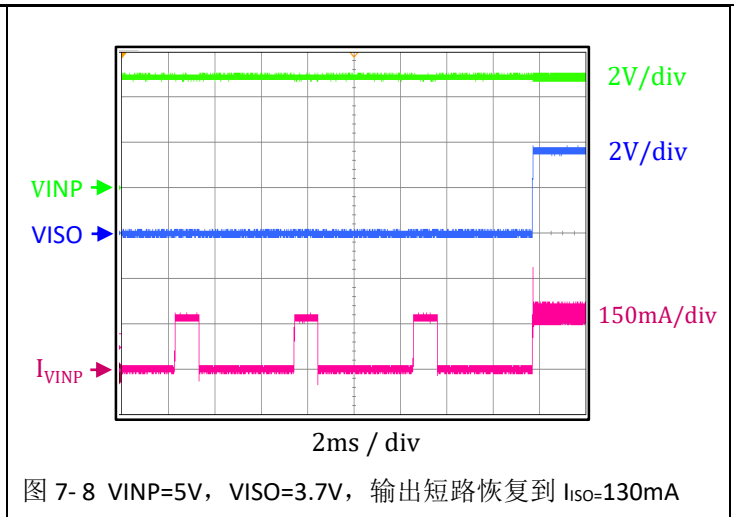
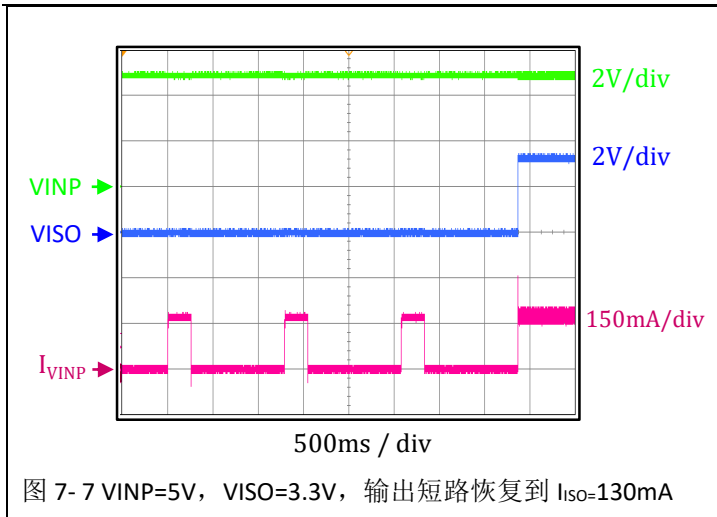
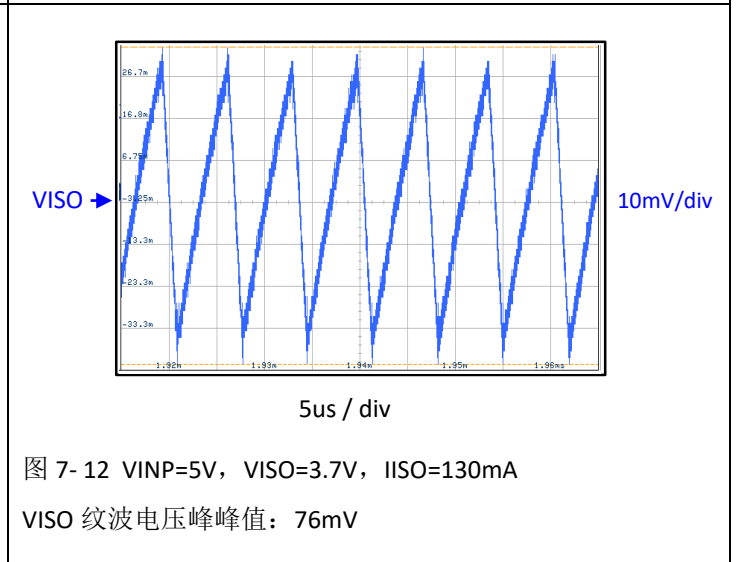
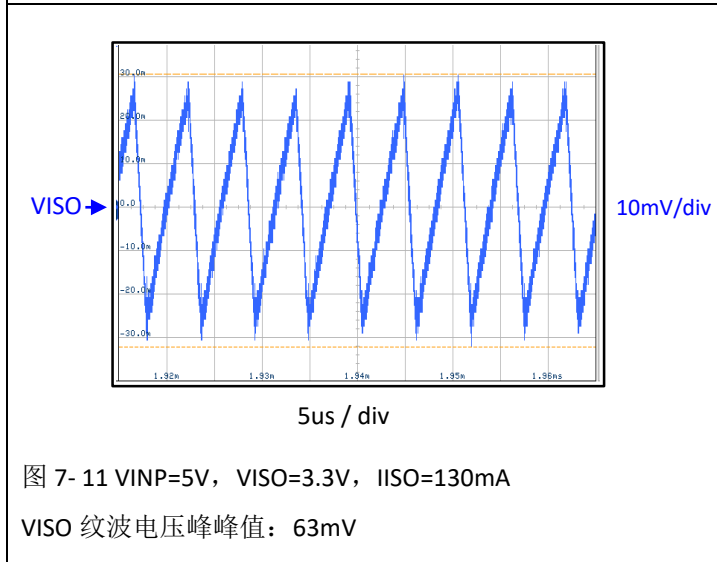
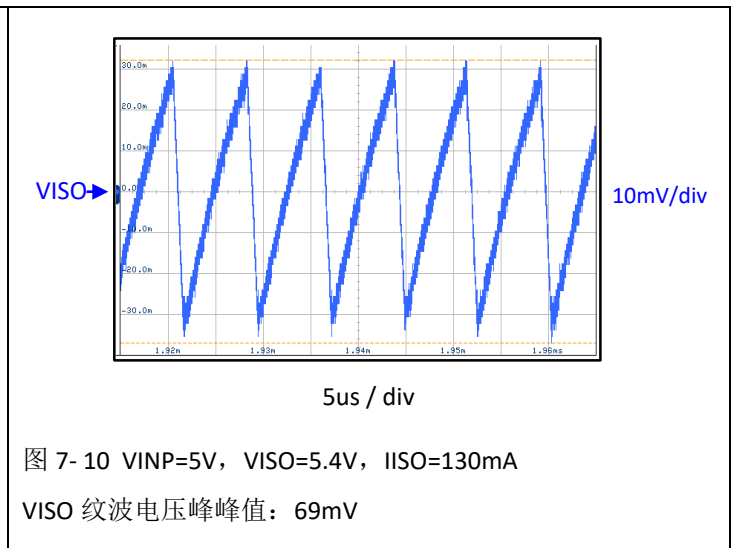
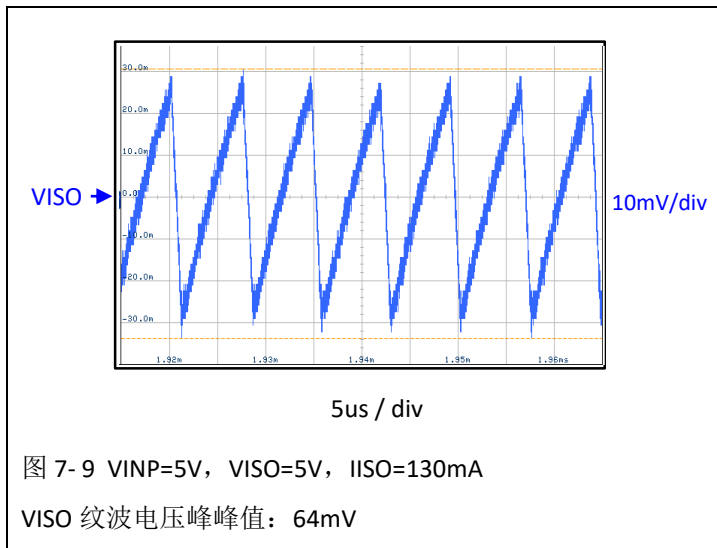


图 7-6 VINP=5V, VISO=5.4V, 输出短路恢复到 I_{ISO}=130mA



7.2 输出电压纹波以及动态特性



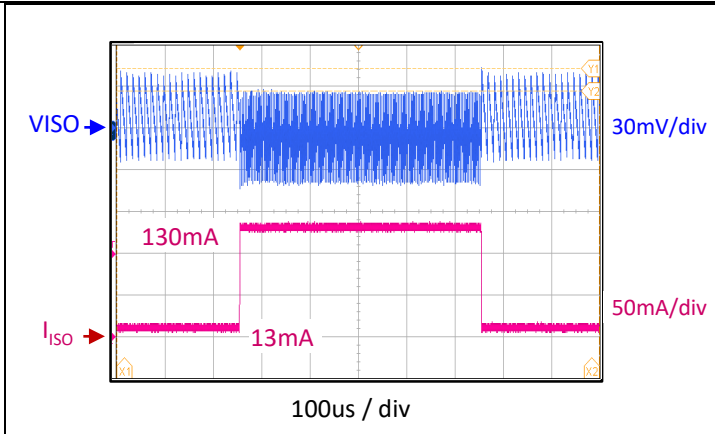


图 7-13 VINP=5V, VISO=5V, 13mA/130mA
13mA/130mA 时的 VISO 纹波电压波峰的差值: 16mV

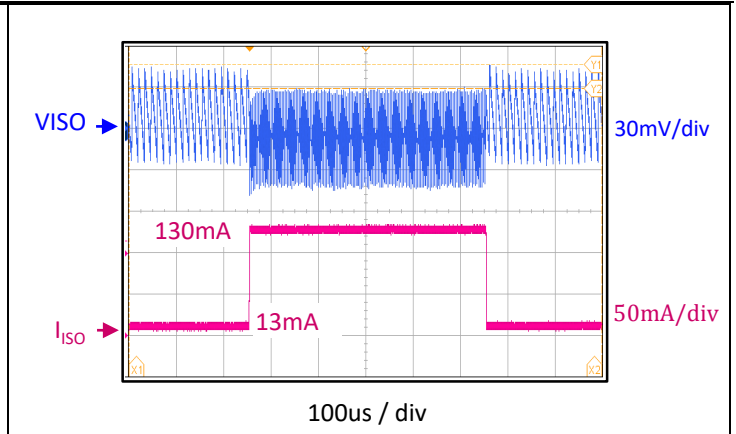


图 7-14 VINP=5V, VISO=5.4V, 13mA/130mA
13mA/130mA 时的 VISO 纹波电压波峰的差值: 17mV

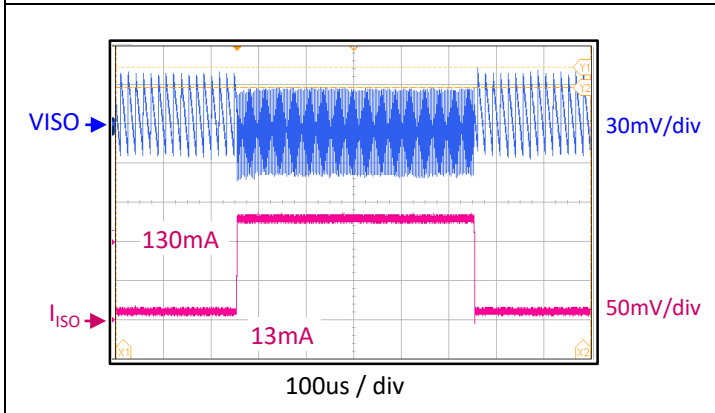


图 7-15 VINP=5V, VISO=3.3V, 13mA/130mA
13mA/130mA 时的 VISO 纹波电压波峰的差值: 15mV

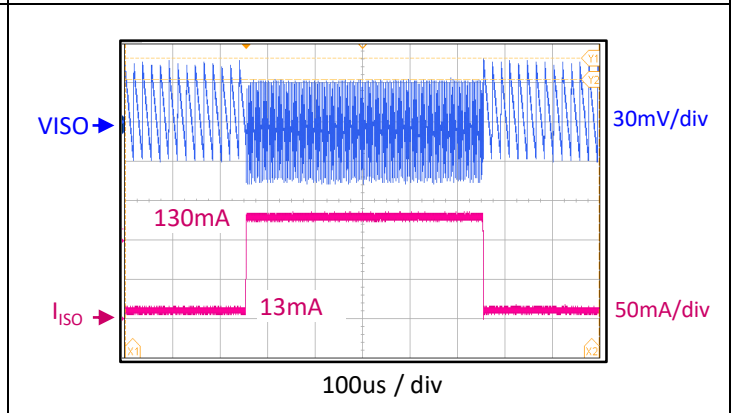


图 7-16 VINP=5V, VISO=3.7V, 13mA/130mA
13mA/130mA 时的 VISO 纹波电压波峰的差值: 16mV

7.3 输出电压随负载电流和输入电压的变化

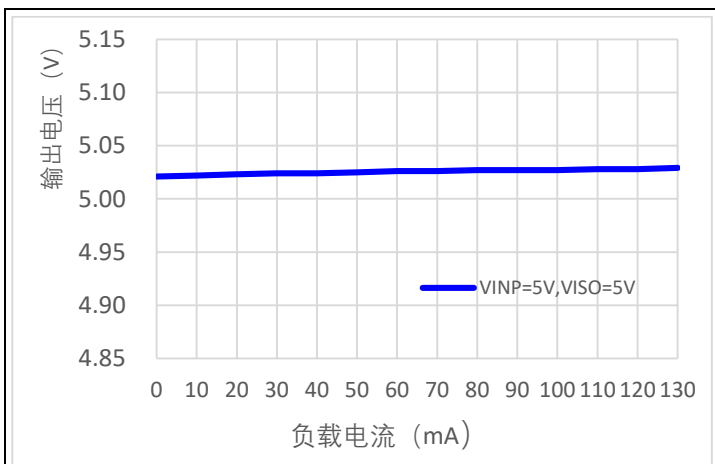


图 7-17 输出电压随负载电流的变化
VINP=5V, VISO=5V

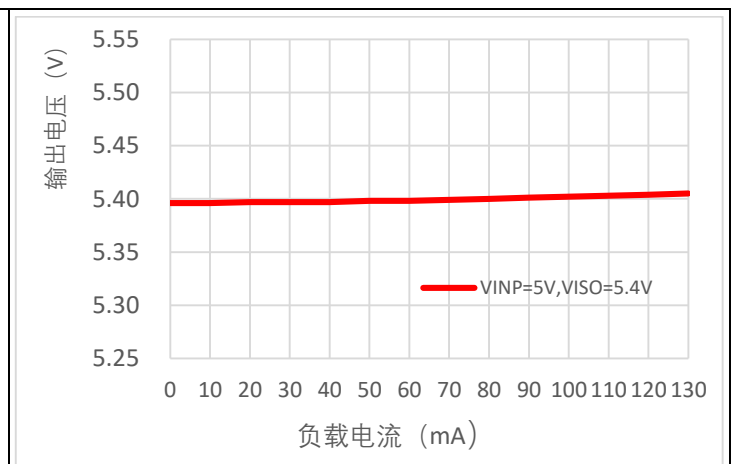


图 7-18 输出电压随负载电流的变化
VINP=5V, VISO=5.4V

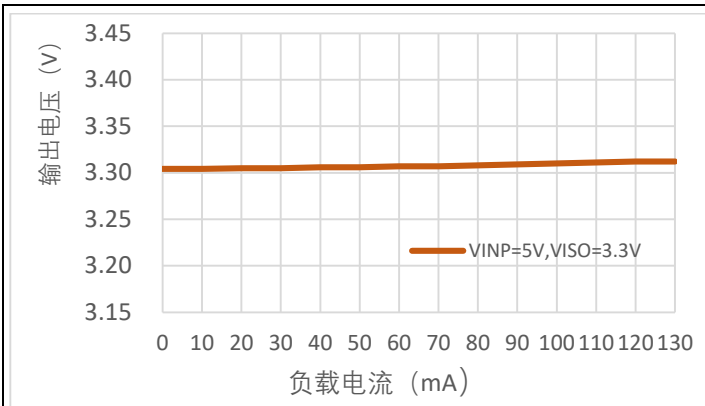


图 7-19 输出电压随负载电流的变化

VINP=5V, VISO=3.3V

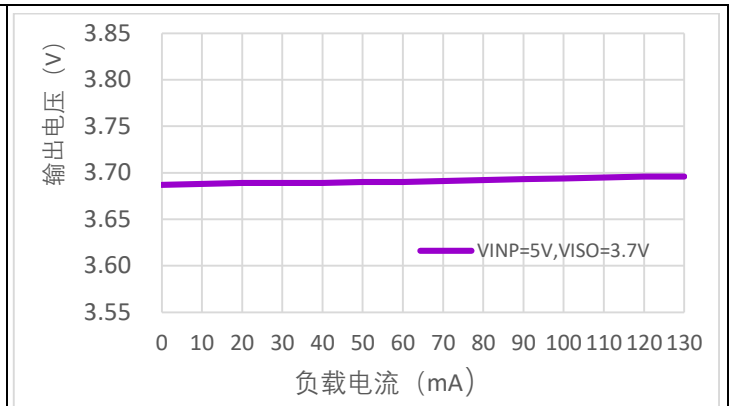


图 7-20 输出电压随负载电流的变化

VINP=5V, VISO=3.7V

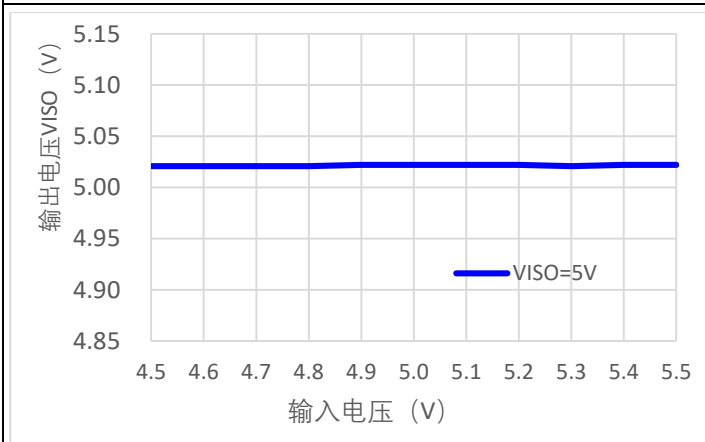


图 7-21 输出电压随输入电压的变化

VINP=4.5~5.5V, VISO =5V

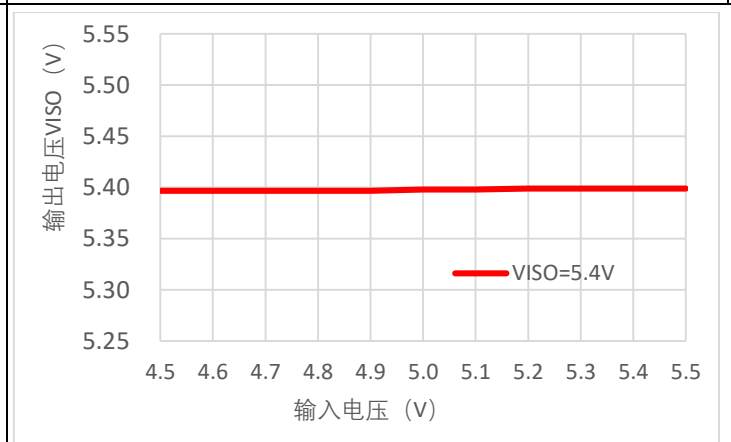


图 7-22 输出电压随输入电压的变化

VINP=4.5~5.5V, VISO =5.4V

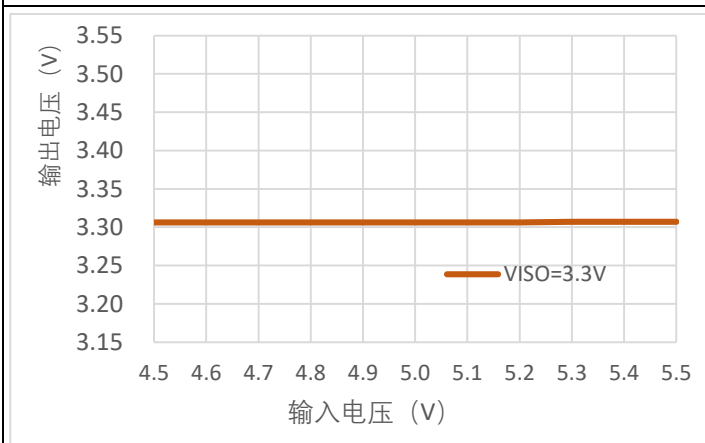


图 7-23 输出电压随输入电压的变化

VINP=4.5~5.5V, VISO =3.3V

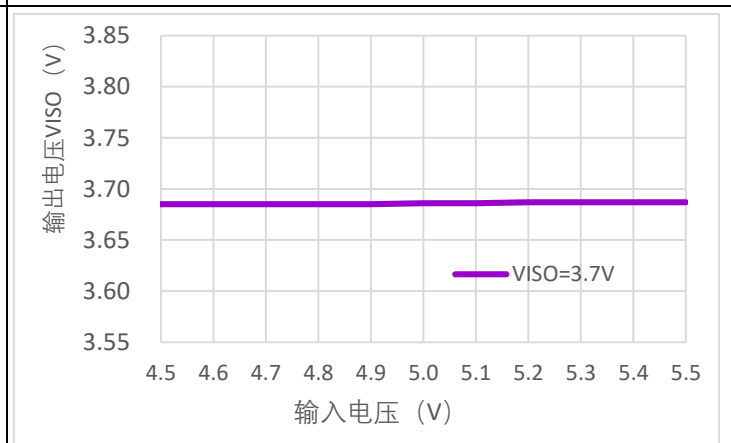


图 7-24 输出电压随输入电压的变化

VINP=4.5~5.5V, VISO=3.7V

7.4 静效率随负载电流以及表面温度的变化

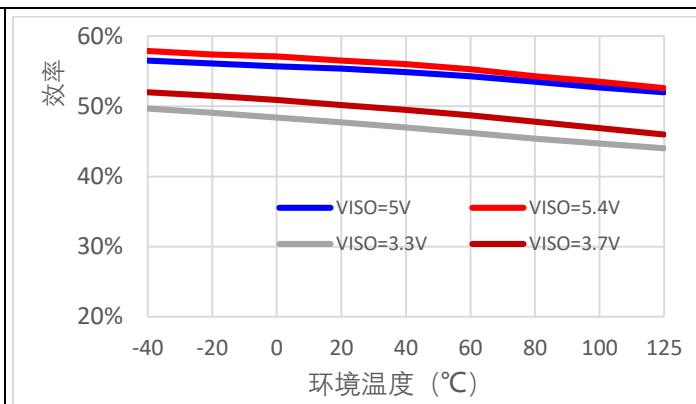
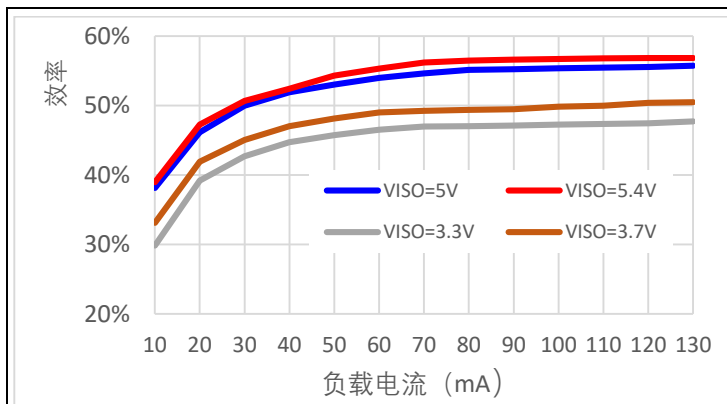


图 7-25 效率随负载电流的变化

VINP=5V, VISO=5V; VINP=5V, VISO=5.4V;
VINP=5V, VISO=3.3V; VINP=5V, VISO=3.7V

图 7-26 效率随芯片表面温度的变化

VINP=5V, VISO=5V; VINP=5V, VISO=5.4V;
VINP=5V, VISO=3.3V; VINP=5V, VISO=3.7V

7.5 静态电流 I_{VIN_SD} 随输入电压的变化

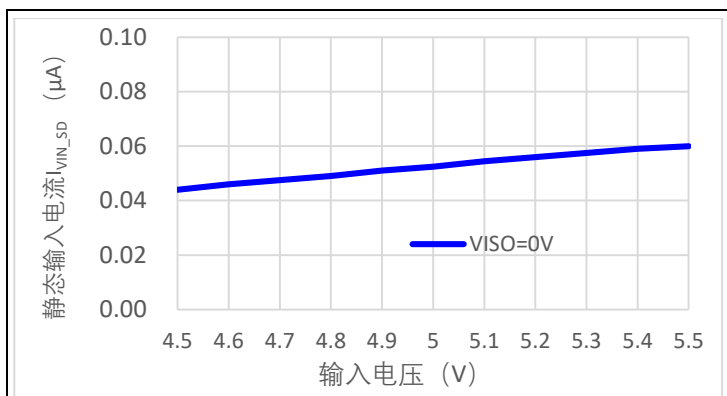


图 7-27 EN 使能关断时，输入静态电流 I_{VIN_SD} 随输入电压的变化 VINP=4.5~5.5V, EN 管脚接 GNDP

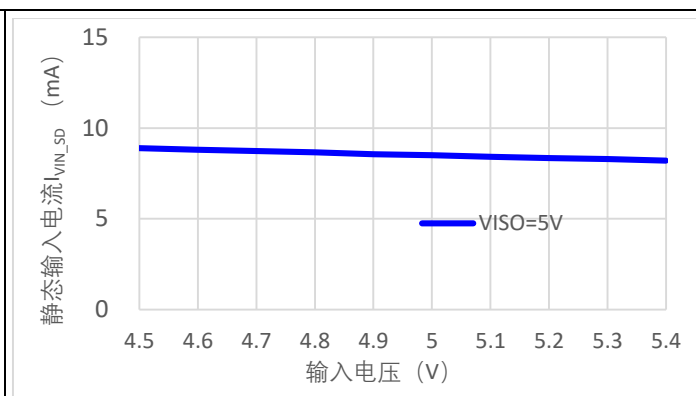


图 7-28 EN 使能时，输入静态电流 I_{VIN_SD} 随温度的变化 VINP=4.5~5.5V, VISO=5V, EN 管脚接 VINP

7.6 输出电流降额曲线

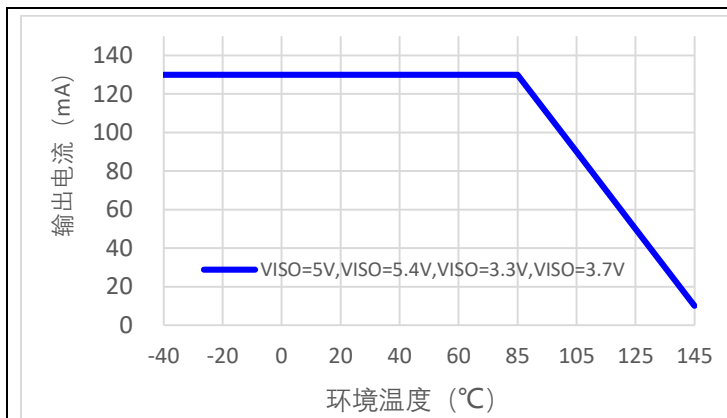


图 7-29 输出电流降额曲线 VINP=4.5~5.5V



8 详细说明

8.1 工作原理

CA-IS3105W 是一款支持 5KVrms 隔离耐压的 DC-DC 转换器芯片，集成片上变压器，能够高效率传输大于 650mW 功率到副边输出。CA-IS3105W 产品的功能框图如图 8-1 所示。

该芯片采用特有的隔离控制架构，能够快速响应负载变化，并且精确调节输出电压。VINP 电源供电给一个振荡电路，该电路将能量传输给一个高 Q 值的片上变压器，该变压器具有高效率 and 低辐射性能。根据 SEL 引脚的设置，传递到副边的能量被调节成 3.3V/5V 或 3.7V/5.4V（通过 SEL 管脚来选择）的输出电压。副边(VISO)控制器将 PWM 控制信号通过一个专用的隔离数据通道传递给原边，原边依据副边反馈的 PWM 信号调节传输能量。VINP 和 VISO 电源上都具备带迟滞的欠压锁定(UVLO)保护，保证了系统在噪声条件下的良好性能。内置的软启动电路确保了不会出现浪涌电流和输出电压过冲。

CA-IS3105W 内置短路保护功能。当输出电压 VISO 短路到地后，芯片进入 Hiccup 模式，表现为芯片输出每关闭一段时间后再尝试软起动上电，不断循环，直到短路故障清除，输出自动软起动恢复正常。

8.2 功能框图

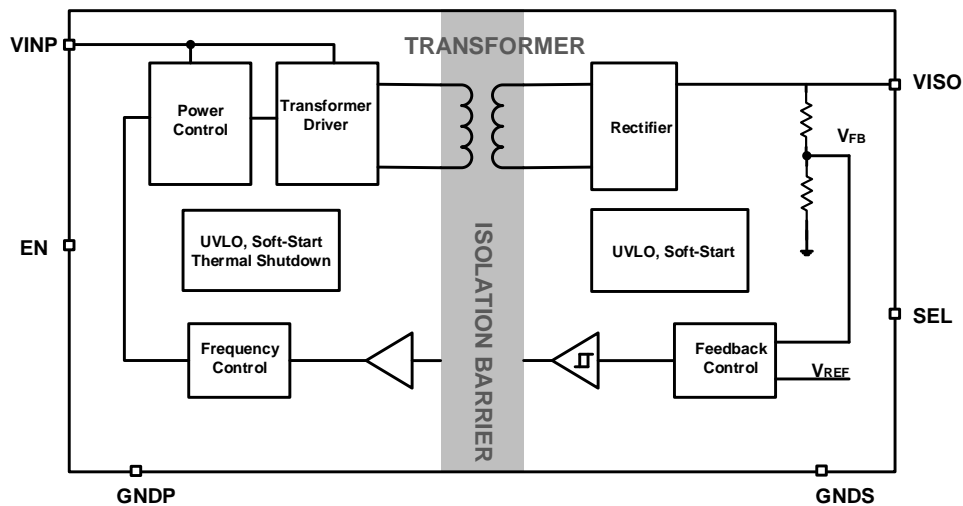


图 8-1 芯片工作模式

通过 EN 管脚可以控制输出端是否有电压，当 EN 为低电平时，输出为 0V；当 EN 为高电平时，通过 SEL 管脚的接线方式，输出电压有 5V、3.3V、5.4V、3.7V 等 4 种选项。表 8-1 输出电源真值表为 CA-IS3105W 输出电压真值表。

表 8-1 输出电源真值表

EN	SEL	VISO
HIGH	短接到 VISO	5V
HIGH	通过 100K 电阻接至 VISO	5.4V
HIGH	短接到 GNDS	3.3V
HIGH	通过 100K 电阻接至 GNDS	3.7V
HIGH	OPEN ¹	不支持
LOW	X	0V

1. 应用时不推荐把 SEL 管脚悬空。

9 典型应用

CA-IS3105W 芯片只需要在外部接上适当的储能电容就可以工作，电容放置在尽可能靠近芯片管脚的位置。图 9-1 显示了 CA-IS3105W 芯片的典型应用。

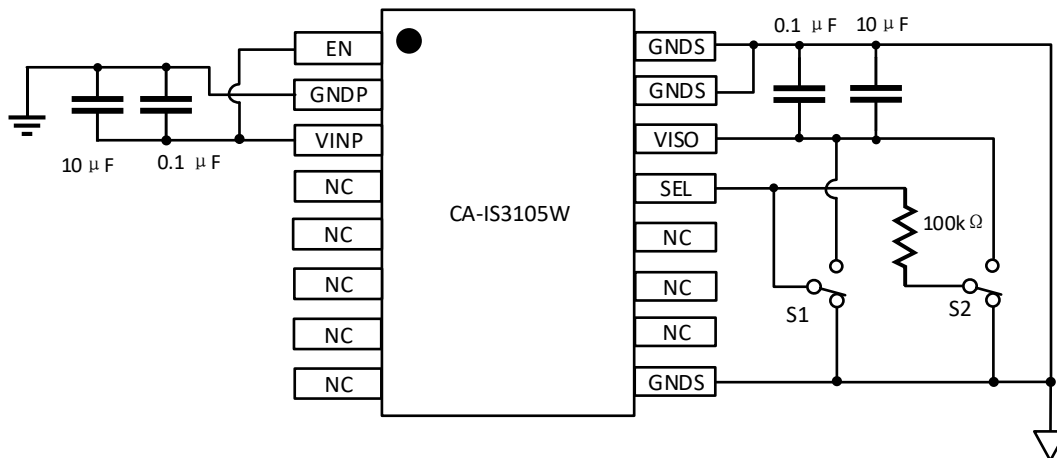
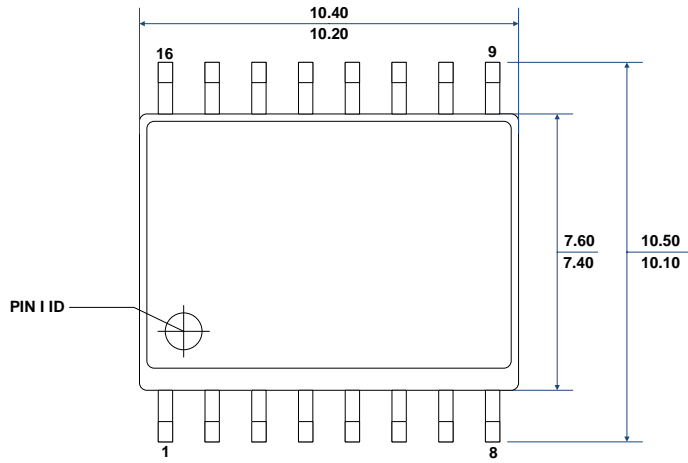


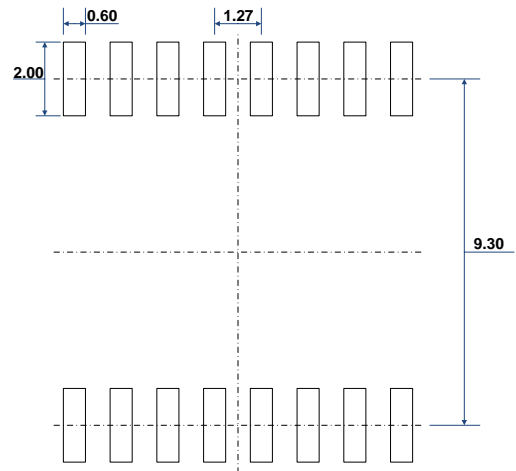
图 9-1 CA-IS3105W 典型应用电路

10 封装信息

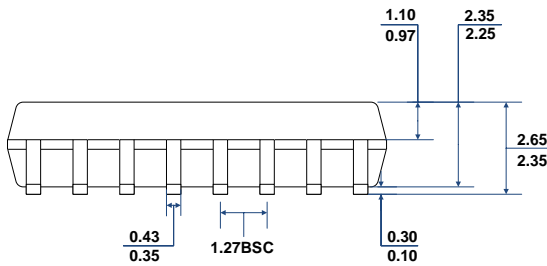
下图说明了 CA-IS3105W 隔离 DC-DC 采用的 SOIC-16WB 宽体封装大小尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。



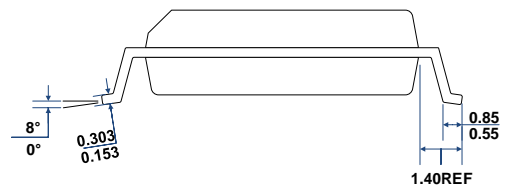
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT-SIDE VIEW

11 焊接信息

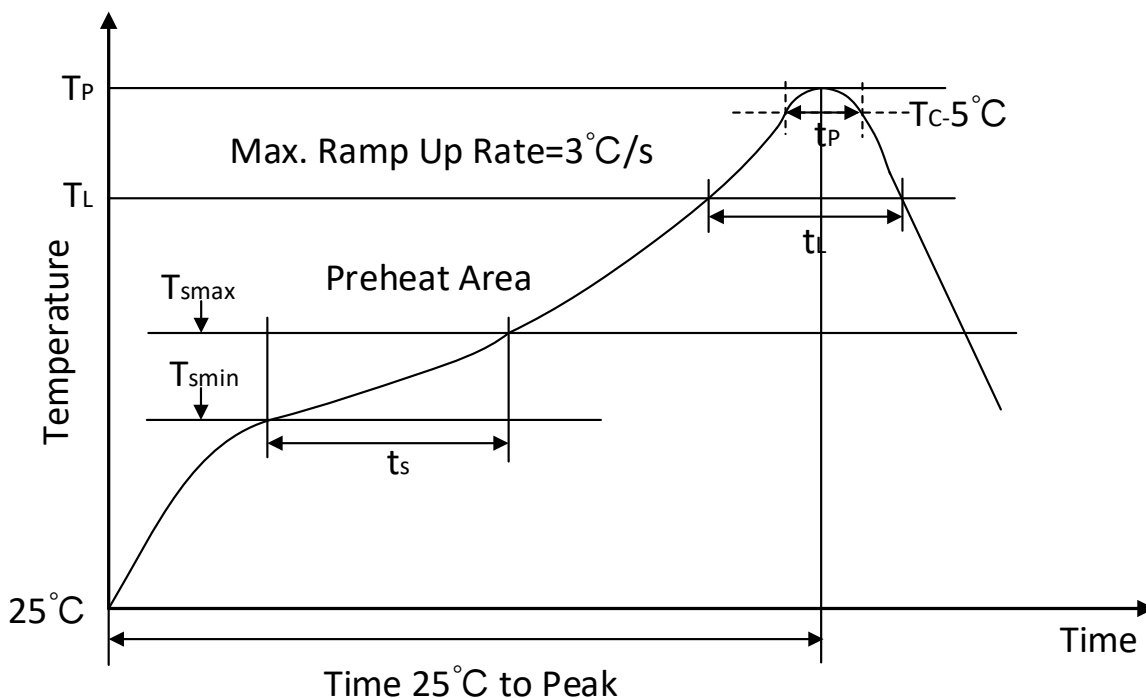
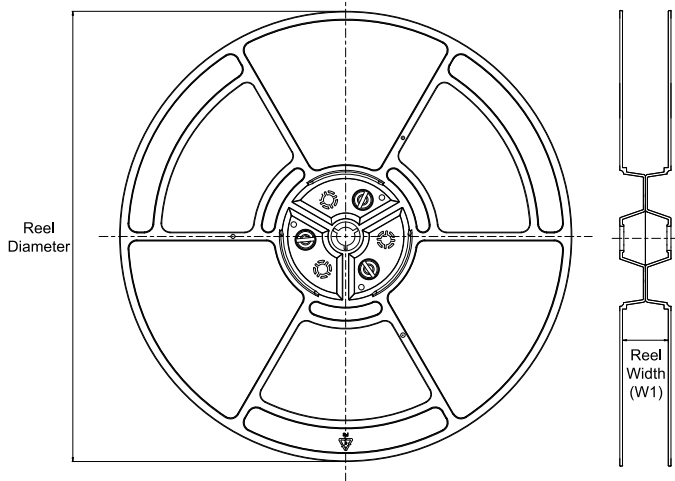
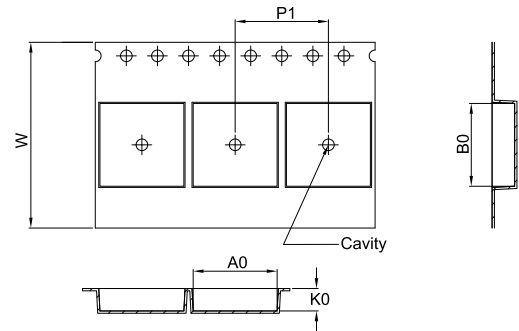


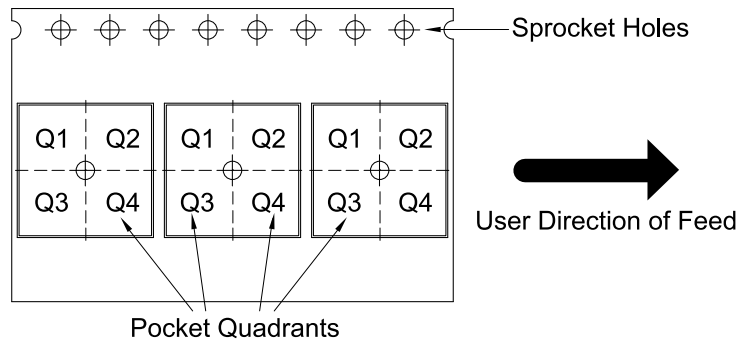
图 11- 1 焊接温度曲线

表 11- 1 焊接温度参数

Profile Feature	Pb-Free Assembly
Average ramp-up rate(217 °C to Peak)	3°C/second max
Time of Preheat temp(from 150 °C to 200 °C)	60-120 second
Time to be maintained above 217 °C	60-150 second
Peak temperature	260 +5/-0 °C
Time within 5 °C of actual peak temp	30 second
Ramp-down rate	6 °C/second max.
Time from 25°C to peak temp	8 minutes max

12 编带信息
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3105W	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1

PACKAGE INFORMATION

Orderable Device	Status ¹	Package Type	Package Drawing	Pins	Package Qty	Eco Plan	Lead/Ball Finish	MSL Peak Temp	Op Temp(°C)	Device Marking	Samples
CA-IS3105W	PREVIEW	SOIC	W	16	1000				-40 to 125		

- The marketing status values are defined as follows:
 ACTIVE: Product device recommended for new designs.
 LIFEBUY: CA has announced that the device will be discontinued, and a lifetime-buy period is in effect.
 NRND: Not recommended for new designs. Device is in production to support existing customers, but CA does not recommend using this part in new design.
 PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
 OBSOLETE: CA has discontinued the production of the device.

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>

单击下面可查看定价，库存，交付和生命周期等信息

[>>CHIPANALOG\(川土微\)](#)