

具有通用输入的 5 路输出超低附加抖动 LVCMOS 扇出缓冲器/电平转换器

特征

- 5 个 LVCMOS/LVTTL 输出，直流至 200MHz
- 通用输入
 - LVPECL
 - LVDS
 - HCSSL
 - SSTL
 - LVCMOS/LVTTL
- 晶体振荡器接口
 - 晶振输入频率：10MHz 至 40MHz
- 输出偏斜：6ps
- 附加相位抖动
 - 156.25MHz (12KHz 至 20MHz) 时为 30fs
- 低传播延迟
- 使用 3.3 或 2.5V 内核电源电压运行
- 可调的输出电源电压
 - 每组 1.5V、1.8V、2.5V 和 3.3V
- 24 脚 QFN 封装：4.0x4.0x0.75mm

应用

- RRU 应用的本振参考分布
- SONET、以太网、光纤通道线卡
- 光传输网络
- GPON OLT/ONU
- 服务器和存储区域网络
- 便携式测试和测量
- 高端影音

概述

GM50105 是一款高性能、低噪声 LVCMOS 扇出缓冲器，可从差分、单端或晶振输入分配 5 个超低抖动时钟。GM50105 支持同步输出使能以实现无毛刺操作。超低偏移、低抖动和高电源抑制比 (PSRR) 使该缓冲器非常适合各种网络、电信、服务器和存储区域网络、RRU 应用的本振参考分布、医疗和测试设备应用。

内核电压可设置为 2.5V 或 3.3V，输出电压可设置为 1.5V、1.8V、2.5V 或 3.3V。GM50105 可以通过引脚编程轻松配置。

功能框图

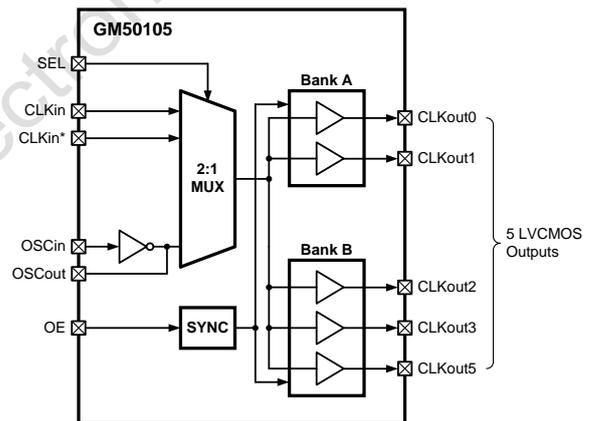


图 1, 功能框图

修订历史记录

备注：之前版本的页码可能与当前版本的页码不同。

版本	修订日期	修订内容
V01	2022/10	初始版本发布。
V02	2022/11	更新典型的性能参数。
V03	2023/4	增加湿敏等级和 Pin1 脚位置说明。
V04	2024/6/24	1. 更新 V_{ESD_HBM} 为 $\pm 2000V$ 。 2. 更新驱动时钟输入章节中图 10、图 11 和对应描述。 3. 更新卷带信息中 Pin1 脚位置由右上改为左上。

Wuxi Grand Microelectronics Co., Ltd.

引脚配置 (QFN24-4.0x4.0x0.75)

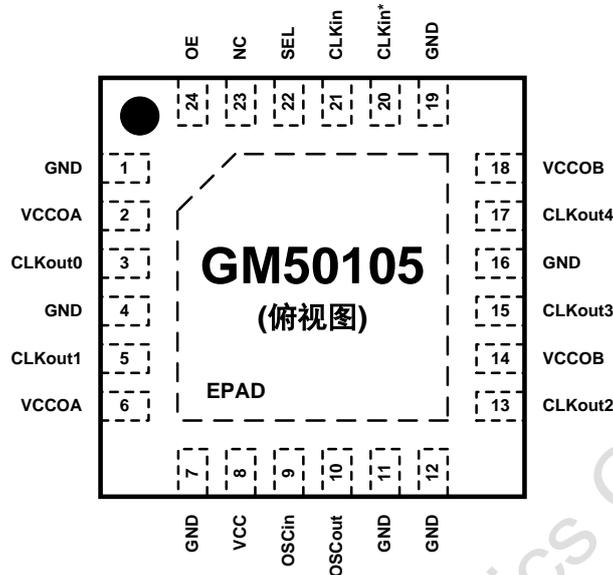


图 2, 引脚配置

引脚功能说明

引脚号	引脚名称	类型	说明
0	EPAD	-	散热底座接地。
2,6	VCCOA	电源	A 组输出 (CLKout0 到 CLKout1) 的电源。
14,18	VCCOB	电源	B 组输出 (CLKout2 到 CLKout4) 的电源。
3	CLKout0	输出	LVC MOS 输出 0。
1,4,7,11,12,16,19	GND	地	地。
5	CLKout1	输出	LVC MOS 输出 1。
8	VCC	电源	内核和输入缓冲器供电引脚。
9	OSCin	输入	晶体的输入。也可以由 XO、TCXO 或其他外部单端时钟驱动。
10	OSCout	输出	晶体的输出。如果 OSCin 由单端时钟驱动, 则让 OSCout 悬空。
13	CLKout2	输出	LVC MOS 输出 2。
15	CLKout3	输出	LVC MOS 输出 3。
17	CLKout4	输出	LVC MOS 输出 4。
20,21	CLKin*, CLKin	输入	通用时钟输入 (差分或单端)。
22	SEL	输入	输入时钟选择。该引脚有一个内部下拉电阻。
23	NC	--	未连接。
24	OE	输入	输出使能。该引脚有一个内部下拉电阻。

绝对最大额定值

如果超过绝对最大额定值，可能会发生永久性设备损坏。功能操作应限制在本数据表操作部分规定的条件下。长时间工作在绝对最大额定值条件下可能会影响器件的可靠性。

参数	符号	额定值	单位
内核电源电压	V_{dd}	-0.3 至 3.6	V
输出电源电压	V_{ddo}	-0.3 至 3.6	V
输入电压	V_{IN}	-0.3 至 $(V_{dd} + 0.3)$	V
贮存温度范围	T_{STG}	-65 至 150	°C
引线温度 (焊锡4秒)	T_L	+260	°C
结温	T_J	+125	°C
静电放电 (人体模型)	V_{ESD_HBM}	±2000	V
静电放电 (充电设备模型)	V_{ESD_CDM}	±1000	V

推荐工作条件

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	-40	25	85	°C
内核电源电压	V_{dd}	2.375	3.3	3.45	V
输出电源电压 ⁽¹⁾	V_{ddo}	1.425	3.3	V_{dd}	V

1) V_{ddo} 应小于或等于 V_{dd} ($V_{ddo} \leq V_{dd}$)

封装热阻

参数	符号	额定值	单位
4 层 Jedec 板上从结到环境的热阻 ⁽¹⁾	θ_{JA}	46.7	°C/W
从结到散热底座的热阻	$\theta_{JC(EPAD)}$	13.6	°C/W

1) 规格假设有 5 个热通孔连接到芯片连接焊盘和 4 层 Jedec 板上的嵌入式铜平面。这些通孔在提高 QFN 的热性能方面发挥着关键作用。为获得最佳散热效果，建议在电路板布局上使用最大数量的过孔。

电气特性

($2.375V \leq V_{dd} \leq 3.45V$, $1.425V \leq V_{ddo} \leq V_{dd}$, $-40^\circ C \leq T_A \leq 85^\circ C$, 差分输入。典型值代表 $V_{dd} = V_{ddo} = 3.3V$, $T_A = 25^\circ C$ 时最可能的参数规范)。测试条件为: $F_{test} = 100\text{ MHz}$, $C_L = 5\text{ pF}$ 与 50Ω 并联, 除非另有说明。

符号	参数	测试条件	最小值	典型值	最大值	单位
总的器件特性						
V_{dd}	内核电源电压		2.375	2.5 或 3.3	3.45	V
V_{ddo}	输出电源电压		1.425	1.5, 1.8, 2.5 或 3.3	3.45	V
I_{vdd}	内核电流	没有时钟输入		16	25	mA
		$V_{ddo} = 3.3V$, $F_{test} = 100\text{ MHz}$		24		
		$V_{ddo} = 2.5V$, $F_{test} = 100\text{ MHz}$		24		
$I_{vddo[n]}$	每个输出的电流	$V_{ddo} = 2.5V$, OE = 逻辑高, $F_{test} = 100\text{ MHz}$		5.4		mA
		$V_{ddo} = 3.3V$, OE = 逻辑高, $F_{test} = 100\text{ MHz}$		7		
		OE = 逻辑低		0.1		
$I_{vdd} + I_{vddo}$	所有输出负载的总器件电流	OE = 逻辑高, $F_{test} = 100\text{ MHz}$, Load = 9pF		59		mA
		OE = 逻辑低		16		
电源纹波抑制 (PSRR)						
PSRR	电源纹波引起的相位杂散电平	100KHz, 100mV _{PP} 纹波注入 V_{ddo} , $V_{ddo} = 2.5V$		-44		dBc
输出¹⁾						
$V_{CLKoutL}$	输出逻辑低电压				0.1	V
$V_{CLKoutH}$	输出逻辑高电压		$V_{ddo} - 0.1$			
R_{CLKout}	输出电阻	$V_{ddo} = 3.3V$		62		Ω
		$V_{ddo} = 2.5V$		63		
		$V_{ddo} = 1.8V$		66		
		$V_{ddo} = 1.5V$		68		
f_{CLKout}	输出频率 ⁽⁴⁾		直流		200	MHz
t_{Skew}	输出偏斜 ⁽²⁾	以 CLKout0 为参考, 测量各个输出		6	25	ps
t_{PD}	传播延迟, 从 CLKin 到 CLKout ⁽²⁾	$C_L = 5\text{ pF}$, $R_L = 50\Omega$, $V_{dd} = 3.3V$, $V_{ddo} = 3.3V$	0.85	1.4	2.2	ns
		$C_L = 5\text{ pF}$, $R_L = 50\Omega$, $V_{dd} = 2.5V$, $V_{ddo} = 1.5V$	1.1	1.8	2.8	ns
$t_{PD, PP}$	零件间输出偏斜 ⁽²⁾⁽³⁾	$C_L = 5\text{ pF}$, $R_L = 50\Omega$, $V_{dd} = 3.3V$, $V_{ddo} = 3.3V$			0.35	ns
		$C_L = 5\text{ pF}$, $R_L = 50\Omega$, $V_{dd} = 2.5V$, $V_{ddo} = 1.5V$			0.6	ns
t_{RISE}	上升或下降时间	$V_{dd} = 3.3V$, $V_{ddo} = 1.8V$, $C_L = 10\text{ pF}$		250		ps
		$V_{dd} = 2.5V$, $V_{ddo} = 2.5V$, $C_L = 10\text{ pF}$		275		
		$V_{dd} = 3.3V$, $V_{ddo} = 3.3V$, $C_L = 10\text{ pF}$		315		
t_j	RMS 附加相位抖动, 来自 CLKin0、CLKin0*或 CLKin1、CLKin1*的输入时钟	$f_{CLKout} = 156.25\text{ MHz}$, CMOS 输入压摆率 $\geq 2\text{ V/ns}$, $BW = 12\text{ KHz}$ 至 20 MHz	$V_{ddo} = 3.3V$		30	fs
			$V_{ddo} = 2.5V$		35	
			$V_{ddo} = 1.8V$		40	
			$V_{ddo} = 1.5V$		45	
$t_{j, XO}$	RMS 相位抖动, 来自 25MHz 晶振的输入时钟	BW = 12KHz 至 5MHz; (EPSON. X1E000021013900)	$V_{ddo} = 3.3V$		220	fs
			$V_{ddo} = 2.5V$		214	
			$V_{ddo} = 1.8V$		220	
			$V_{ddo} = 1.5V$		220	

电气特性 (续)

($2.375V \leq V_{dd} \leq 3.45V$, $1.425V \leq V_{ddo} \leq V_{dd}$, $-40^\circ C \leq T_A \leq 85^\circ C$, 差分输入。典型值代表 $V_{dd} = V_{ddo} = 3.3V$, $T_A = 25^\circ C$ 时最可能的参数规范)。测试条件为: $F_{test} = 100\text{MHz}$, $C_L = 5\text{pF}$ 与 50Ω 并联, 除非另有说明。

符号	参数	测试条件	最小值	典型值	最大值	单位
输出⁽¹⁾						
O _{bc}	输出占空比	输入占空比 50%, $f_{CLKOUT} = 156.25\text{MHz}$	45		55	%
t _{EN}	输出使能时间	见图 3			2	周期
t _{DIS}	输出禁用时间	见图 3			2	周期

- 1) CMOS 的交流参数取决于输出电容负载。
- 2) 参数由设计指定, 未经生产测试。
- 3) 部件间偏斜计算为跨多个器件的最快和最慢 t_{PD} 之间的差异
- 4) 由特性指定。

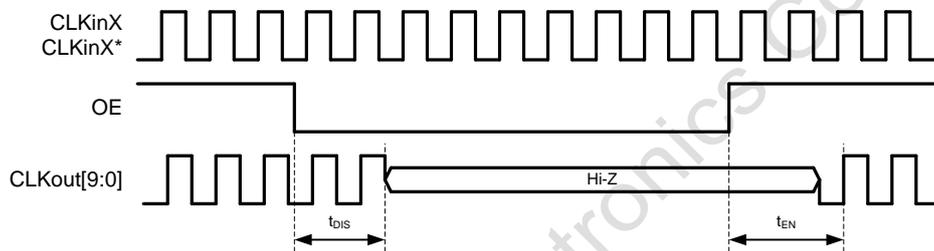


图 3, OE 时序图

电气特性 (续)

($2.375V \leq V_{dd} \leq 3.45V$, $1.425V \leq V_{ddo} \leq V_{dd}$, $-40^\circ C \leq T_A \leq 85^\circ C$, 差分输入。典型值代表 $V_{dd} = V_{ddo} = 3.3V$, $T_A = 25^\circ C$ 时最可能的参数规范)。测试条件为: $F_{test} = 100\text{ MHz}$, $C_L = 5\text{ pF}$ 与 50Ω 并联, 除非另有说明。

符号	参数	测试条件	最小值	典型值	最大值	单位
数字输入 (OE, SEL)						
V_{LOW}	输入逻辑低电压	$V_{dd} = 2.5V$			0.4	V
V_{HIGH}	输入逻辑高电压	$V_{dd} = 2.5V$	1.3			V
		$V_{dd} = 3.3V$	1.6			
I_{IH}	高电平输入电流			63	95	μA
I_{IL}	低电平输入电流		-5		5	
CLKin 和 CLKin* 输入时钟规范⁵⁾						
I_{IH}	高电平输入电流	$V_{CLKIN} = V_{dd}$			20	μA
I_{IL}	低电平输入电流	$V_{CLKIN} = 0V$	-20			
V_{IH}	输入高电压				$V_{dd_}$	V
V_{IL}	输入低电压		接地			
$\Delta V/\Delta T$	输入边沿率	20%至 80%		2		V/ns
V_{CM}	差分输入共模输入电压 ⁶⁾	$V_{ID} = 150\text{ mV}$	0.5		$V_{dd} - 1.2$	V
		$V_{ID} = 350\text{ mV}$	0.5		$V_{dd} - 1.1$	
		$V_{ID} = 800\text{ mV}$	0.5		$V_{dd} - 0.9$	
V_{LSE}	单端输入电压摆幅 ⁷⁾	CLKinX 驱动单端 (AC 或 DC 耦合), CLKinX* 悬空或 AC 耦合到地	0.38		2	V_{PP}
V_{ID}	差分输入电压摆幅	CLKin 差分驱动	0.15		1.5	V
OSCin/OSCout 引脚						
f_{OSCin}	输入频率 ⁸⁾	单端输入, OSCout 浮动	直流		200	MHz
f_{XTAL}	晶体频率输入范围	基本模式晶体, ESR < 200 Ω ($f_{XTAL} \leq 30\text{ MHz}$) ESR > 120 Ω ($f_{XTAL} > 30\text{ MHz}$) ⁸⁾⁽⁹⁾	10		40	MHz
C_{OSCin}	并联电容			1		pF
V_{IH}	输入高压	单端输入, OSCout 浮动			2.5	V

5) V_{ID} 和 V_{OD} 的定义, 请参见“差分电压测量术语”。

6) 当使用 V_{CM} 超出指定可接受范围的差分信号 V_{ID} 时, 时钟必须是交流耦合的。

7) 参数由设计指定, 未经生产测试。

8) 由特性指定。

9) 所述 ESR 要求是确保振荡器电路没有启动问题所必需的。然而, 为了保持低于该晶体的最大功耗要求, 可能需要晶体的较低 ESR 值。

25MHz 晶振输入时 25MHz 输出的典型相位噪声

当 GM50105 外接晶体时，GM50105 提供超低相位噪声输出。图 4 显示了 GM50105 在 $V_{DD} = V_{DDO} = 3.3V$ 和室温条件下外接 25MHz 晶体（EPSON. X1E000021013900）时测量得到的相位噪声图。

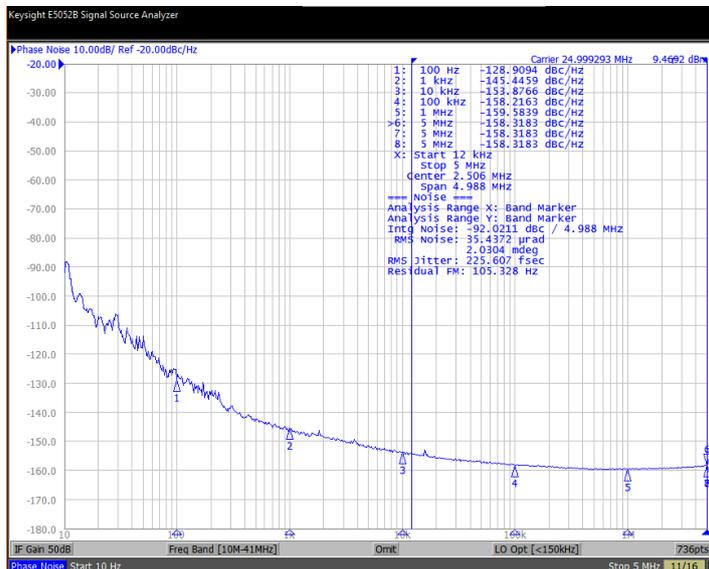


图 4，外接 25MHz 晶体（EPSON. X1E000021013900）时，GM50105 的输出相位噪声曲线

附加相位抖动

GM50105 的附加相位抖动是使用无锡有容微电子有限公司的时钟产生与抖动清除芯片 GM5528 作为输入源，在 $V_{DD} = V_{DDO} = 3.3V$ 和室温条件下，采用是德科技的 E5052B 相位噪声分析仪进行测量，结果见图 5。

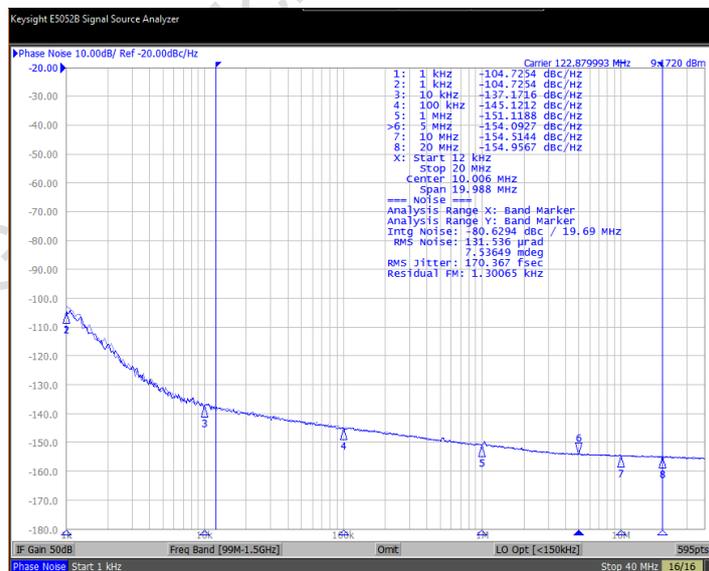


图 5，输入相位噪声（169.7fs，浅蓝色）和输出相位噪声（170.4fs，深蓝色）

使用 CVHD-950X_100MHz VCXO 作为输入源，在 $V_{DD} = V_{DDO} = 3.3V$ 和室温条件，采用是德科技的 E5052B 相位噪声分析仪进行测量，结果见图 6。

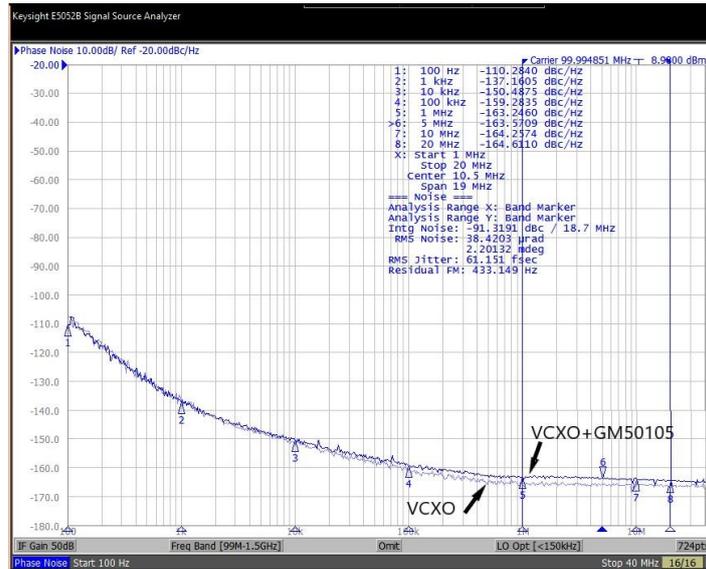


图 6，输入相位噪声（浅蓝色）和输出相位噪声（深蓝色）

典型性能特征

除非另有说明： $V_{dd} = 3.3V$, $T_A = 20^\circ C$, $C_L = 5pF$, CLKin 差分驱动，输入压摆率 $\geq 2V/ns$ 。

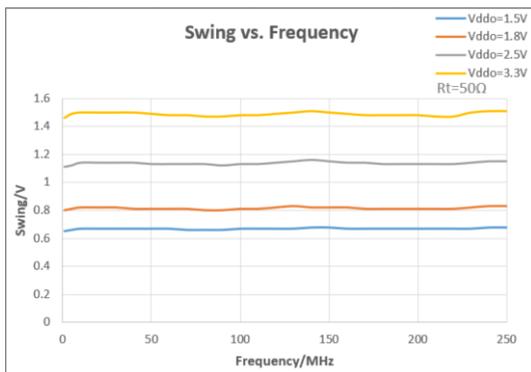


图 7-1，LVCMOS 输出摆幅与频率的关系

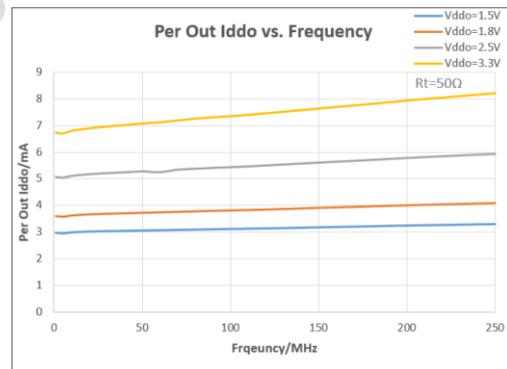


图 7-2，每个输出的 I_{ddo} 与频率的关系

测量定义

■ 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，在阅读数据表或与其他工程师交流时会造成混淆。本节将讨论差分信号的测量和描述，以便读者在使用时能够理解和辨别两种不同的定义。

用于描述差分信号的第一个定义是反相信号和同相信号两者之间的电压电位的绝对值。第一个测量的符号通常为 V_{ID} 或 V_{OD} ，具体取决于描述的是输入电压还是输出电压。

用于描述差分信号的第二个定义是测量同相信号相对于反相信号的电位差。第二次测量的符号是 V_{SS} 且是一个计算参数。该信号在芯片中的任何地方相对地而言都不存在，它仅存在于其参考差分对。 V_{SS} 可以通过带有浮动参考的示波器直接测量，否则，该值可以计算为 V_{OD} 值的两倍，如第一节所述。

图 8 并排说明了两种不同的输入定义，图 9 并排说明了两种不同的输出定义。 V_{ID} （或 V_{OD} ）定义显示了同相和反相信号相对于地之间相互切换的直流电平 V_{IH} 和 V_{IL} （或 V_{OH} 和 V_{OL} ）。 V_{SS} 输入和输出定义表明，如果将反相信号视为电压电位参考，则同相信号电压电位现在高于和低于反相参考电压时增加和减小。因此可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常以伏特 (V) 定义，而 V_{SS} 通常以电压峰峰值 (V_{PP}) 定义。

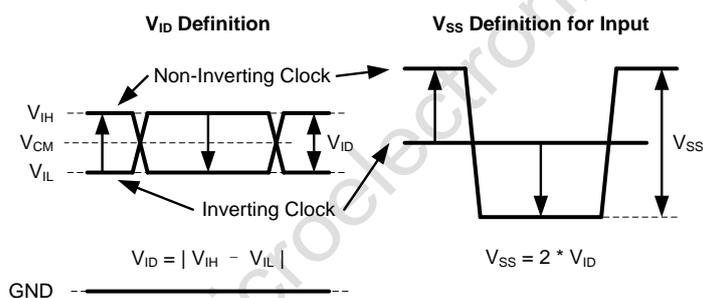


图 8，差分输入信号的两种不同定义

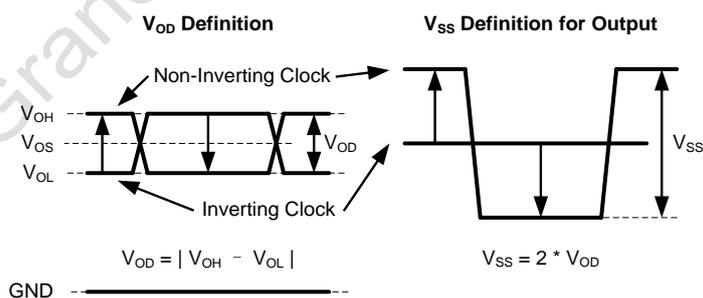


图 9，差分输出信号的两种不同定义

功能说明

GM50105 是一款 5 路输出 LVCMOS 时钟扇出缓冲器，具有超低的附加抖动，可在高达 200 MHz 的频率下工作。它集成一个 2:1 输入多路复用器，具备晶体振荡器输入、单电源或双电源（低功耗）操作以及配置可由引脚编程。该器件采用 24 个引脚的 QFN 封装外形。

■ V_{dd} 和 V_{ddo} 电源

独立的内核和输出电源允许输出缓冲器在与内核电源(3.3V 或 2.5V)相同的电源或较低的电源电压(3.3V、2.5V、1.8V 或 1.5V) 下运行。与单电源操作相比，双电源操作可实现更低的功耗和输出电平兼容性。

A 组 (CLKout0 到 CLKout1) 和 B 组 (CLKout2 到 CLKout4) 也可以在不同的 V_{ddo} 输出电源压下工作，前提是 V_{ddo} 电压都不超过 V_{dd} 。

注意：

应注意确保 V_{ddo} 电压不超过 V_{dd} 电压，以防止开启内部 ESD 保护电路。**请勿断开任何 V_{ddo} 引脚或将其接地**，因为 V_{ddo} 引脚内部连接在输出组内。

■ 时钟输入

GM50105 具有 2 个不同的输入，CLKin/CLKin* 和 OSCin，可以以不同方式驱动，这些方式将在以下章节中描述。

时钟输入的选择

时钟输入选择由 SEL 引脚控制，如表 1 所示。有关时钟输入要求，请参阅 [驱动时钟输入](#)。当 CLKin 和 CLKin* 被选中，晶体振荡器将被关闭。选择 OSCIN 时，晶体振荡器将启动，其时钟将分布到所有输出中。有关详细信息，请参阅 [晶振接口](#)。或者，OSCin 可以由高达 200MHz 的单端时钟驱动，而不是由晶体驱动。

表 1，输入选择

SEL	输入
0	CLKin, CLKin*
1	OSCin (晶体模式)

CLKin/CLKin*引脚

GM50105 有 1 个差分输入 (CLKin/CLKin*)，可以单端或差分驱动。它们可以接受交流或直流耦合 3.3V 或 2.5V 的 LVPECL、LVDS 或其他满足 [电气特性^{1\)}](#) 中 “CLKin 和 CLKin*输入时钟规范” 输入要求的差分 and 单端信号。有关驱动 GM50105 输入的更多详细信息，请参阅 [驱动时钟输入](#)。

如果未选择晶体模式且 CLKin 引脚没有施加任何交流信号，则下表 2 将是输出状态。

1) 当使用 V_{CM} 超出指定 V_{ID} 可接受范围的差分信号时，时钟必须是交流耦合的。

表 2，CLKin/CLKin*输入与输出状态

CLKin	CLKin*	输出状态
断开	断开	逻辑低
逻辑低	逻辑低	逻辑低
逻辑高	逻辑低	逻辑高
逻辑低	逻辑高	逻辑低

OSCin/OSCout 引脚

当 OSCin 被选中时，GM50105 内部的晶体振荡器将启动。此外，OSCin 也可以由高达 200MHz 的单端时钟驱动，用于替代晶体。有关详细信息，请参阅 [晶体接口](#)。

如果选择了晶体模式并且引脚没有施加任何交流信号，则表 3 将是输出的状态。如果选择了晶体模式，则 OSCin 引脚上不允许断开状态，因为输出可能会因晶体振荡器电路而振荡。

表 3, OSCin 输入与输出状态

OSCin	输出状态
断开	不允许
逻辑低	逻辑高
逻辑高	逻辑低

■ 时钟输出

GM50105 有 5 路 LVCMOS 输出。

输出使能引脚

当输出使能引脚保持高电平时，输出使能。当它保持低电平时，输出保持在低电平状态，如表 4 所示。

表 4, 输出使能引脚状态

OE	输出
逻辑低	禁用 (Hi-Z)
逻辑高	启用

OE 引脚与输入时钟同步，以确保没有短脉冲。当 OE 引脚从低电平变为高电平时，输出最初将具有大约 400Ω 的接地阻抗，直到输入时钟的第 2 个下降沿。从输入时钟的第 2 个下降沿开始，输出将缓冲输入。如果在没有输入时钟的情况下，OE 引脚从低电平变为高电平，则输出将变为高电平或低电平并保持该状态，它们不会振荡。当 OE 引脚从高电平变为低电平时，输出将在时钟输入的第 2 个下降沿后变为低电平，然后在下一个上升沿后进入禁用 (Hi-Z) 状态。

使用少于 5 个输出

尽管 GM50105 有 5 路输出，但并非所有应用都需要所有这些。在这种情况下，未使用的输出应保持悬置，并使用最短的铜线长度以最小化电容。这样，该输出将消耗最小的输出电流，因为它没有负载。

应用信息

■ 驱动时钟输入

GM50105 有 1 个差分输入（CLKin 和 CLKin*），可以接受直流或交流耦合 3.3V 或 2.5V LVPECL，LVDS，以及其他满足 [电气特性中规定的输入要求](#) 的差分 and 单端信号。由于其宽输入共模电压范围（ V_{CM} ）和输入电压摆幅（ V_{ID} ），该器件可以接受宽范围的信号。交流耦合也可用于将输入信号转换到共模电压（ V_{CM} ）范围内。

为实现最佳相位噪声和抖动性能，建议输入具有 2V/ns 的高压摆率（差分）或更高。以较高的压摆率驱动输入会降低噪声底和抖动。出于这个原因，建议使用差分输入信号而不是单端信号，因为它通常提供更高的压摆率和共模噪声抑制。

虽然建议使用差分信号输入去驱动 CLKin/CLKin* 对。当 [电气特性](#) 中列出的 CLKin 引脚的单端输入规范符合时，则可以使用单端时钟驱动它。对于大的单端输入信号，当输入信号摆幅超过芯片规格时，应在输入附近放置一个 R_{PD} 负载电阻用于信号衰减，以防止输入过驱动以及用于线路端接以最大程度地减少反射， R_{PD} 负载电阻值的选取，应考虑信号源输出端的驱动能力和 GM50105 芯片的 CLKin 单端输入电平范围综合考虑。CLKin 输入具有大约 1.4V 的内部偏置电压，因此输入可以进行交流耦合，如图 10 所示。 R_S 用于匹配传输线和负载终端的特性阻抗，具体大小可根据系统电路实测匹配后选定。

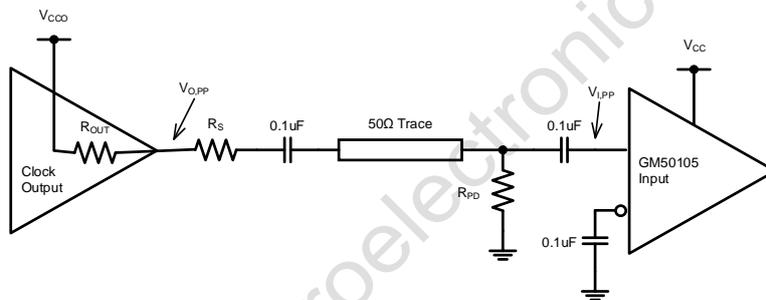


图 10，首选配置：单端 LVCMOS 输入，交流耦合，近端和远端端接

单端时钟也可以直流耦合到 CLKinX，如图 11 所示。可以在 CLKinX 输入附近放置一个 R_{PD} 负载电阻，用于信号衰减和线路端接。 R_{PD} 负载电阻值的选取，应考虑信号源输出端的驱动能力和 GM50105 芯片的 CLKin 单端输入电平范围综合考虑，CLKin 引脚的单端输入信号摆幅计算公式如下所示：

$$V_{i,pp} = V_{CCO} \times \frac{R_{pd}}{R_{out} + R_s + R_{pd}}$$

外部偏置电压应在规定的输入共模电压（ V_{CM} ）范围内。这可以通过使用 k Ω 范围内的外部偏置电阻（ R_{B1} 和 R_{B2} ）或其他低噪声电压基准来实现。这将确保输入摆幅在输入摆率最高的点处于阈值电压以内。

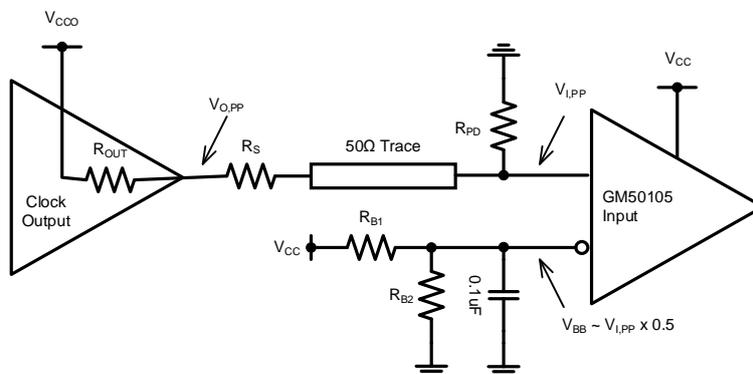


图 11，单端 LVCMOS 输入，直流耦合，共模偏置

如果不使用晶体电路，可以使用单端外部时钟驱动 OSCin 输入，如图 12 所示。输入时钟应交流耦合到 OSCin 引脚，该引脚具有内部产生的输入偏置电压，并且 OSCout 引脚应悬空。虽然 OSCin 提供了一个替代输入来复用外部时钟，但建议使用任一差分输入（CLKinX），因为它提供更高的工作频率，更好的共模，改进的电源噪声抑制并在电源电压和温度变化时具有更高的性能。

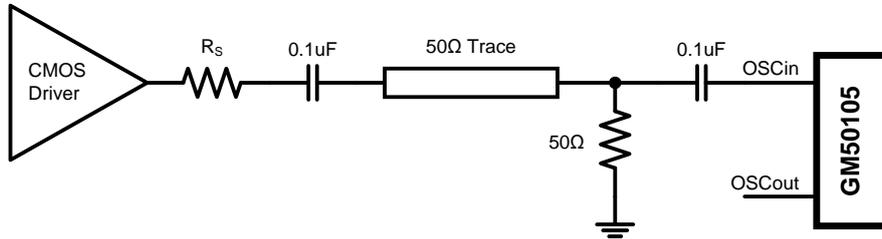


图 12, 使用单端外部时钟驱动 OSCin

■ 晶体接口

GM50105 有一个集成的晶体振荡器电路，支持无源晶体。晶体接口如图 13 所示。

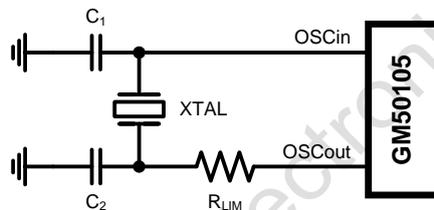


图 13, 晶体接口

负载电容 (C_L) 取决于晶体，但通常在 18 到 20pF 的数量级。虽然 C_L 是为晶体指定的，但器件的 OSCin 输入电容 ($C_{IN} = 1\text{pF}$ 典型值) 和 PCB 杂散电容 ($C_{STRAY} \sim 1$ 至 3pF) 会影响分立负载电容值 C_1 和 C_2 。对于并联谐振电路，分立电容值可以计算如下：

$$C_L = (C_1 * C_2) / (C_1 + C_2) + C_{IN} + C_{STARY} \dots\dots\dots (1)$$

通常， $C_1 = C_2$ 以获得最佳对称性，因此等式 1 可以仅根据 C_1 重写：

$$C_L = (C_1^2) / (2 * C_1) + C_{IN} + C_{STARY} \dots\dots\dots (2)$$

最后，求解 C_1 ：

$$C_1 = (C_L - C_{IN} - C_{STARY}) * 2 \dots\dots\dots (3)$$

电气特性 提供了晶体接口规范以及确保晶体启动的条件，但它没有指定晶体功耗。设计人员需要确保晶体功耗不超过晶体制造商指定的最大驱动电平。过度驱动晶体会导致过早老化、频移和最终故障。驱动电平应保持在启动和维持稳态运行所需的足够电平。

晶体的功耗 P_{XTAL} 可以通过以下方式计算：

$$P_{XTAL} = I_{RMS}^2 * R_{ESR} * (1 + C_0 / C_L)^2 \dots\dots\dots (4)$$

这里：

- I_{RMS} 是通过晶体的 RMS 电流。
- R_{ESR} 是为晶体指定的最大等效串联电阻。
- C_L 是为晶体指定的负载电容。

- C_0 是为晶体指定的最小并联电容。

I_{RMS} 可以使用电流探头（例如泰克的 CT-6 或同等产品）测量，该探头放置在连接到 OSCout 且振荡电路处于活动状态的晶体引脚上。

如图 13 所示，如有必要，可以使用外部电阻 R_{LIM} 来限制晶体驱动电平。如果所选晶体的功耗高于 R_{LIM} 短路时为晶振指定的驱动电平，则必须使用更大的电阻值以避免晶体过驱动。但是，如果晶体中的功耗小于 R_{LIM} 短路时的驱动电平，则可以使用 R_{LIM} 的零值。作为起点， R_{LIM} 的建议值为 1.5k Ω 。

■ 电源纹波抑制

在实际系统应用中，电源噪声（纹波）可能由开关电源、数字 ASIC 或 FPGA 产生等。虽然电源旁路有助于滤除部分噪声，但了解电源纹波对器件性能的影响非常重要。当单音正弦信号施加到时钟分配设备（如 GM50105）的电源时，它可以在时钟输出（载波）上产生窄带相位调制和幅度调制。在单边带相位噪声频谱，纹波引起的相位调制显示为相对于载波的相位杂散电平（以 dBc 为单位）。

对于 GM50105，电源纹波抑制（PSRR）测量为当纹波信号注入到输出电源 V_{ddo} 时，单边带相位杂散调制到时钟输出的电平（以 dBc 为单位）。电源纹波抑制测试设置如图 14 所示。

使用信号发生器将正弦信号注入 DUT 板的输出电源 V_{ddo} ，并在器件的 V_{ddo} 引脚处测量峰峰值纹波幅度。限幅放大器用于消除差分输出时钟上的幅度调制，并将其转换为相位噪声分析仪的单端信号。在以下电源纹波条件下，对 100MHz 时钟频率进行相位杂散电平测量：

- 纹波幅度： $V_{ddo} = 2.5V$ 时为 100mVpp
- 纹波频率：100kHz

假设没有幅度调制效应和小指数调制，峰峰值确定性抖动（DJ）可以使用测量的单边带相位杂散电平（PSRR）如下：

$$DJ (ps, pk-pk) = [(2 * 10^{(PSRR/20)}) / (\pi * f_{CLK})] * 10^{12} \dots\dots\dots (5)$$

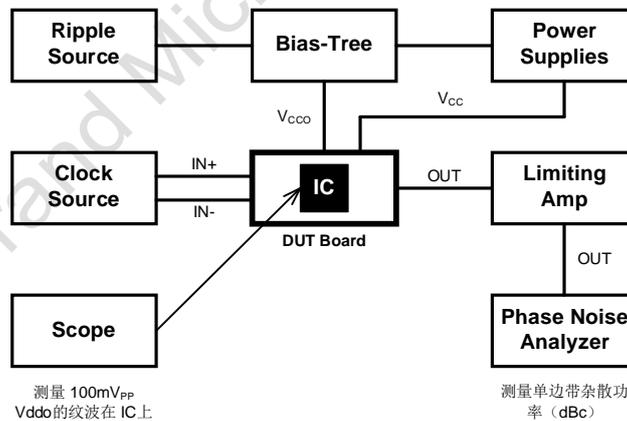


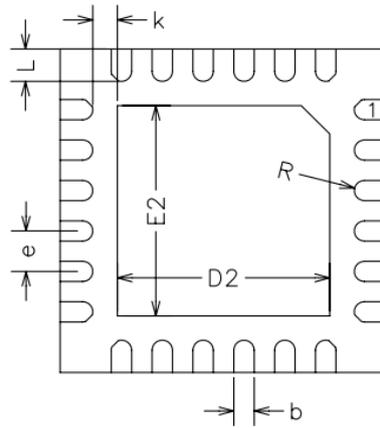
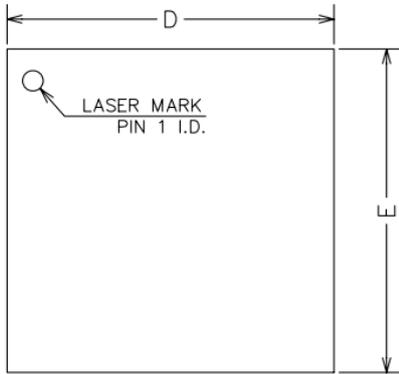
图 14, PSRR 测试设置

■ 电源旁路

V_{dd} 和 V_{ddo} 电源应有一个高频旁路电容器，例如 100pF，放置在非常靠近每个电源引脚的位置。将旁路电容器放置在与 GM50105 相同的层上可以提高输入灵敏度和性能。所有旁路和去耦电容都应通过短走线或过孔短连接到电源和接地层，以最大限度地减少串联电感。

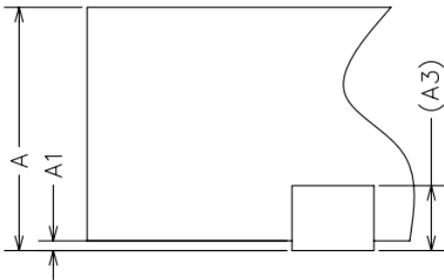
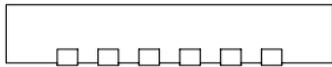
封装外形 (QFN24-4.0x4.0x0.75, 散热底座尺寸: 2.6 x2.6)

(单位: 毫米)



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20REF		
b	0.20	0.25	0.30
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.50	2.60	2.70
E2	2.50	2.60	2.70
e	0.40	0.50	0.60
K	0.20	-	-
L	0.35	0.40	0.45
R	0.09	-	-



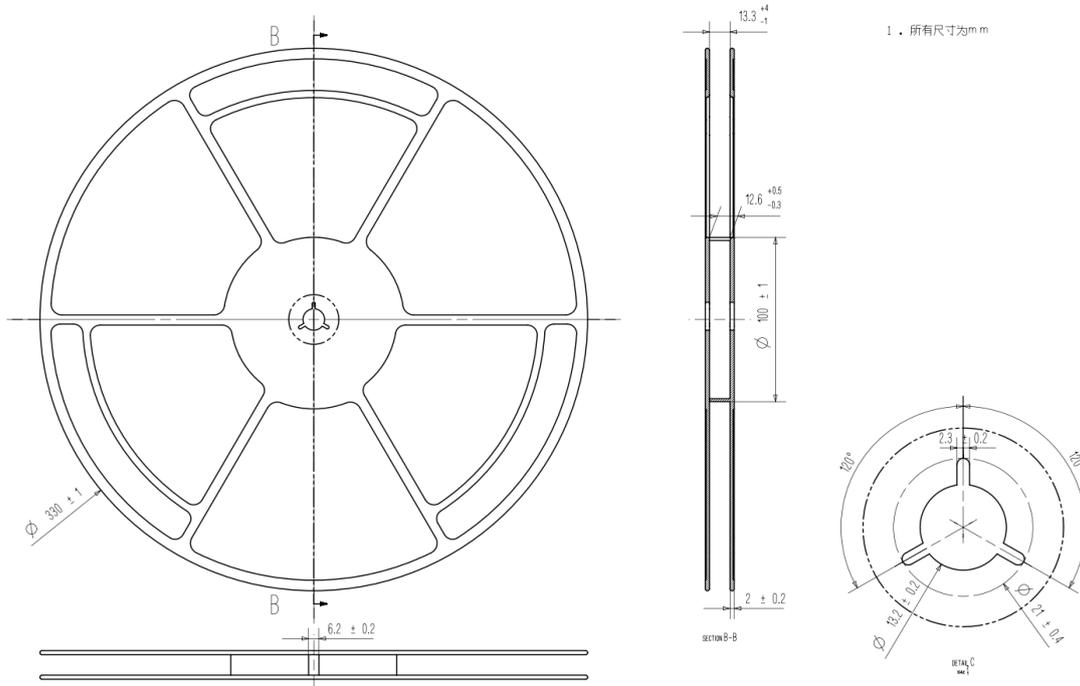
NOTE:

ALL DIMENSIONS REFER TO JEDEC STANDRAD MO-220 WGGD-6.

Wuxi Grand Microe

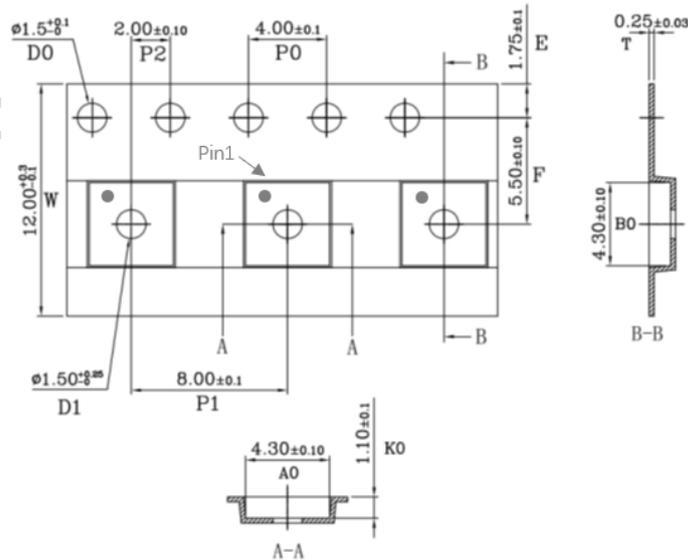
卷盘和卷带信息

卷盘信息



卷带信息

产品尺寸规格 (UNIT:mm)									
规格	W	P1	E	F	D0	D1	P0	P2	10P0
尺寸	12.00 ^{+0.1} / _{-0.1}	8.00±0.10	1.75±0.10	5.5±0.10	1.50 ^{+0.10} / _{-0.1}	1.50 ^{+0.25} / _{-0.2}	4.0±0.1	2±0.10	40±0.2
规格	A0	A1	B0	B1	K0	K1	T		
尺寸	4.30±0.10		4.30±0.10		1.10±0.10		0.25±0.03		



产品订购信息

器件编号	产品丝印	工作温度范围	封装信息	湿敏等级	包装方法
GM50105QNG	50105QNG XXXXXXXXXX ⁽¹⁾ YYWW ⁽²⁾ ZZ ⁽³⁾	-40°C 至+85°C	QFN24- 4.0x4.0x0.75	MSL-3	卷带和卷盘 (每卷 3000 只)

注：（1）XXXXXXXXXX 表示批次号；（2）YY 表示年号，WW 表示周号；（3）ZZ 表示产地的信息；

Wuxi Grand Microelectronics Co., Ltd.

单击下面可查看定价，库存，交付和生命周期等信息

[>>GrandMicro\(有容微\)](#)