

产品特点

- 低输入电流: $I_{IN} \leq 1\mu A$, @ $V_{IN}=V_{DD}-V_{SS}=15V, T_a=25^\circ C$
- 低静态功耗: $I_{DD}=0.2\mu A$ (典型)@ $V_{DD}-V_{SS}=15V, T_a=25^\circ C$
- 通电阻: 60Ω (典型)@ $V_{DD}-V_{SS}=V_{DD}-V_{EE}=15V, T_a=25^\circ C$
- 通道漏电流: $\pm 100nA$ (典型) @ $V_{DD}-V_{EE}=15V$
- 宽工作电压 $V_{DD}-V_{SS}$ 范围: $3V \sim 15V$
- 先断后通切换消除了通道重迭开启
- 单刀四掷配置形式的模拟开关
- 封装形式: DIP-16、SOP-16、TSSOP-16、QSOP-16、QFN-16 3*3



产品订购信息

产品名称	封装	打印名称	包装	包装数量
CD4052BE/ CD4052BN	DIP-16	CD4052B	管装	1000 只/盒
CD4052BM/TR	SOP-16	CD4052B	编带	2500 只/盘
CD4052BMT/TR	TSSOP-16	CD4052B	编带	2500 只/盘
CD4052BMS/TR	QSOP-16	CD4052B	编带	2500 只/盘
CD4053BLQ/TR	QFN-16 3*3	CD4052B	编带	5000 只/盘

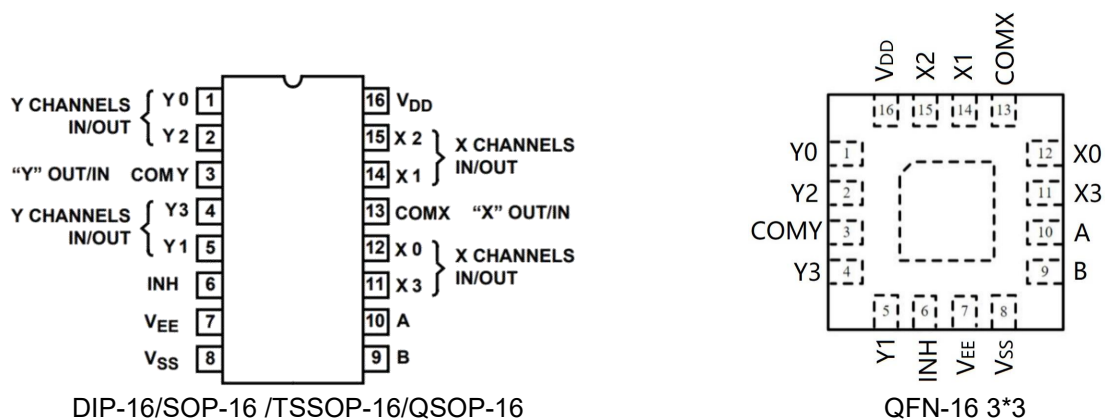
产品简介

CD4052B 是一款采用先进 CMOS 技术设计的两路差分四通道多路复用器。是一个单刀四掷配置形式的模拟开关。具有两个二进制通道控制输入(A 和 B)以及一个使能输入 INH。两个二进制输入信号，同时控制每路开关四个通道中的一个通道开启，其余通道关闭。

产品用途

- 模拟和数字多路复用与解复用
- 信号选通
- 数字寻址信号的逻辑电平转换
- 其它应用领域

引脚排列图



管脚功能定义

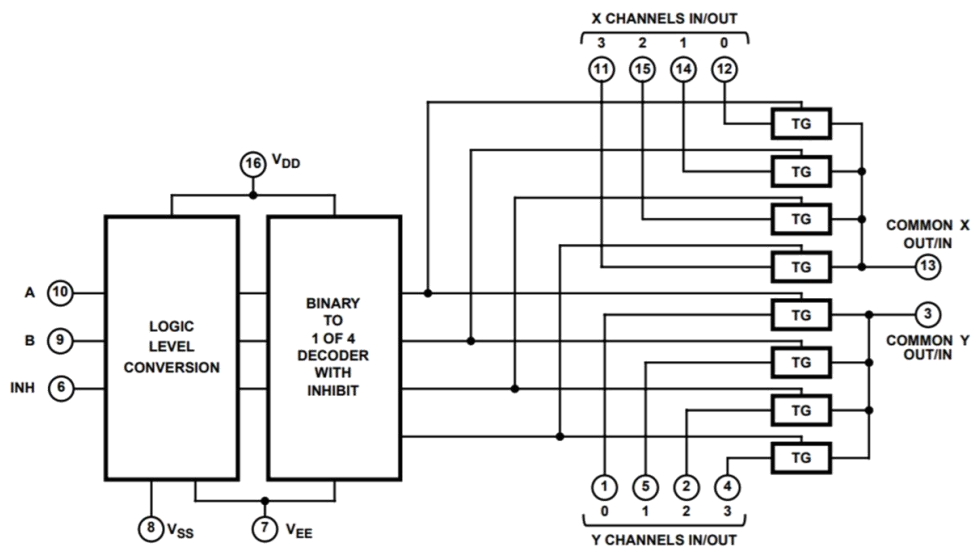
管脚序号	管脚定义	说明	管脚序号	管脚定义	说明
1	Y0	Y0 通道	16	V _{DD}	电源正
2	Y2	Y2 通道	15	X2	X2 通道
3	COM Y	Y 通道公共端	14	X1	X1 通道
4	Y3	Y3 通道	13	COM X	X 通道公共端
5	Y1	Y1 通道	12	X0	X0 通道
6	INH	使能控制	11	X3	X3 通道
7	V _{EE}	模拟开关负电源	10	A	地址输入 A
8	V _{SS}	电源地	9	B	地址输入 B

极限参数

参数	符号	极限值	单位
直流电源电压	$V_{DD}-V_{SS}$	-0.5 ~ 18	V
模拟电源电压	$V_{DD}-V_{EE}$	18	V
直流输入电压	V_{IN}	-0.5+ V_{SS} ~ $V_{DD}+0.5V$	V
功耗	P_D	500	mW
工作温度	T_A	-40~85	°C
存储温度	T_S	-65-150	°C
引脚焊接温度	T_W	245,10s	°C

注：极限参数是指无论在任何条件下都不能超过的极限值。如果超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

原理逻辑图



真值表

INPUTS			OUTPUTS
INH	B	A	“ON” CHANNEL(S)
0	0	0	X0、Y0
0	0	1	X1、Y1
0	1	0	X2、Y2
0	1	1	X3、Y3
1	×	×	None

×:任意值

推荐工作条件

项目	符号	最小值	典型值	最大值	单位
直流电源电压	$V_{DD}-V_{SS}$	3		15	V
控制输入电压	V_{IS}	0		$V_{DD}-V_{SS}$	V
模拟电源电压	$V_{DD}-V_{EE}$	0		15	V
模拟输入输出电压	V_{IN}, V_{OUT}	0		$V_{DD}-V_{EE}$	V
工作温度	T_A	-40		85	°C

电学特性

直流电学特性:

($V_{IS}=V_{IN}-V_{SS}$, $V_{EE}=V_{SS}$, $R_L = 3k\Omega$, $T_A=25^\circ C$ 除非特别指定)

符号	项目	测试条件		V_{DD} (V)	最小值	典型值	最大值	单位
V_{IH}	高电平有效 输入电压	$V_{IH}=V_{DD}$ through 1k Ω	$V_{EE}=V_{SS}$, $R_L=1k\Omega$ to V_{SS} , $I_{IS}<2\mu A$ on all OFF Channels	5	3.5			V
				10	7			V
				15	11			V
V_{IL}	低电平有效 输入电压	$V_{IL}=V_{DD}$ through 1k Ω	$V_{EE}=V_{SS}$, $R_L=1k\Omega$ to V_{SS} , $I_{IS}<2\mu A$ on all OFF Channels	5			1.5	V
				10			3	V
				15			4	V
R_{ON}	导通电阻	$0 \leq V_{IS} \leq V_{DD}$		5		155		Ω
				10		85		
				15		60		
ΔR_{ON}	相邻通道导通 电阻差			5		15		Ω
				10		10		
				15		5		
I_{OFF}	漏电流	输入输出通道关闭, $I_{NH}=V_{DD}$		18			± 100	nA
I_{IN}	输入电流	$V_{IN}=V_{DD}$ or V_{SS}		18		0.01	± 0.1	μA
I_{DD}	静态电流	$V_{IN}=V_{DD}$ or V_{SS}		5		0.01	5	μA
				10		0.01	10	μA
				15		0.01	20	μA
C_{IN}	输入电容	任意输入端				5	7.5	pF
C_{IS}	通道输入电容					5		pF
C_{OS}	输出电容					9		pF
C_{IOS}	导通电容					0.2		pF

交流电学特性:

 ($V_{SS}=V_{EE}, T_a=25^{\circ}\text{C}$, $t_r=t_f=20\text{ns}$, t_{pd} 包含 t_{PHL} 、 t_{PLH} , 见测试方法, 除非特别指定)

项目	符号	测试条件	VDD	最小值	典型值	最大值	单位
传输延迟时间 Signal Input to Output	tpd	$V_{IS}=V_{DD}, R_L=200k,$ $CL=50pF$	5		15		ns
			10		10		ns
			15		7		ns
传输延迟时间 Address-to-Signal OUT (Channels ON or OFF)	tpd	$CL=50pF, R_L=10k\Omega$	5		100		ns
			10		80		ns
			15		50		ns
传输延迟时间 Inhibit-to-Signal OUT (Channel Turning ON)	tpd	$C_L=50pF,$ $R_L=1k\Omega$	5		100		ns
			10		50		ns
			15		30		ns
传输延迟时间 Inhibit-to-Signal OUT (Channel Turning OFF)	tpd	$C_L=50pF,$ $R_L=10k\Omega$	5		100		ns
			10		50		ns
			15		30		ns

测试方法

测试图

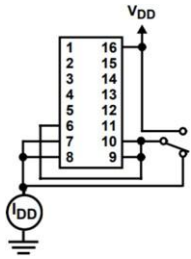


Fig.1 静态电流

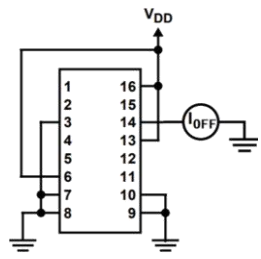


Fig.2 相邻通道关闭漏电流

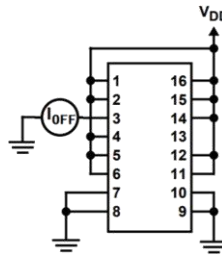


Fig.3 所有通道关闭漏电流

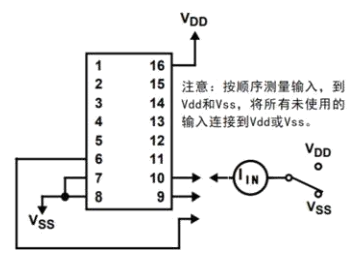


Fig.4 输入电流

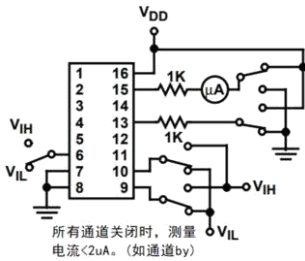


Fig.5 输入逻辑电平电压

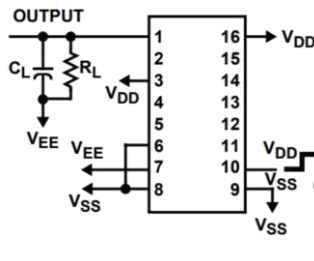


Fig.6 传播延迟-通道控制输入 to 开关输出

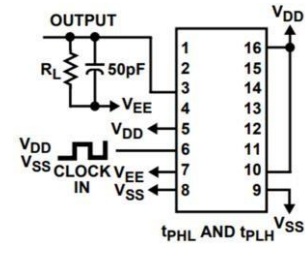


Fig.7 传播延迟-使能输入 to 开关输出

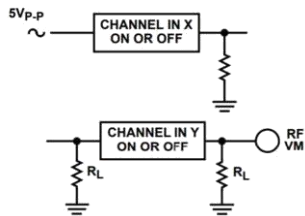


Fig.8 相邻通道之间信号串扰

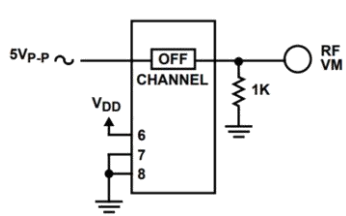


Fig.9 所有通道关闭信号串扰

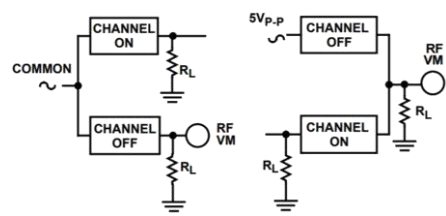
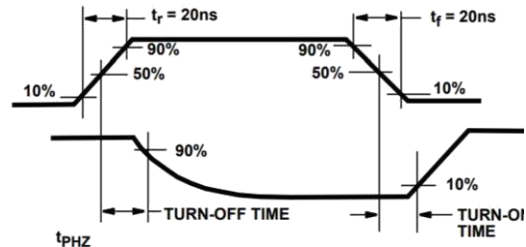
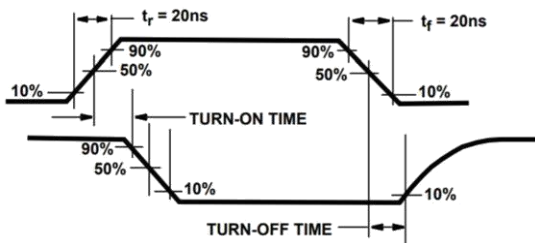


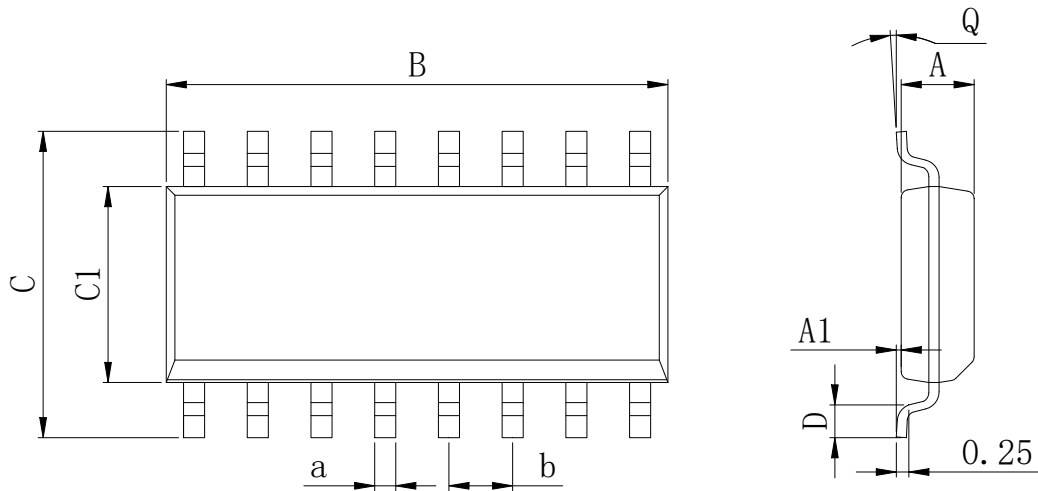
Fig.10 同一通道信号串扰

波形测



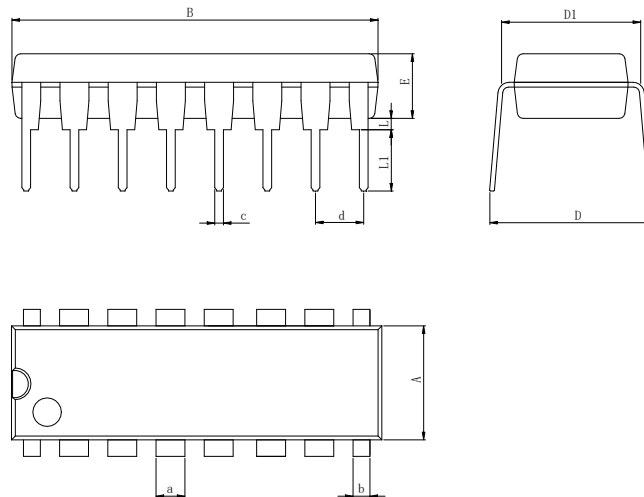
封装外形尺寸

SOP-16



Dimensions In Millimeters(SOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8	0.45	

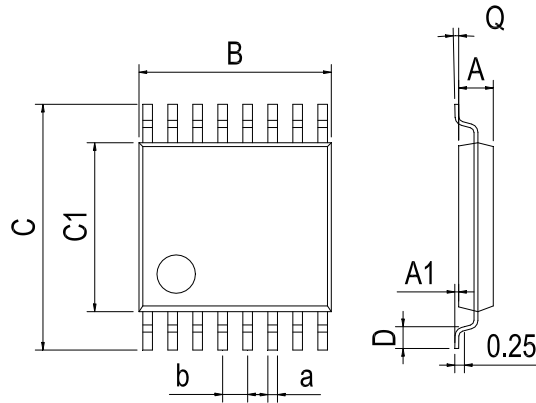
DIP-16



Dimensions In Millimeters(DIP-16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

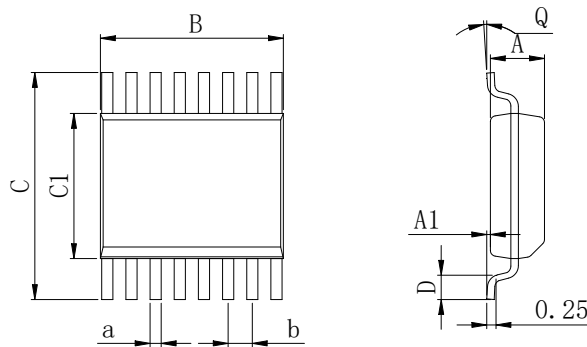
封装外型尺寸

TSSOP-16



Dimensions In Millimeters(TSSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

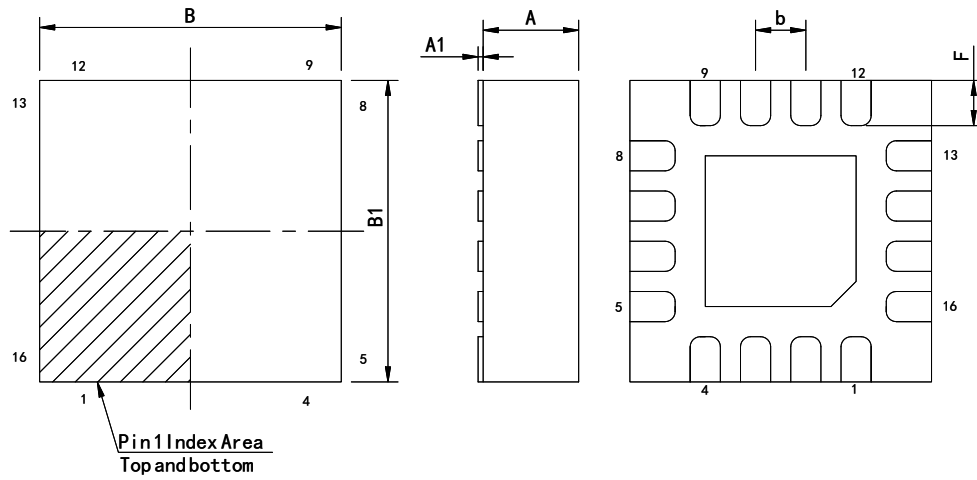
QSOP-16



Dimensions In Millimeters(QSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.80	5.80	3.80	0.40	0°	0.20	0.635 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.25	

封装外形尺寸

QFN-16 3*3



Dimensions In Millimeters(QFN-16 3*3)								
Symbol:	A	A1	B	B1	E	F	a	b
Min:	0.85	0	2.90	2.90	0.15	0.25	0.18	0.50TYP
Max:	0.95	0.05	3.10	3.10	0.25	0.45	0.30	

修订历史

日期	修改内容	页码
2020-8-3	新修订	1-11
2023-8-30	修改封装尺寸图 TSSOP-16、更新引脚焊接温度、更新封装、更新 DIP-16 尺寸	1、2、8、9
2024-3-19	文档重新格式化	1-11

重要声明:

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。

单击下面可查看定价，库存，交付和生命周期等信息

[>>HGSEMI\(华冠\)](#)