



深圳市航顺芯片技术研发有限公司

Shenzhen Hangshun Chip Technology Development Co.,Ltd.

HK32F103 xCxDxE

数据手册

Rev1.1.0

Contents

History.....	1
1 说明.....	2
2 产品综述.....	3
2.1 产品简介.....	3
2.2 产品特点.....	4
2.3 器件一览表.....	6
2.4 订货代码.....	7
3 功能介绍.....	8
3.1 结构框图.....	8
3.2 存储器映射.....	9
3.2.1 Flash 特性.....	10
3.2.2 Flash Option Word 设置.....	10
3.2.3 内置 RAM.....	11
3.3 CRC 计算单元.....	11
3.4 FSMC.....	11
3.5 协处理器.....	13
3.6 NVIC.....	14
3.7 EXTI.....	18
3.8 复位.....	18
3.8.1 系统复位.....	18
3.8.2 电源复位.....	19
3.8.3 备份域复位.....	19
3.9 时钟.....	19
3.9.1 时钟源.....	19
3.9.2 时钟树.....	20
3.10 Boot 模式.....	20
3.11 供电方案.....	21
3.12 电源监控器.....	21
3.13 低功耗模式.....	21
3.14 DMA.....	22
3.15 RTC 和 BKP.....	22
3.15.1 RTC.....	23
3.15.2 BKP.....	23
3.16 独立看门狗.....	23
3.17 窗口看门狗.....	23
3.18 System Tick 定时器.....	23
3.19 基本定时器.....	24

3.20 通用定时器.....	24
3.21 高级定时器.....	24
3.22 IIC 总线.....	25
3.23 USART.....	25
3.24 SPI.....	25
3.25 SDIO.....	25
3.26 CAN.....	25
3.27 USB.....	26
3.28 GPIO.....	26
3.29 ADC.....	26
3.30 DAC.....	26
3.31 温度传感器.....	27
3.32 96Bit-UID.....	27
3.33 调试及跟踪接口.....	27
4 电气性能指标.....	28
4.1 最大绝对额定值.....	28
4.1.1 极限电压特性.....	28
4.1.2 极限电流特性.....	28
4.1.3 极限温度特性.....	28
4.2 工作参数.....	29
4.2.1 推荐工作条件.....	29
4.2.2 复位和低压检测.....	29
4.2.3 内部参考电压.....	30
4.2.4 工作电流特性.....	30
4.2.5 HSE 时钟特性.....	31
4.2.6 LSE 时钟特性.....	31
4.2.7 HSI 时钟特性.....	32
4.2.8 LSI 时钟特性.....	32
4.2.9 PLL 特性.....	32
4.2.10 GPIO 输入时钟.....	32
4.2.11 Flash 存储器特性.....	33
4.2.12 IO 输入引脚特性.....	33
4.2.13 IO 输出引脚特性.....	33
4.2.14 NRST 复位管脚特性.....	34
4.2.15 TIM 计数器特性.....	34
4.2.16 ADC 特性.....	35
4.2.17 DAC 特性.....	36
4.2.18 温度传感器特性.....	37
5 典型电路.....	38
5.1 电源供电.....	38
5.2 其他参考电路.....	38



6 管脚定义.....	39
7 功能说明.....	57
7.1 OSC_IN/OSC_OUT 复用功能说明.....	57
7.2 FSMC 复用功能说明.....	58
7.3 TFT 复用功能说明.....	58
7.4 USART 复用功能说明.....	58
8 封装参数.....	59
8.1 LQFP64 10X10mm,0.5mm pitch.....	59
8.2 LQFP64 推荐封装.....	60
8.3 LQFP100 14X14mm,0.5mm pitch.....	61
8.4 LQFP100 推荐封装.....	62
9 缩略语.....	63
10 重要提示.....	64

History

Version	Date	Description
1.0.0	2019/07/23	初始版本
1.0.1	2019/08/05	修改 说明一节中 关于公司名称的描述 文档页眉 增加深圳航顺公司 logo 文档页脚 增加页码和公司官网链接 目录更新 包含页码
1.0.2	2019/08/23	增加 7.1 节
1.0.3	2019/09/6	修改 3.2 memory map 图
1.0.4	2019/09/23	增加 3.7 NVIC SAI 中断向量
1.0.5	2019/10/23	修改结构框图
1.0.6	2019/11/07	增加 Pinout 施密特说明
1.0.7	2019/12/16	修改 3.8.2 节时钟树图
1.0.8	2019/12/23	修改 Pinout 81/82 Notes
1.0.9	2020/4/8	增加协处理器单元
1.1.0	2020/8/21	更新公司 LOGO

1 说明

本文档为 HK32F103 RCT6/ HK32F103RDT6/ HK32F103RET6/ HK32F103VCT6/ HK32F103VDT6/ HK32F103VET6 芯片数据手册。HK32F103xCxDxE 系列芯片是深圳市航顺芯片技术研发有限公司开发的低功耗 MCU 芯片，请联系深圳市航顺芯片技术研发有限公司提供更多相关文档。

2 产品综述

2.1 产品简介

HK32F103 系列使用高性能的 ARM® Cortex™-M3 内核,最高工作频率 120MHz。

HK32F103 内置了大容量存储器: 527KB FLASH、97KB SRAM 和 512B VBAT 备份 SRAM。此外,可通过 FSMC 模块外挂最多 1GB 容量的 NOR/PSRAM/NAND/PC Card 存储器,其中有 256MB 的空间可以存放指令,并且可以被片内 1KB 指令 Cache 缓存。

HK32F103 内置的 CRC 模块提供了数据完整性的检查能力。

HK32F103 内置了丰富的通信接口满足多种通信应用场景: 5 路 USART、3 路 SPI (支持 I2S 协议)、1 路 SDIO、2 路 I2C、1 路 CAN 2.0 A/B 和 1 路 FS USB device。

HK32F103 内置 2 个高级 16-bit PWM 计时器(共 8 路 PWM 输出,其中 6 路带死区互补输出), 4 个通用 16-bit PWM 计时器(共 16 路 PWM 输出);

HK32F103 提供独立的 VBAT 电池电源域,当 VDD 主电源掉电时,RTC 模块可在 VBAT 电源供电的情况下继续工作;另外,VBAT 电池电源域提供了 20B 的备份寄存器,及 512B 的备份 SRAM。(HK32F103 工程样片不提供 512B 备份 SRAM)

HK32F103 内置了丰富的模拟电路: 3 个 12-bit ADC (共 25 路模拟信号输入通道,其中 2 路弱驱动信号输入通道和 1 路 5V 高压信号输入通道)、2 个 12-bit DAC、1 个温度传感器、1 个 0.8V 内部参考电压源、1 个 LVD 低电压检测器、1 个 POR/PDR 上下电复位电路和 1 个 VBAT 电源电阻分压器(分压器输出在片内与 ADC 相连)。

HK32F103 支持丰富的功耗模式;在最低功耗模式下,芯片的典型漏电流小于 100nA。HK32F103 工作于-40°C 至+105°C 的温度范围,供电电压 1.8V 至 3.6V,可满足绝大部分应用环境条件的要求。完整的 HK32F103xC、HK32F103xD 和 HK32F103xE 系列产品包括从 64 脚至 100 脚的两种不同封装形式;根据不同的封装形式,器件中的外设配置不尽相同。

这些丰富的外设配置,使得 HK32F103 微控制器适合于多种应用场景:

- 工业应用,可编程控制器、打印机、扫描仪
- HMI 人机音视频多媒体交互
- 图形显示设备
- 语音识别设备
- 广告显示设备
- 安全监控设备
- 电机驱动和调速控制
- 物联网低功耗传感器终端
- 无人机飞控、云台控制
- 玩具产品
- 家用电器
- 智能机器人
- 智能手表、运动手环

2.2 产品特点

- 工作电压范围
 - 双电源域：主电源 VDD 1.8V ~ 3.6V、备份电池电源 VBAT 1.8V ~ 3.6V
 - 当主电源掉电时，RTC 模块可继续工作在 VBAT 电源下工作
 - 当主电源掉电时，VBAT 电源下提供 20Bytes 备份寄存器，512Bytes 备份 RAM
- VDD 典型工作电流
 - Run 工作模式功耗:16mA@120MHz@3.3V(133.3uA/MHz)
 - Sleep 睡眠模式功耗:7mA@120MHz@3.3V(58.3uA/MHz),唤醒时间 8.3nS
 - Stop 停机模式功耗:30uA@3.3V (10uS 唤醒)
 - Standby 待机模式功耗:2uA@3.3V (150uS 唤醒)
- VBAT 典型工作电流(VDD 掉电)
 - VBAT RTC 模式功耗:1uA@3.3V
 - VBAT 模式功耗:600nA@3.3V (RTC 关闭，20B 备份寄存器和 512B 备份 SRAM 保持)
- ARM Cortex-M3 Core
 - 最高时钟频率：120MHz
 - 24 位 System Tick 计时器
 - 支持 CPU Event 信号输入至 MCU 引脚，实现与板级其它 SOC CPU 的联动
- DMA 控制器
 - 2 个独立 DMA 控制器 DMA1 和 DMA2
 - DMA1 提供 7 路通道
 - DMA2 提供 5 路通道
 - 支持 Timers、ADC、SPIs、I2Cs、USARTs 等多种外设触发
- 存储器
 - 527KByte 的 Flash 存储器,包括主区 Flash512KB, Information 空间 15KB。CPU 主频不高于 24MHz 时，支持 0 等待总线周期，具有代码安全保护功能，可分别设置读保护和写保护
 - 最大 65KB 片内 SRAM(包括 64KByte SRAM 和 2 个 512Bytes 外设共享 RAM)
 - FSMC 模块可外挂 1GB NOR/PSRAM/NAND/PC Card 存储器 (其中有 256MB 的空间可以存放指令，可被片内 Cache 缓存)
- 时钟
 - 外部 HSE：支持 4~32MHz 晶振，典型 8MHz 晶振
 - 外部 LSE：32.768KHz 晶振
 - 芯片上的 HSI 时钟：56MHz/8MHz
 - 芯片上的 LSI 时钟：40KHz

- PLL 时钟
- 复位
 - 外部管脚复位
 - 电源上电复位
 - 软件复位
 - 看门狗 (IWDG 和 WWDG) 定时器复位
 - 低功耗模式复位
- 安全加密
 - CRC32
- 数据通讯接口
 - 5 路 USART
 - 3 路 SPI (支持 I2S 协议)
 - 2 路 I2C
 - 1 路 SDIO
 - 1 路 CAN 2.0 A/B
 - 1 路 FS USB device
- 定时器及 PWM 发生器
 - 高级定时器: TIM1/TIM8 (共 8 路 PWM 输出, 其中 6 路带死区互补输出)
 - 通用定时器: TIM2/3/4/5 (共 16 路 PWM 输出)
 - 基本定时器: TIM6/7 (支持 CPU 中断、DMA 请求和 DAC 转换触发)
- 低电压检测 (PVD)
 - 8 级检测电压门限可调
 - 上升沿和下降沿可配置
- 片内模拟外设
 - 3 个 12-bit 3Msps ADC (共 25 路模拟信号输入通道; 其中 2 路弱驱动信号输入通道和 1 路 5V 高压信号输入通道); 支持双 ADC dual-mode 模式, 采样率最高 6Msps
 - 2 个 12-bit DAC
 - 1 个温度传感器
 - 1 个 0.8V 内部参考电压源
 - 1 个 VBAT 电源电阻分压器 (分压器输出在片内与 ADC 相连, 实现 VBAT 电源电压监控)
- ID 标识
 - 每颗 HK32F103 芯片提供一个唯一的 96-bit ID 标识
 - 航顺品牌识别 ID
- 调试及跟踪接口
 - SW-DP 两线调试端口
 - JTAG 五线调试端口
 - ARM DWT、FPB、ITM、TPIU 调试追踪模块

- 单线异步跟踪数据输出接口 (TRACESWO)
- 四线同步跟踪数据输出接口 (TRACEDO[3:0], TRACECK)
- 自定义 DBGMCU 调试控制器 (低功耗模式仿真控制、调试外设时钟控制、调试及跟踪接口分配)
- 通用输入输出 IO
 - 64 引脚产品有 51 个 GPIO 引脚, 100 引脚产品有 80 个 GPIO 引脚
 - 所有 GPIO 引脚可配置为外部中断输入
 - 内置可开关上、下拉电阻
 - 支持 Open-Drain 开漏输出
 - 支持 Schmitt 迟滞输入
 - 输出驱动能力超高、高、中、低四档可选
 - 提供最高 20mA 驱动电流
- RTC 时钟计数器, 配合软件记录年月日时分秒
- 可靠性
 - 通过 HBM2000V/CDM500V/MM200V/LU 等级测试
- 工作温度范围: -40°C ~ 105°C

2.3 器件一览表

Part	HK32F103 RCT6	HK32F103 RDT6	HK32F103 RET6	HK32F103 VCT6	HK32F103 VDT6	HK32F103 VET6
CPU 工作频率	120MHz					
Flash	256KBytes	384KBytes	512KBytes	256KBytes	384KBytes	512KBytes
SRAM	65Kbytes					
DMA	2					
CRC32	1					
FSMC	N/A	N/A	N/A	1	1	1
SDIO	1	1	1	1	1	1
I2C	2	2	2	2	2	2
USB	1	1	1	1	1	1
CAN	1	1	1	1	1	1
USART	6	6	6	6	6	6
SPI/I2S	3	3	3	3	3	3
高级 PWM 定时器	2	2	2	2	2	2
通用 PWM 定时器	4	4	4	4	4	4

基本定时器	2	2	2	2	2	2
GPIO	51			80		
IWDG	1					
WWDG	1					
96bit unique ID	1					
PVD	1					
ADC	3					
DAC	2					
Temp Sensor	1					
工作电压	VBAT: 1.8~3.6V VDD: 1.8~3.6V					
工作温度	-40 to +105 °C					
封装	LQFP64			LQFP100		

2.4 订货代码

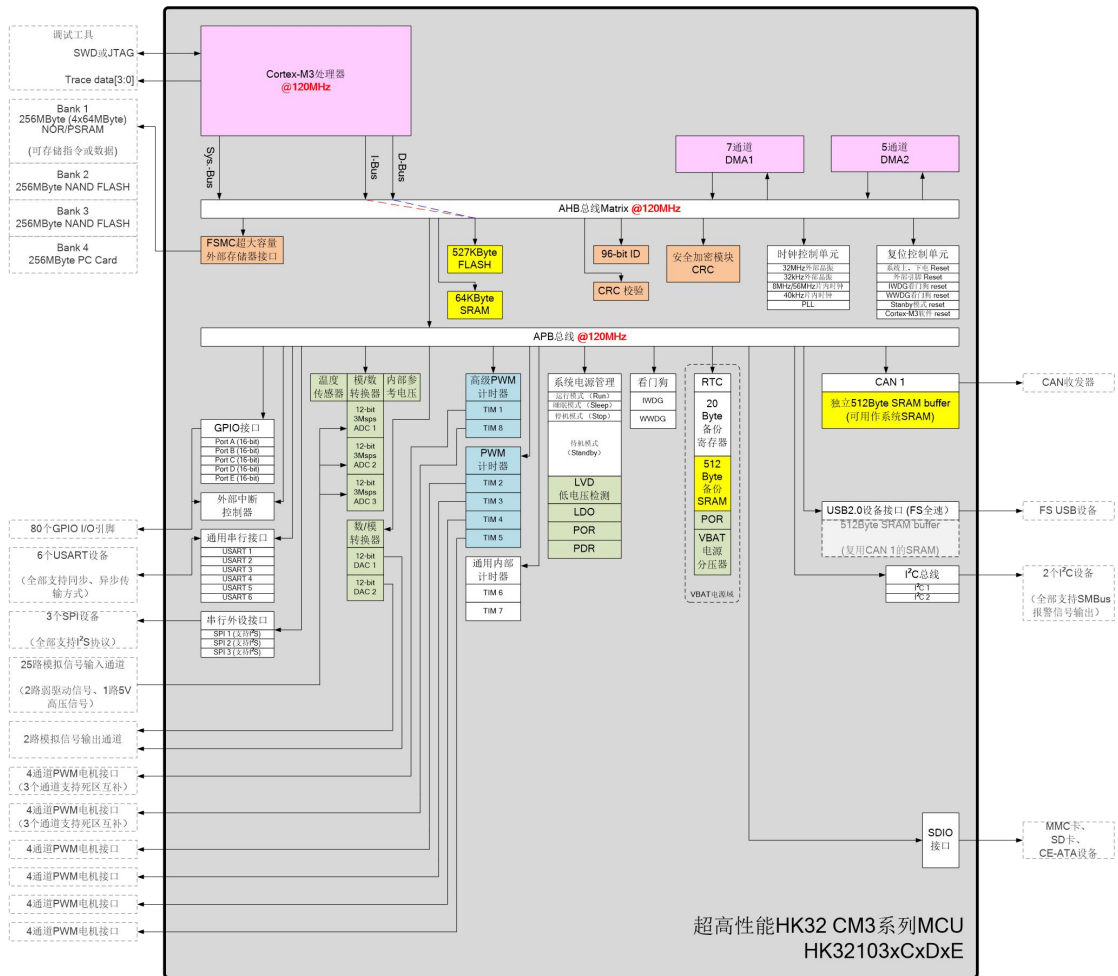
具体型号	包装	最小包数量
HK32F103RCT6	卷带或 Tray 盘	
HK32F103RDT6	卷带或 Tray 盘	
HK32F103RET6	卷带或 Tray 盘	
HK32F103VCT6	卷带或 Tray 盘	
HK32F103VDT6	卷带或 Tray 盘	
HK32F103VET6	卷带或 Tray 盘	

3 功能介绍

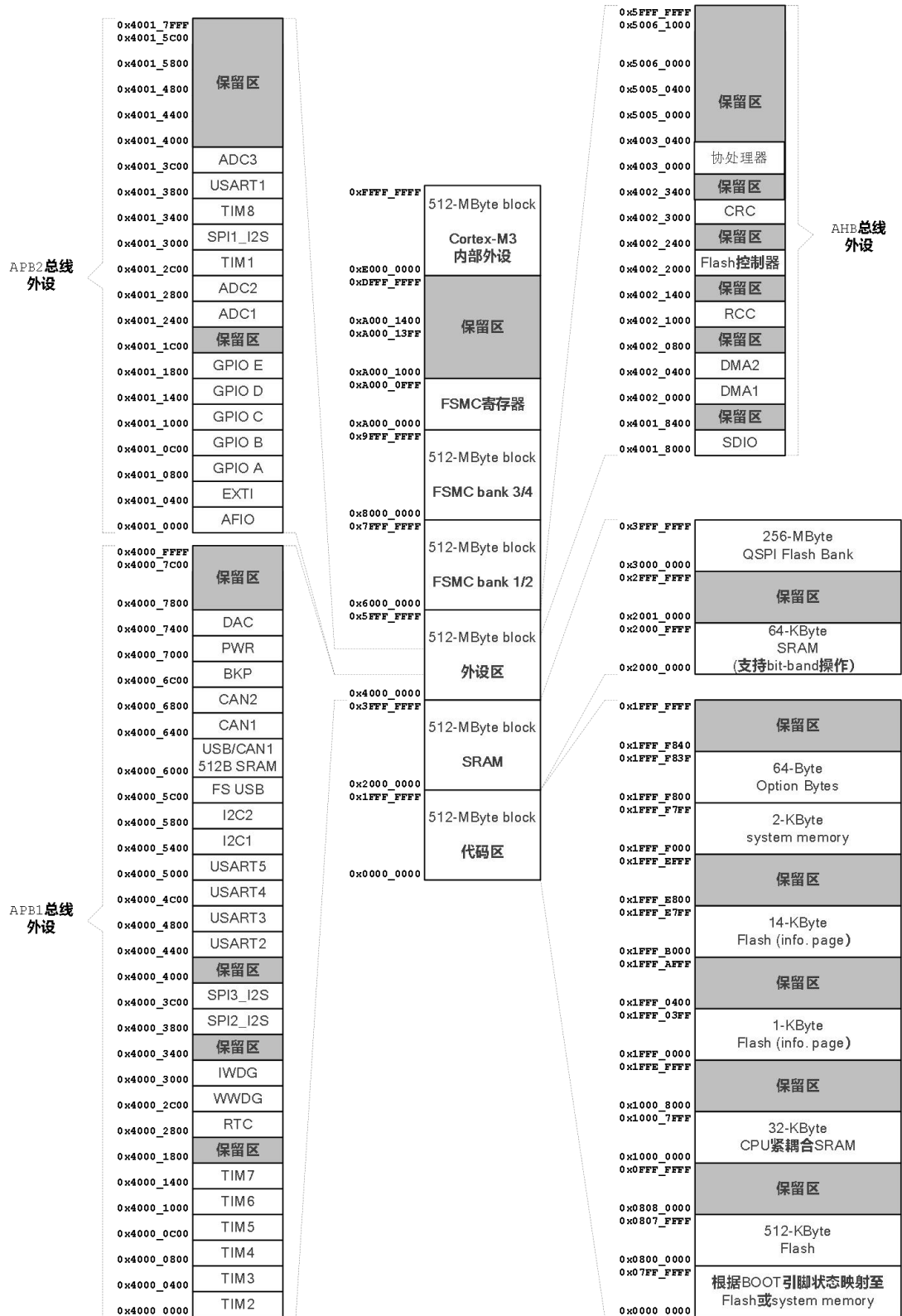
3.1 结构框图

ARM 的 Cortex™-M3 处理器是最新一代的嵌入式 32 位 RISC 处理器，它是一个低成本高性能、超低功耗的 MCU 平台，同时提供卓越的计算性能和先进的中断系统响应。HK32F103 系列产品拥有内置的 Cortex™-M3 核心，因此它与所有的 ARM 工具和软件兼容。

该系列产品的功能框图如下图：



3.2 存储器映射



3.2.1 Flash 特性

HK32F103 内部集成高达 527KByte 的闪存存储器，用于存放程序和数据。内置 Flash 包括三部分：主区 512Kbytes；Information 区：15Kbytes。

- Flash 数据位宽：128 位；页大小：2Kbytes；扇区大小：1Kbytes。
- Flash 访问位宽：支持半字、字、2 字和 4 字编程；128 位读。
- 支持 Flash 读/写保护访问控制。
- 集成预取指令 buffer 和数据 buffer。

HK32F103 集成 Flash 加解密模块，支持 Flash 指令自动加解密，保护片内软件知识产权。

操作时间	读操作	擦除和编程操作
	当 HCLK≤ 24MHz，0 时钟周期等待； 当 24MHz<HCLK≤ 48MHz，1 时钟周期等待 HCLK 频率每增加 24MHz，等待周期数加 1。	编程操作：约 42us(半字、字、2 字和 4 字编程的时间相同) 擦除操作： 扇区擦除：约 3.7ms 页擦除：约 7.45ms 全片擦除：约 9ms
操作电压	2.0V~3.6V	
操作电流	编程操作：约 6mA 擦除操作：约 2.2mA	
使用寿命	支持 1 千次擦除和编写	

3.2.2 Flash Option Word 设置

Flash Option Word 结构如下表：

地址	[31:24]	[23:16]	[15:8]	[7:0]
0x1fff_f800	nUSER	USER	nRDP	RDP
0x1fff_f804	nDATA1	DATA1	nDATA0	DATA0
0x1fff_f808	nWRP1	WRP1	nWRP0	WRP0
0x1fff_f80c	nWRP3	WRP3	nWRP2	WRP2
0x1fff_f810~0x1fff_f81f	Reserved			
0x1fff_f820	ENCRY_CFG[31:0]			
0x1fff_f824	DECRY_CFG[31:0]			
0x1fff_f828	UKEY[31:0]			
0x1fff_f82c	UKEY[63:32]			
0x1fff_f830	Reserved		IWDG_RL_IV[11:0]	
0x1fff_f834	IWDG_INI_KEY[31:0]			
0x1fff_f838	LSI_LP_CTL[31:0]			
0x1fff_f83c	DBG_CLK_CTL[31:0]			

HK32F103 增加了如下 Option Word。

- ENCRY_CFG[31:0]: 如果存储的值为 0x1357_eca8, 使能片内 Flash 数据加密。在使能加密后, 再往 Flash 编程时, Flash 上存储的是加密后的密文。
- DECRY_CFG[31:0]: 如果存储的值为 0x2468_db97, 使能片内 Flash 数据解密。在使能解密后, 会把从 Flash 读出的数据自动解密后再返给 CPU。
- UKEY[63:0]: 存储 Flash 加解密的密钥, 有用户自己配置。当 0x1fff_f828 和 0x1fff_f82C 的值不为全 ff 时, 如果软件读 0x1fff_f828 和 0x1fff_f82C 地址, 返回的值为 0xaaaa_aaaa。
- IWDG_RL_IV[11:0]: 存储 IWDG_RLR 寄存器的初始值, 当 IWDG 配置为 hardware watchdog 时, 可以配置 IWDG_RL_IV[11:0]来设计 IWDG 的复位时间间隔。
- IWDG_INI_KEY[31:0]: 决定 IWDG_RL_IV 是否生效, 当 IWDG_INI_KEY[31:0]为 0xa5a5_5b1e 时, IWDG_RL_IV 配置有效, 否则无效。
- LSI_LP_CTL[31:0]: 存储的值为 0x369c_f0f0 时, MCU 进入 STOP 或者 STANDBY mode 后, LSI 可以根据 LSION 的设置关掉 LSI; 在 MCU 唤醒后, LSI 恢复成进模式之前的状态。如果不配置 LSI_LP_CTL, 则如果在使能 IWDG 后再进入 STOP 或者 STANDBY mode, 系统会被 IWDG 周期唤醒。用户可以通过配置 LSI_LP_CTL 来决定在使能 IWDG 后再进入 STOP 或者 STANDBY mode 时, 是否需要被 IWDG 周期唤醒。
- DBG_CLK_CTL: 当存储的值为 0x1234_bcde 时 关闭 CPU 内部 Debug 时钟, 否则保持 Debug 时钟打开。

3.2.3 内置 RAM

内部集成多达 64KByte SRAM, CPU 能以零等待周期进行快速读写访问, 能够满足大多数应用的需求。支持字、半字和字节读写访问。

3.3 CRC 计算单元

内部集成了一个独立的 CRC 硬件计算单元, 为用户应用减轻负担, 提供加速处理的能力。

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器, 从一个 32 位的数据字产生一个 CRC 码。在众多的应用中, 基于 CRC 的技术被用于验证数据传输或存储的一致性。

3.4 FSMC

- 支持外部静态存储器, 支持类型包括: SRAM、NOR Flash memory、PSRAM
- 支持两个 NAND Flash 接口, 且支持最高 8K BYTE 数据的硬件 ECC 校验
- 支持一个 16 位 PC Card 接口;
- 支持 BURST 模式访问同步设备 (NOR Flash and PSRAM)
- 8 位或者 16 位宽的并行数据线;
- 每个外部存储器空间具有独立的片选控制和配置寄存器;
- 可编程的时序控制可以支持不同设备, 如下
 - 可选的等待时间长度 (最高 15 个周期)
 - 可选的访问切换时间 (最高 15 个周期)
 - 可选的读使能和写使能延迟时间 (最高 15 个周期)

- 读操作和写操作各自独立的协议和时序控制,最大限度的支持不同类型的存储器和时序要求
- 通过 32 位的 AHB 传输访问外部 16 位或 8 位存储器的连续 32 位空间;
- 一个数据长度的 buffer 用于对外部慢速存储器进行写操作时快速的释放系统总线。
- 外部存储器的异步等待控制逻辑
- 支持对 16 位外部存储器的写数据加密和读数据解密的功能;
- FSMC 也支持 Intel8080 模式和 Motorola6800 模式,可以灵活与各种 LCD 控制器连接。

3.5 协处理器

HK32F103xCxDxET6 内置了航顺自主研发的协处理器，可实现绝大部分 ARM® Cortex™-M4 内核支持的算术指令，包括 32 位单精度浮点运算；此外，协处理器支持多种自定义的 32 位及 64 位算术运算，提高芯片的运算能力，使芯片适合更多的运算场景。

定点运算：

- 64 位、32 位开方运算
- 64/32 位除法运算
- 饱和运算：
 - 乘累加饱和运算
 - 32 位饱和加减运算
 - SIMD 饱和加减运算
 - 数据饱和化
- SIMD 加减运算
- 加减取半运算
- 扩展加减运算
- 乘累加运算、SIMD 乘累加运算

浮点运算：

- 浮点加法运算
- 浮点减法运算
- 浮点乘法运算
- 浮点除法运算
- 浮点开方运算
- 浮点乘累加运算
- 浮点数定点数相互转换运算(包括 32 位定点数和浮点数相互转换、64 位定点数和浮点数相互转换)

3.6 NVIC

内置嵌套的向量式中断控制器，该模块以最小的中断延迟提供灵活的中断管理功能。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

Posit	Priority	Acronym	Interrupt vectors	Description	Address
-	-	-	-	Reserved	0x0000_0000
-	-3	fixed	Reset	Reset	0x0000_0004
-	-2	fixed	NMI	Non maskable interrupt. The RCC Clock Security System (CSS) is linked to the NMI vector.	0x0000_0008
-	-1	fixed	HardFault	All class of fault	0x0000_000c
-	0	settable	MemManage	Memory management	0x0000_0010
-	1	settable	BusFault	Pre-fetch fault, memory access fault	0x0000_0014
-	2	settable	UsageFault	Undefined instruction or illegal state	0x0000_0018
-	-	-	-	Reserved	0x0000_001C - 0x0000_002B
-	3	settable	SVCall	System service call via SWI instruction	0x0000_002c
-	4	settable	Debug Monitor	Debug Monitor	0x0000_0030

-	-	-	-		Reserved	0x0000_0034
-	5	settable	PendSV		Pendable request for system service	0x0000_0038
-	6	settable	SysTick		System tick timer	0x0000_003c
0	7		WWDG	WWDG_IRQHandler	Window watchdog interrupt	0x0000_0040
1	8		PVD	PVD_IRQHandler	PVD through EXTI Line detection interrupt	0x0000_0044
2	9		TAMPER	TAMPER_IRQHandler	Tamper interrupt	0x0000_0048
3	10		RTC	RTC_IRQHandler	RTC global interrupt	0x0000_004c
4	11		FLASH	FLASH_IRQHandler	Flash global interrupt	0x0000_0050
5	12		RCC	RCC_IRQHandler	RCC global interrupt	0x0000_0054
6	13		EXTI0	EXTI0_IRQHandler	EXTI Line0 interrupt	0x0000_0058
7	14		EXTI1	EXTI1_IRQHandler	EXTI Line1 interrupt	0x0000_005c
8	15		EXTI2	EXTI2_IRQHandler	EXTI Line2 interrupt	0x0000_0060
9	16		EXTI3	EXTI3_IRQHandler	EXTI Line3 interrupt	0x0000_0064
10	17		EXTI4	EXTI4_IRQHandler	EXTI Line4 interrupt	0x0000_0068
11	18		DMA1_Channel1	DMA1_Channel1_IRQHandler	DMA1 Channel1 global interrupt	0x0000_006c
12	19		DMA1_Channel2	DMA1_Channel2_IRQHandler	DMA1 Channel2 global interrupt	0x0000_0070
13	20		DMA1_Channel3	DMA1_Channel3_IRQHandler	DMA1 Channel3 global interrupt	0x0000_0074
14	21		DMA1_Channel4	DMA1_Channel4_IRQHandler	DMA1 Channel4 global interrupt	0x0000_0078
15	22		DMA1_Channel5	DMA1_Channel5_IRQHandler	DMA1 Channel5 global interrupt	0x0000_007c
16	23		DMA1_Channel6	DMA1_Channel6_IRQHandler	DMA1 Channel6 global interrupt	0x0000_0080
17	24		DMA1_Channel7	DMA1_Channel7_IRQHandler	DMA1 Channel7 global interrupt	0x0000_0084
18	25		ADC1_2	ADC1_2_IRQHandler	ADC1 and ADC2 global interrupt	0x0000_0088
19	26		USB_HP_CAN_TX	USB_HP_CAN1_TX_IRQHandler	USB high priority or CAN TX interrupts	0x0000_008c
20	27		USB_LP_CAN_RX0	USB_LP_CAN1_RX0_IRQHandler	USB low priority or CAN RX0 interrupts	0x0000_0090

21	28		CAN_RX1	CAN1_RX1_IRQHandler	CAN RX1 interrupt	0x0000_0094
22	29		CAN_SCE	CAN1_SCE_IRQHandler	CAN SCE interrupt	0x0000_0098
23	30		EXTI9_5	EXTI9_5_IRQHandler	EXTI Line[9:5] interrupts	0x0000_009c
24	31		TIM1_BRK_TIM9	TIM1_BRK_IRQHandler	TIM1 Break interrupt and TIM9 global interrupt	0x0000_00a0
25	32		TIM1_UP_TIM10	TIM1_UP_IRQHandler	TIM1 Update interrupt and TIM10 global interrupt	0x0000_00a4
26	33		TIM1_TRG_COM_TIM11	TIM1_TRG_COM_IRQHandler	TIM1 Trigger and Commutation interrupts and TIM11 global interrupt	0x0000_00a8
27	34		TIM1_CC	TIM1_CC_IRQHandler	TIM1 Capture Compare interrupt	0x0000_00ac
28	35		TIM2	TIM2_IRQHandler	TIM2 global interrupt	0x0000_00b0
29	36		TIM3	TIM3_IRQHandler	TIM3 global interrupt	0x0000_00b4
30	37		TIM4	TIM4_IRQHandler	TIM4 global interrupt	0x0000_00b8
31	38		I2C1_EV	I2C1_EV_IRQHandler	I2C1 event interrupt	0x0000_00bc
32	39		I2C1_ER	I2C1_ER_IRQHandler	I2C1 error interrupt	0x0000_00c0
33	40		I2C2_EV	I2C2_EV_IRQHandler	I2C2 event interrupt	0x0000_00c4
34	41		I2C2_ER	I2C2_ER_IRQHandler	I2C2 error interrupt	0x0000_00c8
35	42		SPI1	SPI1_IRQHandler	SPI1 global interrupt	0x0000_00cc
36	43		SPI2	SPI2_IRQHandler	SPI2 global interrupt	0x0000_00d0
37	44		USART1	USART1_IRQHandler	USART1 global interrupt	0x0000_00d4
38	45		USART2	USART2_IRQHandler	USART2 global interrupt	0x0000_00d8
39	46		USART3	USART3_IRQHandler	USART3 global interrupt	0x0000_00dc
40	47		EXTI15_10	EXTI15_10_IRQHandler	EXTI Line[15:10] interrupts	0x0000_00e0
41	48		RTCAlarm	RTCAlarm_IRQHandler	RTC alarm through EXTI line interrupt	0x0000_00e4
42	49		USBWakeUp	USBWakeUp_IRQHandler	USB wakeup from suspend through	0x0000_00e8

					EXTI line interrupt	
43	50		TIM8_BRK_TIM12	TIM8_BRK_IRQHandler	TIM8 Break interrupt and TIM12 global interrupt	0x0000_00ec
44	51		TIM8_UP_TIM13	TIM8_UP_IRQHandler	TIM8 Update interrupt and TIM13 global interrupt	0x0000_00f0
45	52		TIM8_TRG_COM_TIM14	TIM8_TRG_COM_IRQHandler	TIM8 Trigger and Commutation interrupts and TIM14 global interrupt	0x0000_00f4
46	53		TIM8_CC	TIM8_CC_IRQHandler	TIM8 Capture Compare interrupt	0x0000_00f8
47	54		ADC3	ADC3_IRQHandler	ADC3 global interrupt	0x0000_00fc
48	55		FSMC	FSMC_IRQHandler	FSMC global interrupt	0x0000_0100
49	56		SDIO	SDIO_IRQHandler	SDIO global interrupt	0x0000_0104
50	57		TIM5	TIM5_IRQHandler	TIM5 global interrupt	0x0000_0108
51	58		SPI3	SPI3_IRQHandler	SPI3 global interrupt	0x0000_010c
52	59		USART4	USART4_IRQHandler	USART4 global interrupt	0x0000_0110
53	60		USART5	USART5_IRQHandler	USART5 global interrupt	0x0000_0114
54	61		TIM6	TIM6_IRQHandler	TIM6 global interrupt	0x0000_0118
55	62		TIM7	TIM7_IRQHandler	TIM7 global interrupt	0x0000_011c
56	63		DMA2_Channel1	DMA2_Channel1_IRQHandler	DMA2 Channel1 global interrupt	0x0000_0120
57	64		DMA2_Channel2	DMA2_Channel2_IRQHandler	DMA2 Channel2 global interrupt	0x0000_0124
58	65		DMA2_Channel3	DMA2_Channel3_IRQHandler	DMA2 Channel3 global interrupt	0x0000_0128
59	66		DMA2_Channel4_5	DMA2_Channel4_5_IRQHandler	DMA2 Channel4 and DMA2 Channel5 global interrupts	0x0000_012c
62	69		COALU	COALU_IRQHandler	COALU interrupt	0x0000_0138

3.7 EXTI

外部中断/事件控制器包含 22 个边沿检测器，用于产生中断/事件请求，其中 0-15 连接 IO。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽。拥有一个挂起寄存器维持所有中断请求的状态。

- EXTI 16 连接 PVD 输出
- EXTI 17 连接 RTC 的 Alarm 事件
- EXTI 18 连接 USB 的 Wakeup 事件
- EXTI 20 None
- EXTI 21 None
- EXTI 22 None
- EXTI 23 None
- EXTI 24 连接 ADC1 的 AWD 事件
- EXTI 25 连接 ADC2 的 AWD 事件
- EXTI 26 连接 ADC3 的 AWD 事件

其中 24,25,26 作为内部事件没有 RTSR、FTSR、SWIER 和 PR 寄存器，只能在 STOPMODE 下采事件的上升沿产生 ERQ 和 IRQ 唤醒系统。

3.8 复位

HK32F103 支持三种复位：系统复位、上电复位、备份域复位。

3.8.1 系统复位

除了时钟控制器的 RCC_CSR 寄存器中的复位标志位和备份区域中的寄存器以外，系统复位将复位所有寄存器至它们的复位状态。当发生以下任一事件时，产生一个系统复位：

- NRST 引脚上的低电平(外部复位)
- 窗口看门狗计数终止(WWDG 复位)
- 独立看门狗计数终止(IWDG 复位)
- 软件复位(SW 复位)
- 低功耗管理复位

可通过查看 RCC_CSR 控制状态寄存器中的复位状态标志位识别复位事件来源。

软件复位	通过将 Cortex™-M3 中断应用和复位控制寄存器中的 SYSRESETREQ 位置‘1’，可实现软件复位。
低功耗管理复位	在进入待机模式时产生低功耗管理复位 通过将用户选择字节中的 nRST_STDBY 位置‘1’将使能该复位。这时，即使执行了进入待机模式的过程，系统将被复位而不是进入待机模式。
	在进入停止模式时产生低功耗管理复位 通过将用户选择字节中的 nRST_STOP 位置‘1’将使能该复位。这时，即使执行了进入停机模式的过程，系统将被复位而不是进入停机模式。

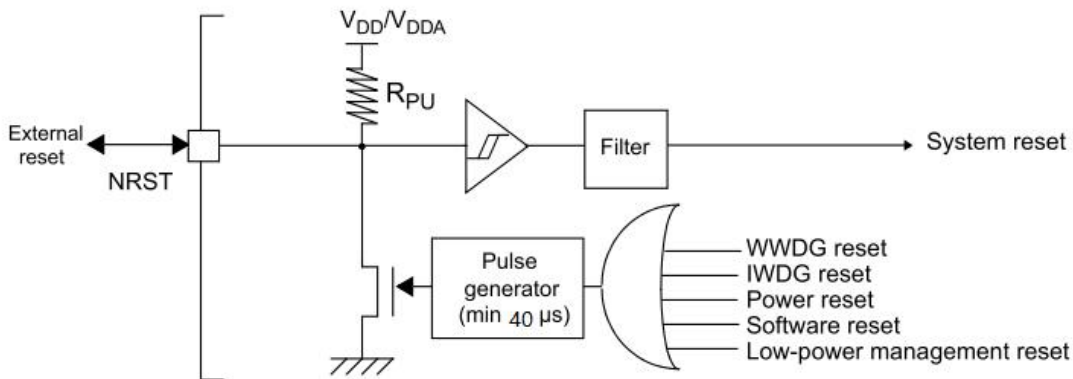
3.8.2 电源复位

当以下事件中之一发生时，产生电源复位：

- 上电/掉电复位(POR/PDR 复位)
- 从待机模式中返回

电源复位将复位除了备份区域外的所有寄存器。复位源将最终作用于 **RESET** 引脚，并在复位过程中保持低电平。复位入口矢量被固定在地址 **0x0000_0004**。

芯片内部的复位信号会在 **NRST** 引脚上输出，脉冲发生器保证每一个(外部或内部)复位源都能有至少 **40 μs** 的脉冲延时；当 **NRST** 引脚被拉低产生外部复位时，它将产生复位脉冲。



3.8.3 备份域复位

备份区域拥有两个专门的复位，它们只影响备份区域。当以下事件中之一发生时，产生备份区域复位。

- 软件复位，备份区域复位可由设置备份域控制寄存器 (**RCC_BDCR**)中的 **BDRST** 位产生。
- 在 **VDD** 和 **VBAT** 两者掉电的前提下，**VDD** 或 **VBAT** 上电将引发备份区域复位。

3.9 时钟

系统时钟的选择是在启动时进行，复位时内部 **8MHz** 的 **RC** 振荡器被选为默认的 **CPU** 时钟，随后可以选择外部的 **4~32MHz** 时钟。当外部时钟失效时，它将被隔离，同时产生相应的中断。同样，可以使用 **PLL** 倍频产生需要的时钟。

HK32F103 也增加提供了 **LSI**、**LSE**、**GPIO** 输入作为时钟源，它为产品应用在低功耗、低成本设计上提供的方案。

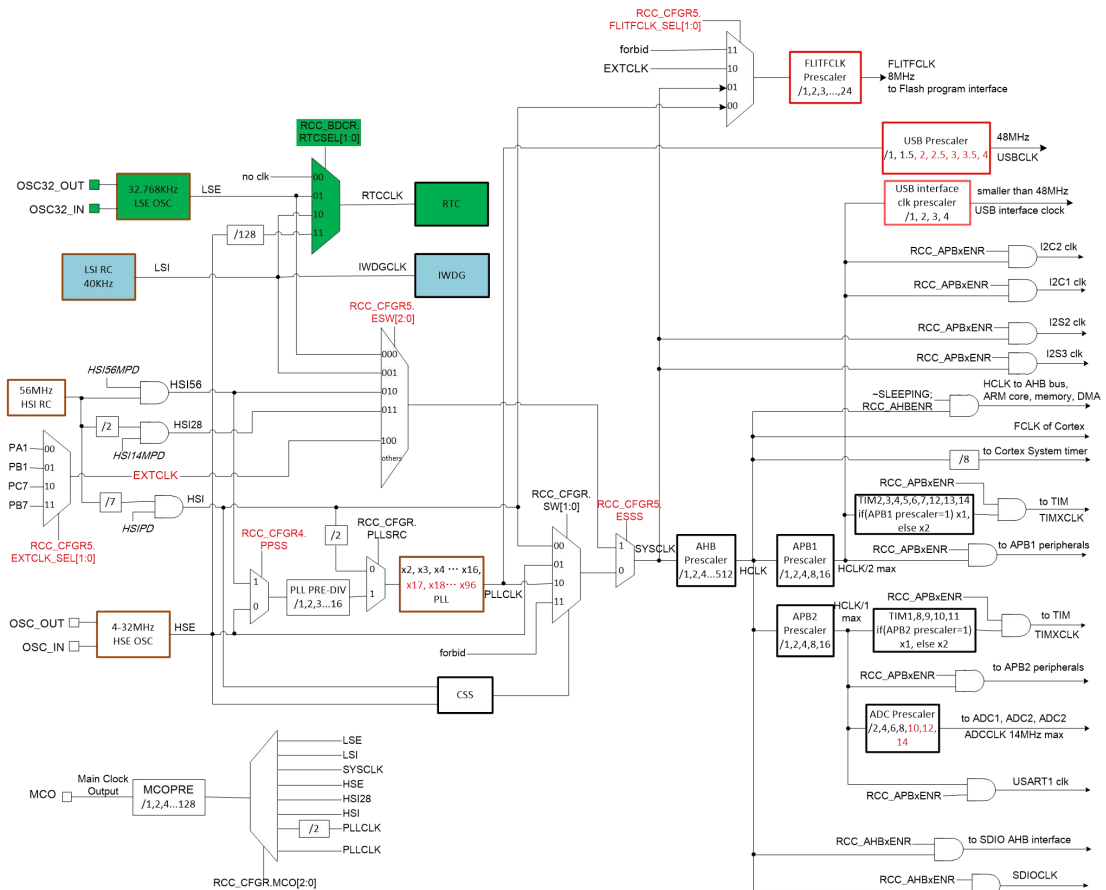
HK32F103 集成了 **CSS**(Clock smooth switch)电路，检测的 **HSE** 频率阈值可调。

3.9.1 时钟源

HSI 振荡器	输出频率 56MHz ，可以分频为 28MHz ， 8MHz 精度：全温范围 $\pm 2\%$
HSE 振荡器	支持 4~32MHz 晶体 支持通过 OSC_IN 外部时钟输入，最高 64MHz

PLL 时钟	输入时钟频率：2~56MHz 输出时钟频率：30~120MHz
LSI 时钟	30~60KHz, typical 40KHz
LSE 时钟	支持 32.768KHz 晶体 支持通过 OSC32_IN 外部时钟输入 32.768KHz
GPIO 输入时钟	PA1、PB1、PC7、PB7 最高支持输入 64MHz

3.9.2 时钟树



Notes:

- PLL 输入时钟：HSI8M/2、HSI56M/PREDIV 和 HSE/PREDIV 可选
- SYSCLK：HSI8M、HSI28M、HSI56M、HSE、PLL、LSI、LSE 和 GPIO 输入时钟可选，默认为 HSI8M 时钟
- FLITFCLK：HSI8M、GPIO 输入时钟和 SYSCLK 可选

3.10 Boot 模式

在启动时，自举管脚被用于选择三种自举模式中的一种

- 从用户闪存自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序存放于系统存储器中，可以通过 USART1 对闪存重新编程。

3.11 供电方案

- VDD = 2.0~3.6V: VDD 管脚为 I/O 管脚和内部 LDO 供电
- VDDA = 2.0~3.6V: 为 ADC、温度传感器模拟部分提供供电
- VBAT = 1.8~3.6V: 当关闭 VDD 时, 内部电源切换电路将通过 VBAT 为 RTC、外部 32kHz 振荡器和后备寄存器供电

3.12 电源监控器

HK32F103 内部集成了上电复位(POR)/掉电复位(PDR)电路, 该电路始终处于工作状态, 保证系统在供电超过 2V 时工作。当 VDD 低于 POR/PDR 阈值时, 置器件于复位状态, 而不必使用外部复位电路。

HK32F103 还集成了一个可编程电压监测器(PVD), 它监视 VDD 供电并与阈值 VPVD 比较, 当 VDD 低于或高于阈值 VPVD 时将产生中断, 中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序使能开启。

3.13 低功耗模式

HK32F103 系列芯片支持多种功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- Sleep 睡眠模式

在睡眠模式, 只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- Stop 停机模式

在保持 SRAM 和寄存器内容不丢失的情况下, 停机模式可以达到最低的电能消耗。在停机模式下, 所有内部时钟被关闭, PLL、HSI 和 HSE 的 RC 振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒, EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。

- Standby 待机模式

在待机模式下可以达到最低的电能消耗。内部 LDO 被关闭, 因此所有内部 1.5V 部分的供电被切断; PLL、HSI 和 HSE 的 RC 振荡器也被关闭; 进入待机模式后, SRAM 和寄存器的内容将消失, 但后备寄存器的内容仍然保留, 待机电路仍工作。从待机模式退出的条件是: NRST 上的外部复位信号、IWDG 复位、WKUP 管脚上的一个上升边沿或 RTC 的闹钟到时。

工作模式	功耗指标	唤醒时间
RUN mode	动态功耗低至 160uA/MHz @3.3v	
SLEEP 睡眠模式	动态功耗 100uA/MHz @3.3v	唤醒时间 1 个机器时钟
STOP 停机模式	静态功耗 30uA @3.3v	最快 10uS 唤醒
STANDBY 待机模式	静态功耗 2uA @3.3v	150uS 唤醒时间

--	--	--

低功耗模式进入和唤醒方法:

工作模式	进入	唤醒
SLEEP	设置: PWR_CR:LPDS = 0 PWR_CR:PDDS = 0 软件执行 WFI/WFE 指令进入	<ul style="list-style-type: none"> ● 由任何一个普通 IRQ 中断事件唤醒, 包括 SystemTicker
STOP	设置: PWR_CR:LPDS = 0 或 1 PWR_CR:PDDS = 0 设置 CM3 系统控制寄存器的 SLEEPDEEP 位 软件执行 WFI/WFE 指令进入	<ul style="list-style-type: none"> ● 支持任何一个 EXTI 外部中断线唤醒 ● 支持定时 ADC 采样预唤醒. 当满足条件后真正唤醒. ● 支持 DAC 输出保持
STANDBY	设置: PWR_CR:LPDS = 0 PWR_CR:PDDS = 1 设置 CM3 系统控制寄存器的 SLEEPDEEP 位 软件执行 WFI/WFE 指令进入	<ul style="list-style-type: none"> ● 支持 3 个可配置极性的外部唤醒引脚以及 RTC ALARM 唤醒 ● 支持 DAC 输出保持
		<ul style="list-style-type: none"> ●

3.14 DMA

灵活的 12 路通用 DMA(DMA1 上有 7 个通道, DMA2 上有 5 个通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输。2 个 DMA 控制器支持环形缓冲区的管理, 避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑, 同时可以由软件触发每个通道; 传输的长度、传输的源地址和目标地址都可以通过软件单独设置。DMA 可以用于主要的外设: SPI、I2C、USART、定时器 TIMx、SDIO 和 ADC 等。

3.15 RTC 和 BKP

RTC 和后备寄存器通过一个开关供电, 在 VDD 有效时该开关选择 VDD 供电, 否则由 VBAT 管脚供电。

3.15.1 RTC

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。

RTC 的驱动时钟可以是一个使用外部晶体的 32.768kHz 的振荡器、内部低功耗 RC 振荡器。内部低功耗 RC 振荡器的典型频率为 40kHz。为补偿天然晶体的偏差，可以通过输出一个 512Hz 的信号对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768kHz 时它将产生一个 1 秒长的时间基准。

[HK3239A 增加一个 Wakeup Timer 用于周期性唤醒。](#)

3.15.2 BKP

后备寄存器(Backup Register)可以用于保存用户应用数据。该寄存器不会被系统或电源复位源复位。当从待机模式唤醒时，也不会被复位。HK32F103 增加 BKP_DR0 备份域寄存器，包含 BKP_DR0~10 共计 11 个备份域寄存器。

HK32F103 不仅有备份寄存器，也增加了一个备份域存储器(Retention Memory)，大小为 512Bytes。

3.16 独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40kHz 的 RC 振荡器提供时钟，因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选择字节可以配置成是软件或硬件启动看门狗。在调试模式，计数器可以被冻结。

[设计 IWDG_WINR 寄存器，支持看门狗 window 窗口模式。IWDG 计数器复位初始值可由 FLASH option byte 设置](#)

3.17 窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能。在调试模式，计数器可以被冻结。

3.18 System Tick 定时器

这个定时器是专用于操作系统，也可当成一个标准的递减计数器。它具有下述特性。

- 24 位的递减计数器
- 重加载功能
- 当计数器为 0 时能产生一个可屏蔽中断
- 可编程时钟源

3.19 基本定时器

基本定时器是 TIM6 和 TIM7，主要用于产生 DAC 触发信号，也可以作为通用的 16 位软件时基定时器。

3.20 通用定时器

每个通用定时器(TIM2/TIM3/TIM4/TIM5)都有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道。每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出，在最大的封装配置中可提供最多 16 个输入捕获、输出比较或 PWM 通道。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。

通用定时器也拥有 DAC 触发功能。

任一标准定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

HK32F103 的 TIM2/TIM3/TIM4 也新增加了如下功能：

- CCER 寄存器新增 CCER[15]: CC4NP (输入双沿触发用)
- CCER 寄存器新增 CCER[11]: CC3NP (输入双沿触发用)
- CCER 寄存器新增 CCER[7]: CC2NP (输入双沿触发用)
- CCER 寄存器新增 CCER[3]: CC1NP (输入双沿触发用)
- 四路输入通道都新增下降沿触发，和双沿触发功能

3.21 高级定时器

高级控制定时器(TIM1 和 TIM8)可以被看成是分配到 6 个通道的三相 PWM 发生器，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出
- 互补 PWM 输出，具程序可控的死区插入功能

配置为 16 位标准定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。在调试模式下，计数器可以被冻结。很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

高级定时器也拥有 DAC 触发功能。

HK32F103 的 TIM1 和 TIM8 也新增加了如下功能：

- CCER 寄存器新增 CCER[15]: CC4NP (输入双沿触发用)
- CR1 寄存器新增 CR1[15]: ETR_CLR_SEL (选择用外部引脚或是 VC4 比较器输出来清除 PWM 输出)
- CR1 寄存器新增 CR1[14]: BRK_SEL (选择用外部引脚或是 VC1、2、3 比较器输出来实现 PWM 刹车)
- 四路输入通道都新增下降沿触发，和双沿触发功能

3.22 IIC 总线

多达 2 个 I2C 总线接口，能够工作于多主和从模式，支持标准和快速模式。I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。它们可以使用 DMA 操作，并支持 SMBus V2.0/PMBus 总线。

3.23 USART

内置了 5 个通用同步/异步收发器(USART1/USART2/USART3/ USART4/USART5)。这 5 个接口提供异步通信、支持红外线传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

USART1 接口通信速率可达 4.5MBit/s，USART2/3/4/5 接口通信速率可达 2.25MBit/s。所有 USART 都具有硬件的 CTS 和 RTS 信号管理、与兼容 ISO7816 的智能卡模式和类 SPI 通信模式。

3.24 SPI

多达 3 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 18MBit/s。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生/校验支持基本的 SD 卡和 MMC 模式。

所有的 SPI 接口都可以使用 DMA 操作。

3 个 SPI 接口也可以工作在 I2S 模式下。3 个标准的 I2S 接口可以工作于主或从模式，这 3 个接口可以配置为 16 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8kHz 到 48kHz。当任一个 I2S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC(解码器)。

3.25 SDIO

SD/SDIO/MMC 主机接口可以支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式：1 位(默认)、4 位和 8 位。在 8 位模式下，该接口可以使数据传输速率达到 48MHz，该接口与兼容 SD 存储卡规范 2.0 版。

SDIO 存储卡规范 2.0 版支持两种数据总线模式：1 位(默认)和 4 位。

目前的芯片版本只能一次支持一个 SD/SDIO/MMC 4.2 版的卡，但可以同时支持多个 MMC 4.1 版或之前的卡。除了 SD/SDIO/MMC，这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。

3.26 CAN

HK32F103 拥有 1 个独立的 CAN 接口。CAN 接口兼容规范 2.0A 和 2.0B (主动)，位速率高达 1MBit/s。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。

3.27 USB

内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备标准，端点可由软件配置，具有待机/恢复功能。USB 专用的 48MHz 时钟由内部主 PLL 直接产生。

3.28 GPIO

每个 GPIO 管脚都可以由软件配置成输出(推拉或开路)、输入(带或不带上拉或下拉)或其它的外设功能端口。多数 GPIO 管脚都与数字或模拟的外设共用。所有的 GPIO 管脚都有大电流通过能力。在需要的情况下，I/O 管脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

3.29 ADC

内嵌 3 个 12 位的模拟/数字转换器(ADC)，每个 ADC 共用多达 16 个外部通道，可以实现单次或扫描转换。在扫描模式下，在选定的一组模拟输入上的转换自动进行。

ADC 接口上额外的逻辑功能包括：

- 同时采样和保持
- 交叉采样和保持
- 单次采样

ADC 可以使用 DMA 操作。模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。由标准定时器(TIMx)和高级控制定时器(TIM1)产生的事件，可以分别内部级联到 ADC 的开始触发和注入触发，应用程序能使 AD 转换与时钟同步。

HK32F103 增加了 STOP 模式下的 AWD 唤醒功能：

系统在 STOP 模式下可以通过 RTC 计时发出信号到 ADC，ADC 采到该信号去唤醒 ADC 时钟，时钟准备好后触发 ADC 转换，根据 ADC 转换结果大小产生 AWD 事件，AWD 事件输出到 EXTI 就可以唤醒系统。

3.30 DAC

HK32F103 集成了两个 12 位带缓冲的 DAC 通道。它们可以用于转换 2 路数字信号成为 2 路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。

这个双数字接口支持下述功能：

- 两个 DAC 转换器：各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 通道独立或同步转换
- 每个通道都可使用 DMA 功能
- 外部触发进行转换

- 输入参考电压 VREF+

HK32F103 产品中有 8 个触发 DAC 转换的输入。DAC 通道可以由定时器的更新输出触发，更新输出也可连接到不同的 DMA 通道。

3.31 温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC1_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

3.32 96Bit-UID

96 位的产品唯一身份标识所提供的参考号码对任意一颗芯片，在任何情况下都是唯一的。用户在何种情况下，都不能修改这个身份标识。这个 96 位的产品唯一身份标识，按照用户不同的用法，可以以字节(8 位)为单位读取，也可以以半字(16 位)或者全字(32 位)读取。产品唯一的身份标识非常适合：

- 用来作为序列号(例如 USB 字符序列号或者其他的终端应用)
- 用来作为密码，在编写闪存时，将此唯一标识与软件加解密算法结合使用，提高代码在闪存存储器内的安全性。
- 用来激活带安全机制的自举过程

3.33 调试及跟踪接口

内嵌 ARM 的 SWJ-DP 接口，这是一个结合了 JTAG 和串行单线调试的接口，可以实现串行单线调试接口或 JTAG 接口的连接。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共用管脚，TMS 脚上的一个特殊的信号序列用于在 JTAG-DP 和 SW-DP 间切换。

使用 ARM®的嵌入式跟踪微单元(ETM)，HK32F103 通过很少的 ETM 管脚连接到外部跟踪端口分析(TPA)设备，从 CPU 核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA 设备可以通过 USB 或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA 硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

4 电气性能指标

4.1 最大绝对额定值

最大额定值只是短时间的压力值。并且芯片在该值或者其他任何超出该推荐值的条件下工作是不可取的。超出下列最大额定值可能会给芯片造成永久性的损坏。长时间工作在最大额定值下可能影响芯片的可靠性。

4.1.1 极限电压特性

Table 4-1 极限电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压 (包含 V_{DDA} 和 V_{DD})	-0.5	4.0	V
V_{IN}	引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+4.0$	
$ \Delta V_{DDX} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSX}-V_{SS} $	不同接地引脚之间的电压差	-	50	

4.1.2 极限电流特性

Table 4-2 极限电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流 (供应电流) ¹	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (流出电流) ¹	150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出拉电流	-25	
$I_{INJ(PIN)}^2$	引脚上的注入电流 ³	± 5	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流 ⁴	± 25	

Note1: 所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。

Note2: 反向注入电流会干扰器件的模拟性能。

Note3: 当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流, 注入电流绝对不可以超过规定范围。

Note4: 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

4.1.3 极限温度特性

Table 4-3 极限温度特性

符号	描述	参数值	单位
T_{STG}	储存温度范围	-45 to +150	°C
T_J	最大结温度	125	

4.2 工作参数

4.2.1 推荐工作条件

Table 4-4 推荐工作条件

符号	描述	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	0	120	MHz
f _{PCLK1}	内部 APB1 时钟频率	0	60	
f _{PCLK2}	内部 APB2 时钟频率	0	120	
V _{DD}	标准工作电压	2	3.6	V
V _{DDA} ¹	模拟工作电压	2	3.6	V
V _{BAT}	备份部分工作电压	1.8	3.6	V
T	工作温度	-40	105	°C

Note1: 建议使用相同的电源为 VDD 和 VDDA 供电, 在上电和正常操作期间, VDD 和 VDDA 之间最多允许有 300mV 的差别。

4.2.2 复位和低压检测

Table 4-5 上电复位特性

符号	参数	条件	最小值	典型值	最大值	单位
T _{delay}	rstn 建立时间	-	-	40		us
V _{Threshold}	复位门限	-	-	1.75		V

Table 4-6 PVD 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程电压检测器的 检测电平选择 (上升沿)	PLS[2:0]=000	2.183	2.188	2.196	V
		PLS[2:0]=001	2.286	2.289	2.298	
		PLS[2:0]=010	2.393	2.399	2.407	
		PLS[2:0]=011	2.502	2.508	2.518	
		PLS[2:0]=100	2.621	2.629	2.639	
		PLS[2:0]=101	2.726	2.733	2.745	
		PLS[2:0]=110	2.839	2.846	2.855	
	PLS[2:0]=111	2.958	2.969	2.979		
	可编程电压检测器的 检测电平选择 (下降沿)	PLS[2:0]=000	2.116	2.119	2.125	
		PLS[2:0]=001	2.208	2.211	2.220	
		PLS[2:0]=010	2.305	2.310	2.320	
		PLS[2:0]=011	2.399	2.406	2.416	
		PLS[2:0]=100	2.506	2.512	2.521	
		PLS[2:0]=101	2.596	2.602	2.613	
PLS[2:0]=110		2.693	2.701	2.710		
PLS[2:0]=111	2.798	2.805	2.817			

4.2.3 内部参考电压

Table 4-7 参考电压特性

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT	内部参考电压	-40~105°C	TBD	TBD	TBD	V

4.2.4 工作电流特性

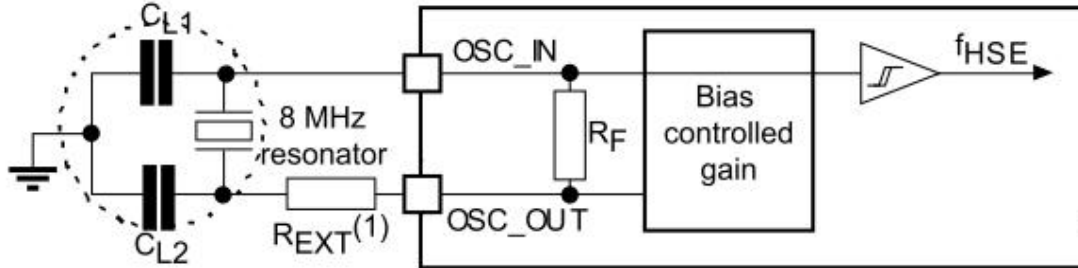
Table 4-8 工作电流特性

模式	条件	VDD=3.3V			Unit
		-40°C	25°C	105°C	
Run mode	HCLK=120MHz, FLASH 读取 3 个等待周 期, APB 时钟 enable				mA
	HCLK=120MHz, FLASH 读取 3 个等待周 期, APB 时钟 disable				mA
	HCLK=HSE 8MHz, FLASH 读取 0 等待周 期, APB 时钟 enable				mA
	HCLK=HSE 8MHz, FLASH 读取 0 等待周 期, APB 时钟 disable				mA
	HCLK=LSI 40KHz				uA
	HCLK=LSE 32.768KHz				uA
Sleep mode	HCLK= 120MHz APB 时钟 disable				mA
	HCLK=HSI 8MHz APB 时钟 disable				mA
Stop mode	LDO 全速工作状态 HSE/HSI/LSE 关闭				uA
	LDO 低功耗状态 HSE/HSI/LSE 关闭				uA
Standby mode	LSI and IWDG off				uA
VBAT mode	RTC 以 LSE 时钟工作				uA
	LSE 和 RTC 都停止工作				uA

4.2.5 HSE 时钟特性

HK32F103 集成了一个 HSE 负反馈晶体振荡电路，芯片外的起振推荐电路如下图：

TBD



HK32F103 也支持通过 OSC_IN 直接输入一个时钟信号，时钟信号要求如下。

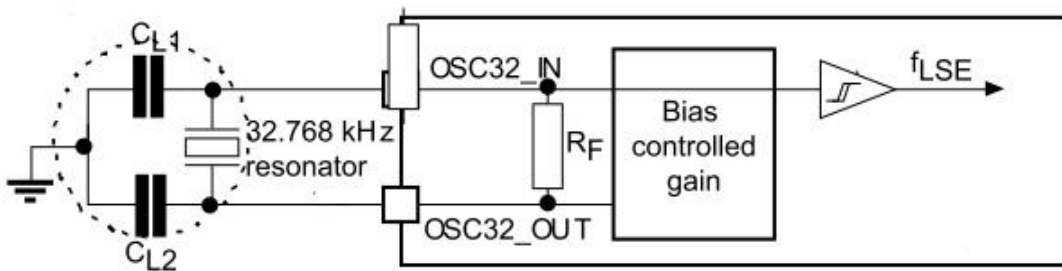
Table 4-9 外部高速时钟输入特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	时钟频率	-	1	8	25	MHz
V_{HSEH}	输入引脚高电平	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	输入引脚低电平		V_{SS}	-	$0.3V_{DD}$	
$T_{W(HSE)}$	有效高/低电平时间	-	5	-	-	ns
$T_{r(HSE)}$	上升/下降时间	-	-	-	20	
$T_{f(HSE)}$		-	-	-	-	
$C_{in(HSE)}$	输入容抗	-	-	5	-	pF
$DuCy_{(HSE)}$	占空比	-	45	-	55	%

4.2.6 LSE 时钟特性

HK32F103 集成了一个 LSE 负反馈晶体振荡电路，芯片外的起振推荐电路如下图：

TBD



HK32F103 也支持通过 OSC32_IN 直接输入一个时钟信号，时钟信号要求如下。

Table 4-10 外部低速时钟输入特性

Symbol	Parameter	Condition s	Min	Typ	Max	Unit
F_{LSE_ext}	时钟频率	-	-	32.768	1000	kHz
V_{LSEH}	输入引脚高电平	-	$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	输入引脚低电平		V_{SS}	-	$0.3V_{DD}$	
$T_{W(LSE)}$	有效高/低电平时间	-	450	-	-	Ns

Tr(LSE)	上升/下降时间		-	-	50	
Tf(LSE)						
Cin(LSE)	输入容抗	-	-	5	-	pF
DuCy(LSE)	占空比	-	30	-	70	%

4.2.7 HSI 时钟特性

Table 4-11 内部快速时钟特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit	
f _{HSI}	时钟频率	-	-	8	-	MHz	
DuCy(HSI)	占空比	-	45	-	55	%	
ACC _{HSI}	振荡器精度	RCC_CR 寄存器校准后	-	-	1	%	
		工厂校准	T _A = -40 to 105 °C	-2	-	2.5	%
			T _A = -40 to 85 °C	-1.5	-	2.2	%
			T _A = 0 to 70 °C	-1.3	-	2	%
		T _A = 25 °C	-1.1	-	1.8	%	
T _{su} (HSI)	振荡器启动时间	V _{SS} ≤ V _{IN} ≤ V _{DD}	1	-	2	us	
I _{DD} (HSI)	振荡器功耗		-	80	100	uA	

4.2.8 LSI 时钟特性

Table 4-12 内部慢速时钟特性

Symbol	Parameter	Min	Typ	Max	Unit
f _{LSI}	时钟频率	30	40	60	kHz
t _{su} (LSI)	振荡器启动时间	-	-	85	us
I _{DD} (LSI)	振荡器功耗		0.65	1.2	uA

4.2.9 PLL 特性

Table 4-13 PLL 特性

Symbol	Parameter	Value			Unit
		Min	Typ	Max	
f _{PLL_IN}	输入时钟频率	1	8.0	25	MHz
	输入时钟占空比	40	-	60	%
f _{PLL_OUT}	输出时钟频率	16	-	120	MHz
t _{LOCK}	锁相时间	-	-	200	us
Jitter	循环抖动	-	-	300	ps

4.2.10 GPIO 输入时钟

HK32F103 支持从 PA1、PB1、PC7、PB7 输入时钟，要求如下：

Table 4-14 GPIO 输入时钟特性

Symbol	Parameter	Value			Unit
		Min	Typ	Max	
Fext	输入时钟频率	1	8.0	64	MHz
	输入时钟占空比	40	-	60	%

Jitter	循环抖动	-	-	300	ps
--------	------	---	---	-----	----

4.2.11 Flash 存储器特性

Table 4-15 Flash 存储器特性

Symbol	Parameter	Min	Typ	Max	Unit
T _{PROG}	单字节写入时间	6	-	7.5	μs
T _{ERASE}	页擦除时间	4	-	5	ms
	整片擦除时间	30	-	40	ms
IDD _{PROG}	单字节写入电流	-	-	5	mA
IDD _{ERASE}	页/片擦除电流	-	-	2	mA
IDD _{READ}	读电流@24MHz	-	2	3	mA
	读电流@1MHz	-	0.25	0.4	mA
N _{END}	擦写寿命	1			千次
t _{RET}	数据保存时间	20			年

4.2.12 IO 输入引脚特性

Table 4-16 IO 引脚直流特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{IH}	输入高电平	VDD=3.3V	TBD			V
V _{IL}	输入低电平		-0.3		TBD	V
V _{hys}	施密特触发器电压迟滞		450mV@3.3V	-	-	mV
I _{lk}	输入漏电流	V _{IN} =3.3V	-	-	3	uA
R _{PU}	weak pull-up equivalent resistor	V _{IN} =V _{SS}	30	40	50	KΩ
R _{PD}	weak pull-down equivalent resistor	V _{IN} =V _{DD}	30	40	50	KΩ
C _{IO}	I/O pin capacitance		-	5	-	pF

4.2.13 IO 输出引脚特性

Table 4-17 IO 引脚输出直流特性

Speed Mode	Symbol	Parameter	Conditions	Min	Max	Unit
10	VOL	Output low level	C _L =50pF, V _{DD} =2V to 3.6V R _{Load} =5Kohm	-	2	MHz
	VOH	Output high level		-	125	ns
01	VOL	Output low level	C _L =50pF, V _{DD} =2V to 3.6V	-	2	MHz

Speed Mode	Symbol	Parameter	Conditions	Min	Max	Unit
10	VOL	Output low level	$C_L=50pF, V_{DD}=2V \text{ to } 3.6V$ $R_{Load}=5Kohm$	-	2	MHz
	VOH	Output high level		-	125	ns
	VOH	Output high level	$R_{Load}=5Kohm$	-	125	ns
11	VOL	Output low level	$C_L=50pF, V_{DD}=2V \text{ to } 3.6V$ $R_{Load}=5Kohm$	-	2	MHz
	VOH	Output high level		-	125	ns

Table 4-18 IO 引脚输出交流特性

Mode	Symbol	Parameter	Conditions	Min	Max	Unit
10	$f_{max(IO)out}$	Maximum frequency	$C_L=50pF, V_{DD}=2V \text{ to } 3.6V$	-	2	MHz
	$t_{f(IO)out}$	output high to low level fall time		-	125	ns
	$t_{r(IO)out}$	output low to high level rise time		-	125	
01	$f_{max(IO)out}$	Maximum frequency	$C_L=50pF, V_{DD}=2V \text{ to } 3.6V$	-	10	MHz
	$t_{f(IO)out}$	output high to low level fall time		-	25	ns
	$t_{r(IO)out}$	output low to high level rise time		-	25	
11	$f_{max(IO)out}$	Maximum frequency	$C_L=50pF, V_{DD}=2.7V \text{ to } 3.6V$	-	50	MHz
	$t_{f(IO)out}$	output high to low level fall time	$C_L=50pF, V_{DD}=2.7V \text{ to } 3.6V$	-	5	ns
	$t_{r(IO)out}$	output high to low level rise time	$C_L=50pF, V_{DD}=2.7V \text{ to } 3.6V$	-	5	ns

4.2.14 NRST 复位管脚特性

NRST 管脚内部集成了一个上拉电阻，外围应用电路可以不接任何电路，也可以外接 RC 电路。

Table 4-19 NRST 引脚输入特性

Symbol	Parameter	Min	Max	Unit
VIL	NRST 复位低电平		0.8	v
VIH	NRST 释放	2		v
V _{hys}	Schmitt trigger 电压		200	mV
R _{pull}	内部弱上拉		50	K
T _{Noise}	低电平被忽略		100	ns

4.2.15 TIM 计数器特性

Table 4-20 TIM 引脚输入特性

Symbol	Conditions	Min	Max	Unit
--------	------------	-----	-----	------

Tres(TIM)	Timer resolution time	1	-	$T_{TIMxCLK}$
FEXT	Timer external clock frequency on CH1 to CH4	0	$F_{TIMxCLK}/2$	MHz
RESTIM	Timer resolution	-	16	bit
Tcounter	16-bit counter clock period when internal clock is selected	1	65536	$T_{TIMxCLK}$
TMAX_COUNT	Maximum possible count	-	65536x65536	$T_{TIMxCLK}$

Notes: $f_{TIMxCLK} = 120$ MHz

4.2.16 ADC 特性

Table 4-21 ADC 特性

Parameter	Conditions	Min	Typ	Max	Unit
Full scale range	SDIF=0	vrefn	-	vrefp	V
	SDIF=1	$2*(vrefp-vrefn)$			V
Input signal common mode		$(vrefp-vrefn)/2$			V
Input sample capacitance	-	-	5	-	pF
Input switch equivalent impedance(R_s)	-	-	-	1000	Ohm
Positive reference voltage(vrefp)	-	AVDD	AVDD	AVDD	V
Negative reference voltage(vrefn)	-	0	0	0.1	V
Analog Supply voltage	-	2.0	3.3	5.5	V
Digital Supply voltage	-	1.35	1.5	1.65	V
Current Consumption AVDD	SDIF=1,@ 1Msps	-	110	-	uA
Current Consumption VDD		-	40	-	uA
Current Consumption vrefp		-	35	-	uA
Clock period(t_{clkp})		3333	71.4	23.8	Ns
The high level time of clock(t_{clkh})	-	40%	50%	60%	T_{clkp}
The time delay from rising edge of clock to rising edge of EOC(t_{eocr})	-	0.8	-	3	ns
The time delay from rising edge of clock to falling edge of EOC (t_{eocf})	-	0.8	-	3	ns
The time delay from rising edge of EOC to the data is valid at data bus B(t_{data})	-	1.2	-	4	ns
The setup time of SOC(t_{socs})	-	-	0.7	-	ns
The hold time of SOC(t_{soch})	-	-	0.7	-	ns
The time of Sampling and converting (t_{sp+con})	-	-	14	-	t_{clkp}
The time of sample(t_s)	-	-	1.5	-	t_{clkp}
THD	-	-	-72	-	db
SNDR	-	-	68	-	db
DNL	-	-1	-	+1	LSB

INL	-	-1.5	-	+1.5	LSB
Offset error	-	-16	-	16	LSB

4.2.17 DAC 特性

Table 4-22 DAC 特性

Symbol	Parameter	Min	Typ	Max	Unit
		HK			
VDDA	Analog supply voltage				V
VREF+	Reference supply voltage				V
VSSA	Ground				V
R _{LOAD}	Resistive load with buffer ON				kΩ
R _O	Impedance output with buffer OFF				kΩ
C _{LOAD}	Capacitive load				pF
DAC_OUT min	Lower DAC_OUT voltage with buffer ON				V
DAC_OUT max	Higher DAC_OUT voltage with buffer ON				V
DAC_OUT min	Lower DAC_OUT voltage with buffer OFF				mV
DAC_OUT max	Higher DAC_OUT voltage with buffer OFF				V
I _{DDVREF+}	DAC DC current consumption in quiescent mode (Standby mode)				μA
I _{DDA}	DAC DC current consumption in quiescent mode				μA
					μA
DNL	Differential non linearity (Difference between two consecutive code-1LSB)				LSB
					LSB
INL	Integral non linearity (difference between measured value at Code i and the value at Code i on a line drawn between Code 0 and last Code 1023)				LSB
					LSB
Offset	Offset error (difference between measured value at				mV

	Code (0x800) and the ideal value = VREF+/2)				LSB
Gain error	Gain error				%
tSETTLING	Settling time (full scale: for a 10-bit input code transition between the lowest and the highest input codes when DAC_OUT reaches final value ± 1 LSB)				μ s
Update rate(3)	Max frequency for a correct DAC_OUT change when small variation in the input code (from code i to i+1LSB)				MS/s
tWAKEUP	Wakeup time from off state(Setting the ENx bit in the DAC Control register)				μ s
PSRR+	Power supply rejection ratio (to VDDA) (static DC measurement)				dB

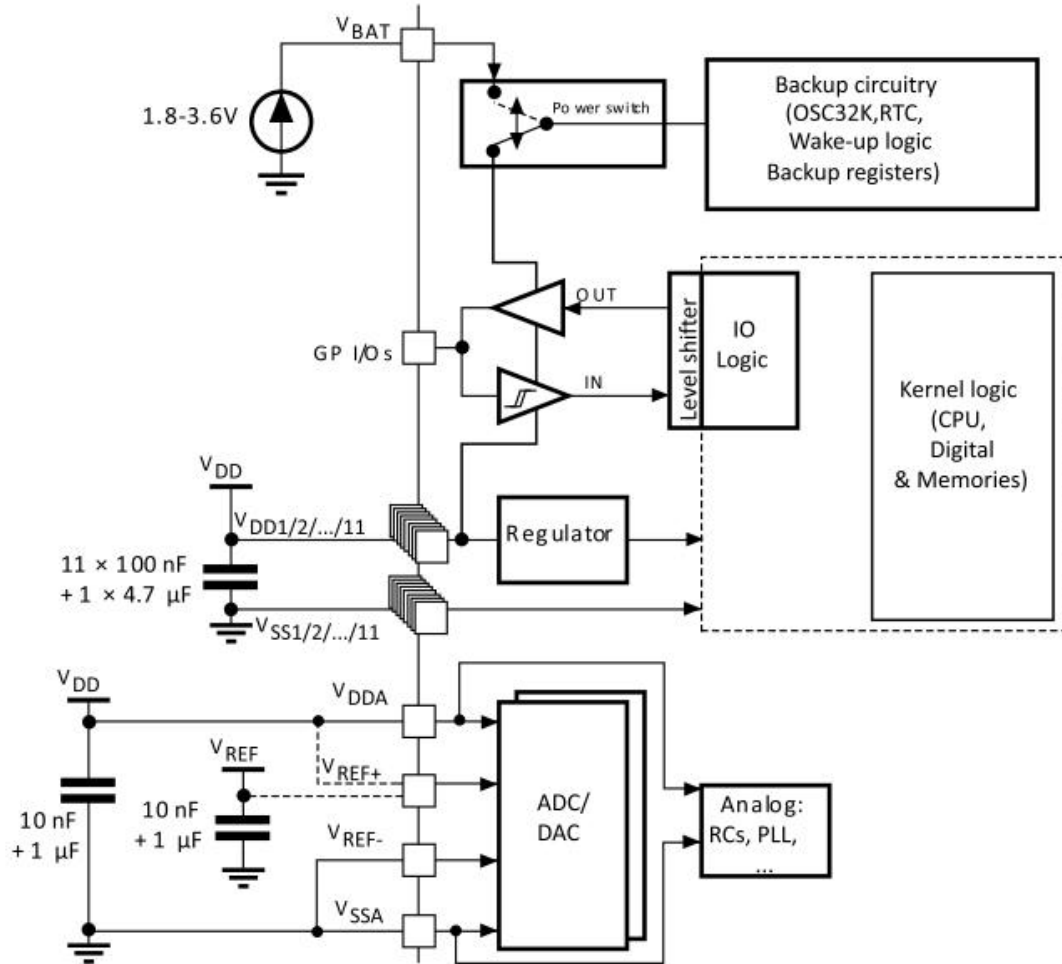
4.2.18 温度传感器特性

Table 4-23 温度传感器特性

Parameter	Conditions	Min	Typ	Max	Unit
Analog Supply voltage	-	2.2	3.3	3.6	V
Digital Supply voltage	-	1.35	1.5	1.65	
Current Consumption	AVDD	-	150	-	uA
Power down leakage current	en='0'	-	-	1	
Power switch control voltage (Ven)	Power down	-	0	-	V
	Power on	-	1	-	Vddl
Sensor linearity with temperature	-	-	± 1	± 2	$^{\circ}$ C
Sensor output voltage	at 25 $^{\circ}$ C	1.34	1.43	1.52	V
Sensor Gain	-	4.0	4.3	4.6	mV/ $^{\circ}$ C
Output load capacitor	-	-	-	20	Pf
Output current	-	-40	-	+40	uA
Power up time(tSTART)	-	4	-	10	us

5 典型电路

5.1 电源供电

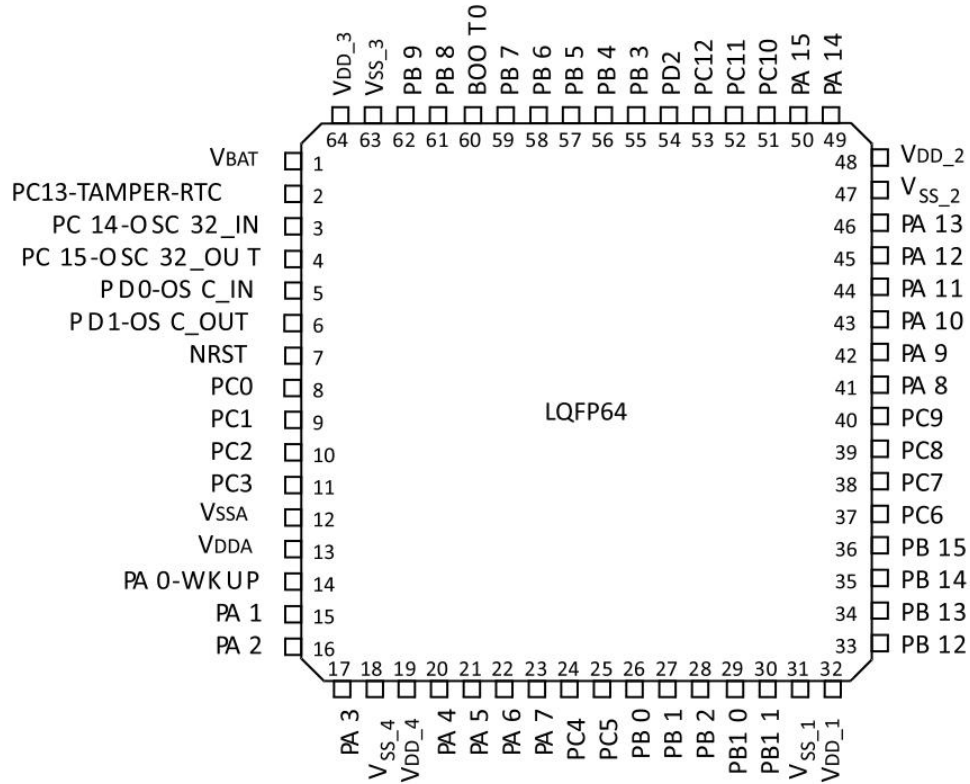


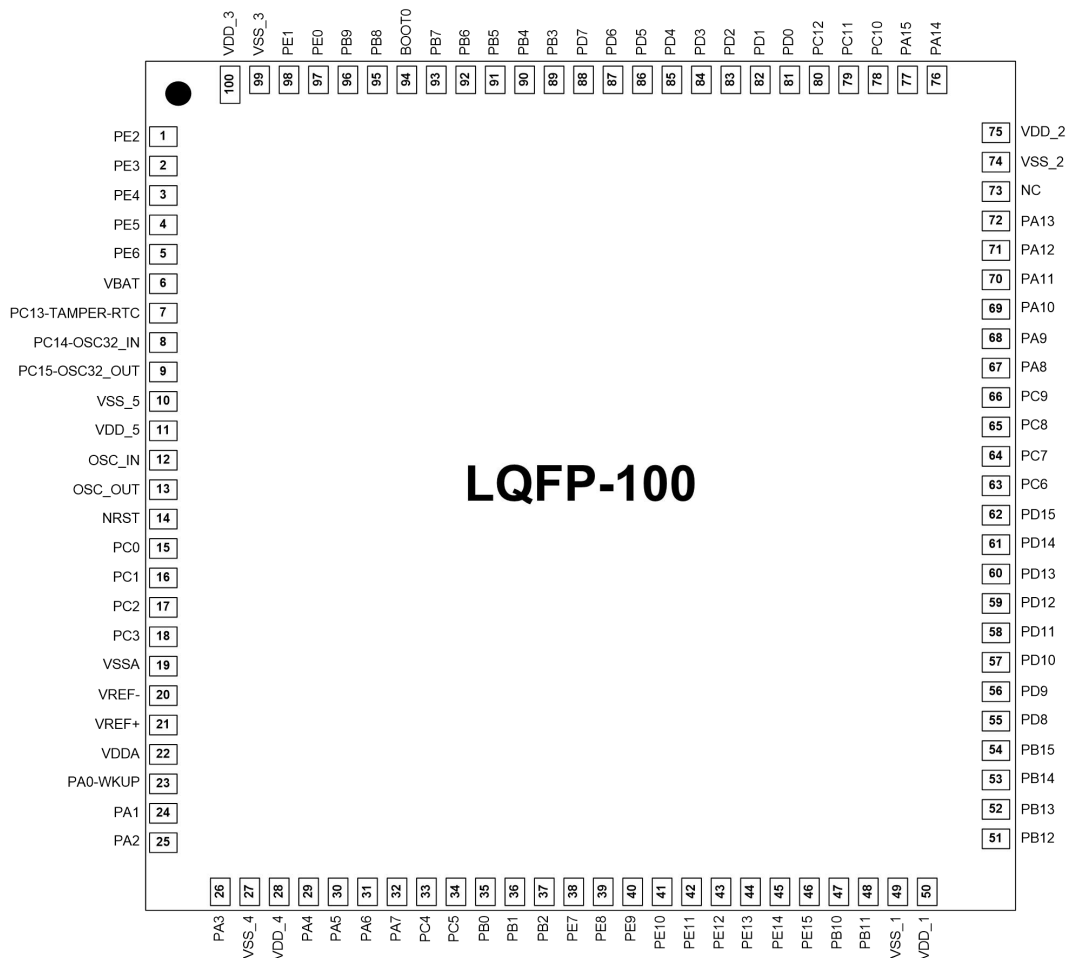
5.2 其他参考电路

TBD

6 管脚定义

HK32F103 定义了 LQFP64/LQFP100 两种封装，管脚定义如下。





LQFP64	LQFP100	Pin Name	Type	Level	Main function	Alternate functions	
						Default	Remap
	1	PE2	I/O	-	PE2	TRACECKO/FSMC_A23 ADC2_BGRBUF	TXEV/EXTIN2
	2	PE3	I/O	-	PE3	TRACED0/FSMC_A19 ADC2_AIN18	TXEV/EXTIN3
	3	PE4	I/O	-	PE4	TRACED1/FSMC_A20 ADC3_BGRBUF	TXEV/EXTIN4
	4	PE5	I/O	-	PE5	TRACED2/FSMC_A21 ADC3_AIN18	TXEV/EXTIN5
	5	PE6	I/O	-	PE6	TRACED3/FSMC_A22	TXEV/EXTIN6
1	6	VBAT	S	-	VBAT		

2	7	PC13-TAM PER-RTC	I/O Notes3	-	PC13	TAMPER-RTC/WKUP1/RTCO	TXEV/EXTIN13
3	8	PC14-OSC 32_IN	I/O Notes3	-	PC14	OSC32_IN/LSE_CKI	TXEV/EXTIN14
4	9	PC15-OSC 32_OUT	I/O Notes3	-	PC15	OSC32_OUT	TXEV/EXTIN15
	10	VSS_5	S	-	VSS_5		
	11	VDD_5	S	-	VDD_5		
5	12	OSC_IN	I	-	OSC_I N	OSC_IN/HSE_CKI CAN1_RX ²	TXEV/PD0 ² EXTIN0 ²
6	13	OSC_OUT	O	-	OSC_O UT	OSC_OUT CAN1_TX ²	TXEV/PD1 ² EXTIN1 ²

7	14	NRST	I/O	-	NRST		
8	15	PC0	I/O	-	PC0	ADC123_IN10	TXEV/EXTIN0 FSMC_NIORD
9	16	PC1	I/O	-	PC1	ADC123_IN11	TXEV/EXTIN1
10	17	PC2	I/O	-	PC2	ADC123_IN12	TXEV/EXTIN2
11	18	PC3	I/O	-	PC3	ADC123_IN13	TXEV/EXTIN3
12	19	VSSA	S	-	VSSA		
	20	VREF-	S	-	VREF-		

	21	VREF+	S	-	VREF+		
13	22	VDDA	S	-	VDDA		
14	23	PA0-WKUP	I/O Notes3	-	PA0	WKUP0/USART2_CTS/ADC123_IN0 TIM2_CH1_ETR/TIM5_CH1/TIM8_ETR/EXTIN0	TXEV FSMC_NE4
15	24	PA1	I/O	-	PA1	USART2_RTS/ADC123_IN1 TIM5_CH2/TIM2_CH2/EXTIN1 RCC_CKIO	TXEV FSMC_NIOWR
16	25	PA2	I/O	-	PA2	USART2_TX/TIM5_CH3 ADC123_IN2/TIM2_CH3/EXTIN2	TXEV
17	26	PA3	I/O	-	PA3	USART2_RX/TIM5_CH4 ADC123_IN3/TIM2_CH4/EXTIN3	TXEV FSMC_NREG

18	27	VSS_4	S	-	VSS_4		
19	28	VDD_4	S	-	VDD_4		
20	29	PA4	I/O	-	PA4	SPI1_NSS/USART2_CK DAC_OUT1/ADC12_IN4/EXTIN4 /I2S1_WS/TIM5_ETR	TXEV
21	30	PA5	I/O	-	PA5	SPI1_SCK/DAC_OUT2 ADC12_IN5/EXTIN5 /I2S1_CK	TXEV
22	31	PA6	I/O	-	PA6	SPI1_MISO/TIM8_BKIN ADC12_IN6/TIM3_CH1/EXTIN6	TXEV/TIM1_BKIN
23	32	PA7	I/O	-	PA7	SPI1_MOSI/TIM8_CH1N/ADC12_IN7/TIM3_CH2/EXTIN7 /I2S1_SD	TXEV/TIM1_CH1N FSMC_A0

24	33	PC4	I/O	-	PC4	ADC12_IN14 /I2S1_MCK	TXEV/EXTIN4 FSMC_A1
25	34	PC5	I/O	-	PC5	ADC12_IN15	TXEV/EXTIN5 FSMC_A2
26	35	PB0	I/O Notes3	-	PB0	ADC12_IN8/TIM3_CH3/TIM8_CH2N WKUP2	TXEV/TIM1_CH2N/EXTIN0 FSMC_A3
27	36	PB1	I/O	-	PB1	ADC12_IN9/TIM3_CH4/TIM8_CH3N RCC_CK11	TXEV/TIM1_CH3N/EXTIN1 FSMC_A4
28	37	PB2	I/O	-	PB2	BOOT1	TXEV/EXTIN2 FSMC_A5
	38	PE7	I/O		PE7	FSMC_D4	TXEV/TIM1_ETR/EXTIN7
	39	PE8	I/O		PE8	FSMC_D5	TXEV/TIM1_CH1N/EXTIN8

	40	PE9	I/O		PE9	FSMC_D6	TXEV/TIM1_CH1/EXTIN9
	41	PE10	I/O		PE10	FSMC_D7	TXEV/TIM1_CH2N/EXTIN10
	42	PE11	I/O		PE11	FSMC_D8	TXEV/TIM1_CH2/EXTIN11
	43	PE12	I/O		PE12	FSMC_D9	TXEV/TIM1_CH3N/EXTIN12
	44	PE13	I/O		PE13	FSMC_D10	TXEV/TIM1_CH3/EXTIN13
	45	PE14	I/O		PE14	FSMC_D11	TXEV/TIM1_CH4/EXTIN14
	46	PE15	I/O		PE15	FSMC_D12	TXEV/TIM1_BKIN/EXTIN15

29	47	PB10	I/O		PB10	I2C2_SCL/USART3_TX	TXEV/TIM2_CH3/EXTIN10 FSMC_INT2/
30	48	PB11	I/O		PB11	I2C2_SDA/USART3_RX	TXEV/TIM2_CH4/EXTIN11 FSMC_INT3
31	49	VSS_1	S		VSS_1		
32	50	VDD_1	S		VDD_1		
33	51	PB12	I/O		PB12	SPI2_NSS/I2S2_WS/I2C2_SMBA/USART3_CK/TIM1_BKIN /ADC3_VOLTDIV	TXEV/EXTIN12
34	52	PB13	I/O		PB13	SPI2_SCK/I2S2_CK/USART3_CTS/TIM1_CH1N	TXEV/EXTIN13
35	53	PB14	I/O		PB14	SPI2_MISO/TIM1_CH2N/USART3_RTS	TXEV/EXTIN14

36	54	PB15	I/O		PB15	SPI2_MOSI/I2S2_SD/TIM1_CH3N USART4_CK	TXEV/EXTIN15 FSMC_INTR
	55	PD8	I/O		PD8	FSMC_D13	TXEV/USART3_TX/EXTIN8
	56	PD9	I/O		PD9	FSMC_D14	TXEV/USART3_RX/EXTIN9
	57	PD10	I/O		PD10	FSMC_D15	TXEV/USART3_CK/EXTIN10
	58	PD11	I/O		PD11	FSMC_A16_CLE	TXEV/USART3_CTS/EXTIN11
	59	PD12	I/O		PD12	FSMC_A17_ALE	TXEV/TIM4_CH1/USART3_RT S/EXTIN12
	60	PD13	I/O		PD13	FSMC_A18	TXEV/TIM4_CH2/EXTIN13

	61	PD14	I/O		PD14	FSMC_D0	TXEV/TIM4_CH3/EXTIN14
	62	PD15	I/O		PD15	FSMC_D1	TXEV/TIM4_CH4/EXTIN15
37	63	PC6	I/O		PC6	I2S2_MCK/TIM8_CH1/SDIO_D6 USART4_CTS	TXEV/TIM3_CH1/EXTIN6 FSMC_A6
38	64	PC7	I/O		PC7	I2S3_MCK/TIM8_CH2/SDIO_D7 RCC_CK12/USART4_RTS	TXEV/TIM3_CH2/EXTIN7 FSMC_A7
39	65	PC8	I/O		PC8	TIM8_CH3/SDIO_D0	TXEV/TIM3_CH3/EXTIN8 FSMC_A8/USART1_CTS/USA RT5_TX
40	66	PC9	I/O		PC9	TIM8_CH4/SDIO_D1	TXEV/TIM3_CH4/EXTIN9 FSMC_A9/USART1_RTS/USA RT5_RX
41	67	PA8	I/O		PA8	USART1_CK/TIM1_CH1/MCO/EXTIN8	TXEV FSMC_A10

42	68	PA9	I/O		PA9	USART1_TX/TIM1_CH2/EXTIN9	TXEV FSMC_A11
43	69	PA10	I/O		PA10	USART1_RX/TIM1_CH3/EXTIN10	TXEV FSMC_A12
44	70	PA11	I/O		PA11	USART1_CTS/USBDM/CAN1_RX/TIM1_CH4/EXTIN11	TXEV
45	71	PA12	I/O		PA12	USART1_RTS/USBDP/CAN1_TX/TIM1_ETR/EXTIN12	TXEV
46	72	PA13	I/O		JTMS-S WDIO		PA13 TXEV/FSMC_A13
	73	NC					
47	74	VSS_2	S		VSS_2		

48	75	VDD_2	S		VDD_2		
49	76	PA14	I/O		JTCK-S WCLK	EXTIN14 /FSMC_A14/ /USART5_CK	TXEV/PA14 USART2_CTS/I2C1_SMBA
50	77	PA15	I/O		JTDI	SPI3_NSS/I2S3_WS/EXTIN15 /I2S1_WS	TXEV/TIM2_CH1_ETR/PA15/S PI1_NSS FSMC_A15/USART2_RTS
51	78	PC10	I/O		PC10	USART4_TX/SDIO_D2	TXEV/USART3_TX/EXTIN10 FSMC_A24/USART2_TX
52	79	PC11	I/O		PC11	USART4_RX/SDIO_D3	TXEV/USART3_RX/EXTIN11 FSMC_A25/USART2_RX
53	80	PC12	I/O		PC12	USART5_TX/SDIO_CK	TXEV/USART3_CK/EXTIN12 FSMC_NE2_NCE3/USART2_CK
	81	PD0 ^{Note4}	I/O		PD0	FSMC_D2	TXEV/CAN1_RX/EXTIN0

	82	PD1 ^{Note4}	I/O		PD1	FSMC_D3	TXEV/CAN1_TX/EXTIN1
54	83	PD2	I/O		PD2	TIM3_ETR/USART5_RX/SDIO_CMD	TXEV/EXTIN2 FSMC_NE3_NCE4_1
	84	PD3	I/O		PD3	FSMC_CLK USART5_CTS	TXEV/USART2_CTS/EXTIN3 SPI3_NSS/I2S3_WS
	85	PD4	I/O		PD4	FSMC_NOE USART5_RTS	TXEV/USART2_RTS/EXTIN4 SPI3_SCK/I2S3_CK
	86	PD5	I/O		PD5	FSMC_NWE	TXEV/USART2_TX/EXTIN5 SPI3_MISO
	87	PD6	I/O		PD6	FSMC_NWAIT	TXEV/USART2_RX/EXTIN6 SPI3_MOSI/I2S3_SD
	88	PD7	I/O		PD7	FSMC_NE1/FSMC_NCE2	TXEV/USART2_CK/EXTIN7

55	89	PB3	I/O		JTDO	SPI3_SCK/I2S3_CK ADC3_IN5	TXEV/PB3/TRACESWO/TIM2_CH2/SPI1_SCK/EXTIN3 I2S1_CK
56	90	PB4	I/O		NJTRST	SPI3_MISO ADC3_IN6	TXEV/PB4/TIM3_CH1/SPI1_MISO/EXTIN4
57	91	PB5	I/O		PB5	I2C1_SMBA/SPI3_MOSI/I2S3_SD /ADC3_IN7	TXEV/TIM3_CH2/SPI1_MOSI/EXTIN5 I2S1_SD
58	92	PB6	I/O		PB6	I2C1_SCL/TIM4_CH1 ADC3_IN8	TXEV/USART1_TX/EXTIN6 FSMC_NCE4_2/I2S1_MCK
59	93	PB7	I/O		PB7	I2C1_SDA/FSMC_NADV/TIM4_CH2 RCC_CK13	TXEV/USART1_RX/EXTIN7
60	94	BOOT0	I		BOOT0		

61	95	PB8	I/O		PB8	TIM4_CH3/SDIO_D4	TXEV/I2C1_SCL/CAN1_RX/ XTIN8 FSMC_CD/USART4_TX
62	96	PB9	I/O		PB9	TIM4_CH4/SDIO_D5	TXEV/I2C1_SDA/CAN1_TX/ XTIN9 USART4_RX
	97	PE0	I/O		PE0	TIM4_ETR/FSMC_NBL0	TXEV/EXTIN0
	98	PE1	I/O		PE1	FSMC_NBL1	TXEV/EXTIN1
63	99	VSS_3	S		VSS_3		
64	100	VDD_3	S		VDD_3		

Notes:

1. I = input, O=output, I/O= input/output, S= power supply
2. 参考 7.1 节

<http://www.hsxp-hk.com>



3. 除了这些 pin, 其他 IO 都具有施密特功能, 通过寄存器配置
4. 参考 7.1 节

7 功能说明

7.1 OSC_IN/OSC_OUT 复用功能说明

<p>LQFP64</p> <p>Pin5/6: 上电默认是 OSC_IN/OSC_OUT 功能，可以软件 remap 配置为 PD0/PD1 功能，也可以配置为其他 AF 功能</p>					
Pin5	OSC_IN	IO	OSC_IN	OSC_IN/HSE_CKI CAN1_RX	TXEV/PD0 EXTIN0
Pin6	OSC_OUT	IO	OSC_OUT	OSC_OUT CAN1_TX	TXEV/PD1 EXTIN1
<p>LQFP100</p> <p>Pin12/Pin13: 上电默认是 OSC_IN/OSC_OUT 功能，可以软件配置为 HSECKI 功能</p> <p>Pin81/Pin82: 上电默认是 PD0/PD1，可以配置为其他 AF 功能</p>					
Pin12	OSC_IN	I	OSC_IN	OSC_IN/HSE_CKI	-

Pin13	OSC_OUT	O	OSC_OUT	OSC_OUT	-
-------	---------	---	---------	---------	---

7.2 FSMC 复用功能说明

TBD

7.3 TFT 复用功能说明

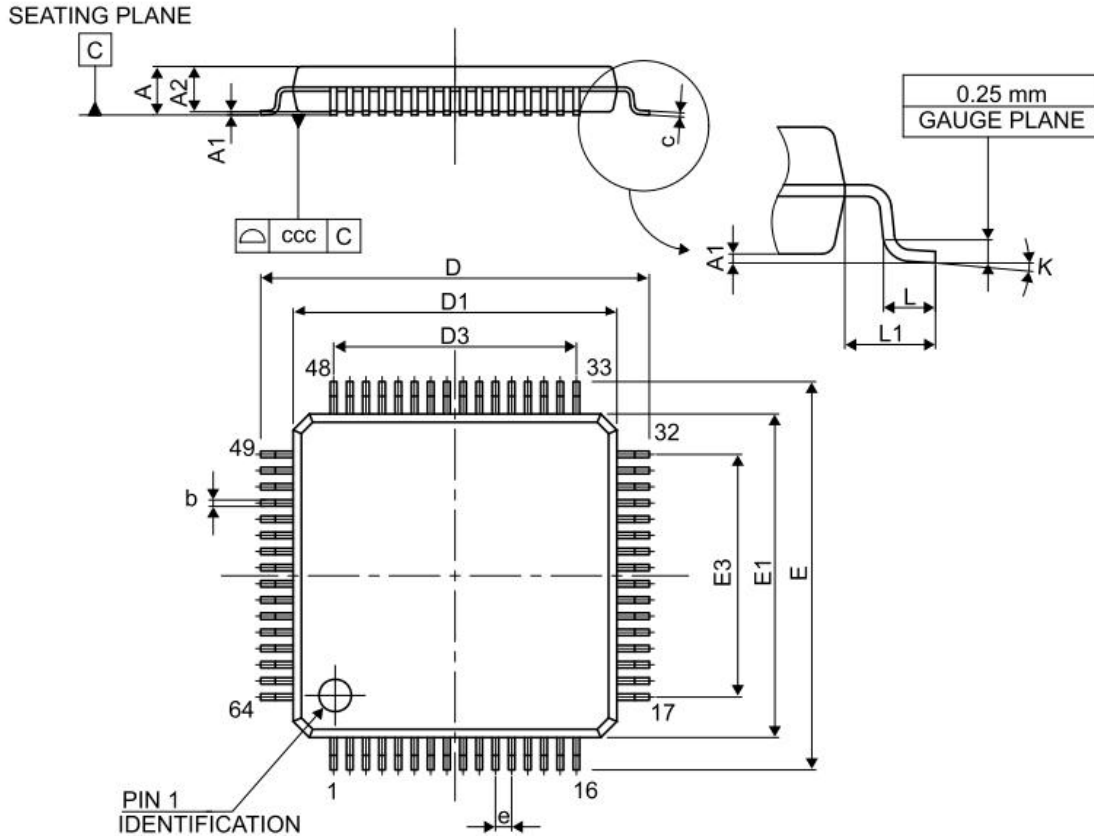
TBD

7.4 USART 复用功能说明

TBD

8 封装参数

8.1 LQFP64 10X10mm,0.5mm pitch

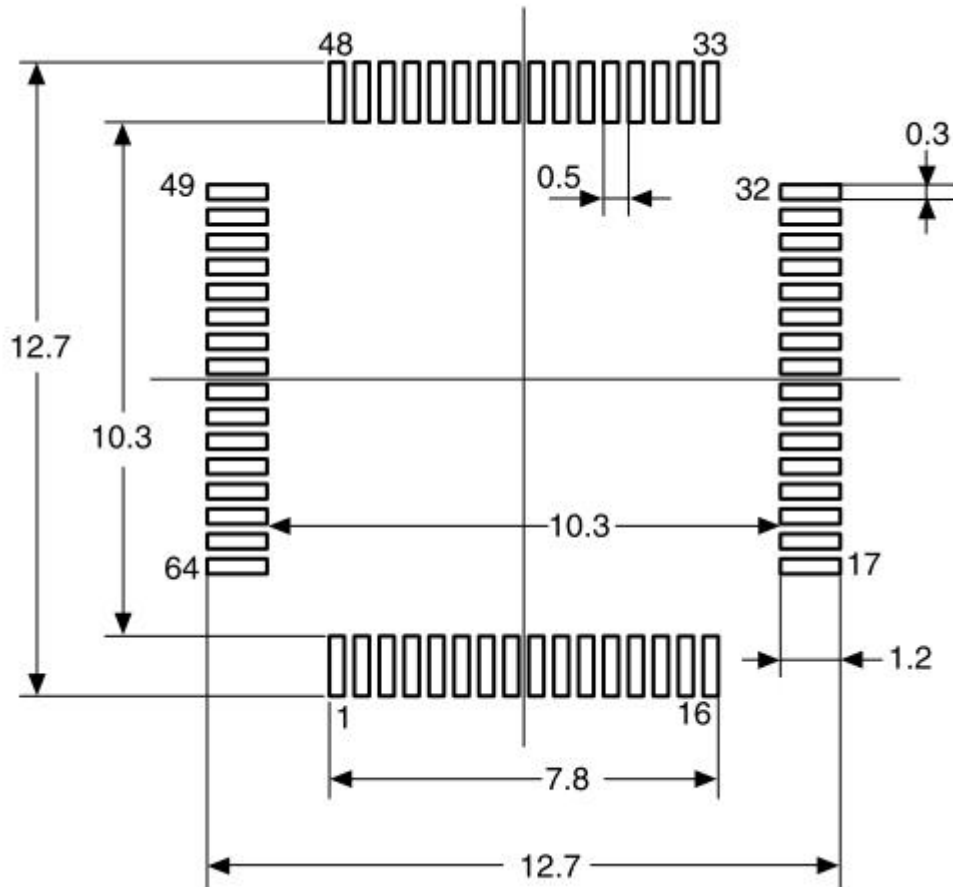


Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-

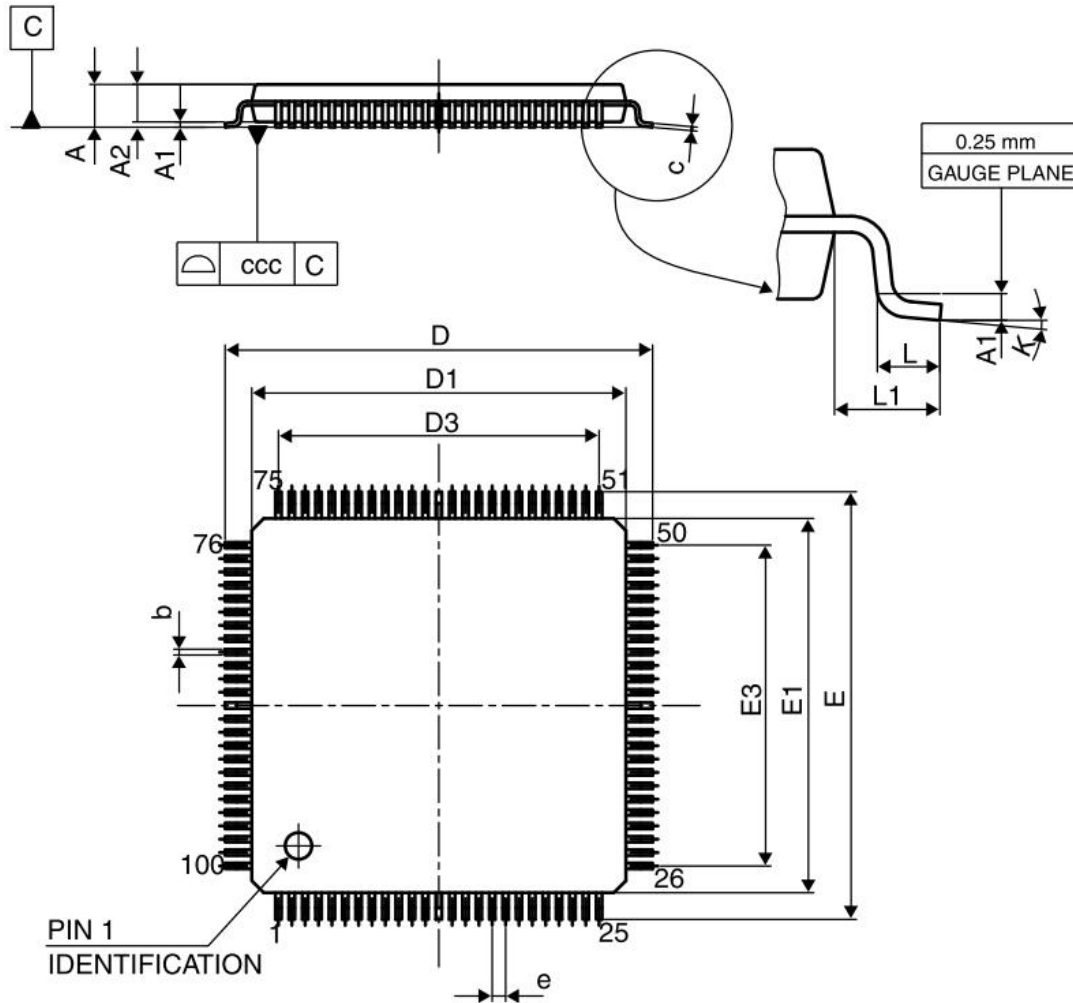
Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031

1. Values in inches are converted from mm and rounded to 4 decimal digits.

8.2 LQFP64 推荐封装



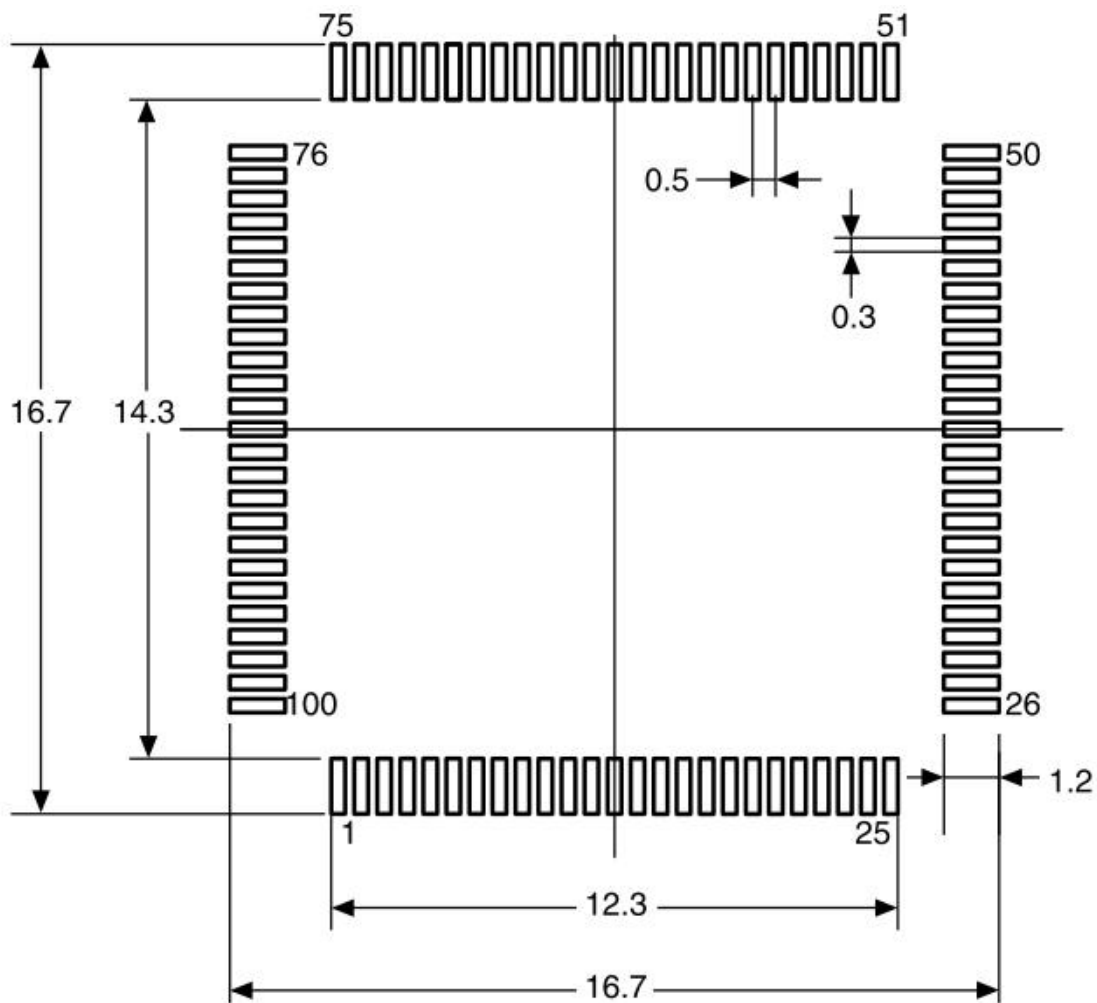
8.3 LQFP100 14X14mm,0.5mm pitch



Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3	-	12.000	-	-	0.4724	-
E	15.800	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
E3	-	12.000	-	-	0.4724	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.08	-	-	0.0031

8.4 LQFP100 推荐封装



Unit: mm

9 缩略语

Term	Definition
RTC	Real time clock
IIC	Inter-Integrated Circuit Interface
CPU	Center process unit
PLL	Phase lock loop
LDO	Low voltage drop output
RISC	Reduced Instruction-Set Computer
UART	Universal Asynchronous Receiver Transmitter
SPI	Serial peripheral interface
USB	Universal Serial Bus
GPIO	General purpose input output
CAN	Controller Area Network
I/O	Input output
ADC	Analogue to digital converter
MCU	Micro controller unit
HSE	High-speed external
HSI	High-speed internal
LSE	Low-speed external
LSI	Low-speed internal
SAR	Successive Approximation Analog-to-Digital Converter
USART	Universal Synchronous Asynchronous Receiver Transmitter
PVD	Power voltage detect
SOC	System on chip
JTAG	Joint Test Action Group
PWM	Pulse Width Modulation
DMA	Direct Memory Access
SDIO	Secure Digital Input Output
POR	Power on reset
PDR	Power down reset
CRC	Cyclic Redundancy Check

10 重要提示

在未经深圳市航顺芯片技术研发有限公司同意下不得以任何形式或途径修改本公司产品规格和数据表中的任何部分以及子部份。深圳市航顺芯片技术研发有限公司在以下方面保留权利：修改数据单和/或产品、停产任一产品或者终止服务不做通知；建议顾客获取最新版本的相关信息，在下定订单前进行核实以确保信息的及时性和完整性。所有的产品都依据订单确认时所提供的销售合同条款出售，条款内容包括保修范围、知识产权和责任范围。

深圳市航顺芯片技术研发有限公司保证在销售期间，产品的性能按照本公司的标准保修。公司认为有必要维持此项保修，会使用测试和其他质量控制技术。除了政府强制规定外，其他仪器的测量表没有必要进行特殊测试。

顾客认可本公司的产品的设计、生产的目的是不涉及与生命保障相关或者用于其他危险的活动或者环境的其他系统或产品中。出现故障的产品会导致人身伤亡、财产或环境的损伤（统称高危活动）。人为在高危活动中使用本公司产品，本公司据此不作保修，并且不对顾客或者第三方负有责任。

深圳市航顺芯片技术研发有限公司将会提供与现在一样的技术支持、帮助、建议和信
息，（全部包括关于购买的电路板或其他应用程序的设计，开发或调试）。特此声明，对于所有的技术支持、可销性或针对特定用途，及在支持技术无误下，电路板和其
他应用程序可以操作或运行的，本公司将不作任何有关此类支持技术的担保，并对您在使用这项支持服务不负任何法律责任。

所有版权归深圳市航顺芯片技术研发有限公司 2015 - 2020

单击下面可查看定价，库存，交付和生命周期等信息

[>>HK\(航顺\)](#)