

IVCO1A01/2 8.5A/10A 隔离单通道栅极驱动器

1. 特性

- 分离式输出 (IVCO1A01) 或者米勒钳位 (IVCO1A02) 可选
- 业界标准的 SOIC-8 引脚, 支持 3.75kVrms 窄体 (D) 隔离电压和 5kVrms 宽体 (DW) 隔离电压可选
- 8.5A 峰值拉电流和 10A 峰值灌电流
- 高达 36V VCC2 宽范围供电
- VCC2 UVLO 保护
 - 8.4V UVLO (IVCO1A01)
 - 12V UVLO (IVCO1A02)
- CMTI 高于 100V/ns
- CMOS 输入
- 典型 50ns 传播时延
- 输入浮空时输出保持低电平
- 安全和监管认证:
 - UL (认证中)
 - VDE (认证中)
 - CQC (认证中)
- -40°C 到 125°C 的工作温度范围

2. 应用

- AC/DC 及 DC/DC 变换器
- 服务器和通讯设备的整流器
- EV/HEV 逆变器及 DC/DC 转换器
- PV 升压及逆变器
- UPS
- 电机控制
- 新兴的宽带隙功率器件

3. 描述

IVCO1A01/2 是一款具有 3.75kVrms (D) 和 5kVrms (DW) 隔离的 8.5A 峰值拉电流和 10A 峰值灌电流的单通道隔离栅极驱动器。它能够有效和安全地驱动 SiC/Si MOSFET 和 Si IGBT。低传播延迟和紧凑的 SOIC-8 封装使 MOSFET 能够以数百 kHz 的频率进行开关。

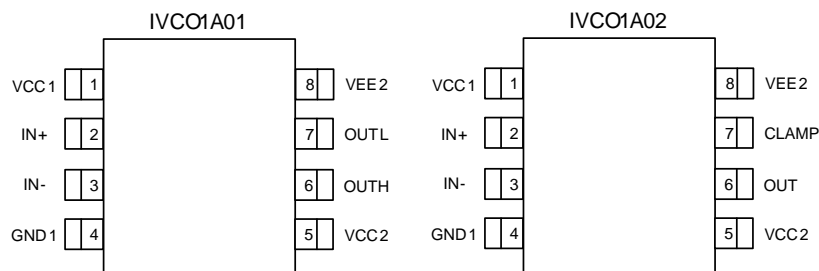
9.5V 至 33V 的宽输出 VCC2 工作范围可有效驱动 Si 或 SiC MOSFET 和 IGBT 电源开关。集成 UVLO 保护可确保在异常条件下保持低输出。输入 VCC1 在 2.5V 至 5.5V 范围内工作, 并支持大多数数字控制器。

通过集成隔离栅, IVCO1A01/2 可以支持高达 3.75kVrms (D) 和 5kVrms (DW) 的隔离。通过隔离栅或电平转换来控制 MOSFET/IGBT 的栅极驱动非常方便。

器件信息

PART NUMBER	PACKAGE	PACKING
IVCO1A01DR	SOIC-8	Tape and Reel
IVCO1A01DWR	SOIC(W)-8	Tape and Reel
IVCO1A02DR	SOIC-8	Tape and Reel
IVCO1A02DWR	SOIC(W)-8	Tape and Reel

引脚配置



目录

1. 特性	1
2. 应用	1
3. 描述	1
4. 引脚配置及功能	3
5. 技术指标	4
6. 典型特征	8
7. 详细说明	11
8. 应用和实现	13
9. PCB 布局	17
10. 封装信息	18

4. 引脚配置及功能

IVCO1A01	IVCO1A02	名称	I/O	描述
1	1	VCC1	P	逻辑侧电源
2	2	IN+	I	正极输入
3	3	IN-	I	负极输入
4	4	GND1	G	逻辑侧电源参考地
5	5	VCC2	P	驱动侧电源
6	/	OUTH	O	上拉高输出
7	/	OUTL	O	上拉低输出
/	6	OUT	O	输出
/	7	CLAMP	I/O	有源米勒钳位
8	8	VEE2	G	驱动侧电源参考地

真值表

IVCO1A01

VCC1	IN+	IN-	VCC2	OUTH	OUTL
任意电平	任意电平	任意电平	低于 UVLO	高阻	低
低于 UVLO	任意电平	任意电平	任意电平	高阻	低
高于 UVLO	低或浮空	任意电平	高于 UVLO	高阻	低
高于 UVLO	任意电平	高或浮空	高于 UVLO	高阻	低
高于 UVLO	高	低	高于 UVLO	高	高阻

IVCO1A02

VCC1	IN+	IN-	VCC2	OUT	CLAMP
任意电平	任意电平	任意电平	低于 UVLO	低	低
低于 UVLO	任意电平	任意电平	任意电平	低	低
高于 UVLO	低或浮空	任意电平	高于 UVLO	低	低
高于 UVLO	任意电平	高或浮空	高于 UVLO	低	低
高于 UVLO	高	低	高于 UVLO	高	高阻

5. 技术指标

5.1 绝对最大额定值

在室温范围（除非另有说明）⁽¹⁾

		最小	最大	单位
V _{CC1}	供电电压输入 (参考 GND1)	-0.3	7	V
IN+, IN-	信号输入电压	-0.3	V _{CC1} +0.3	V
V _{CC2}	供电电压输出 (参考 VEE2)	-0.3	36	V
OUTH, OUTL	栅极驱动器输出电压	-0.3	V _{CC2} +0.3	V
OUT	栅极驱动器输出电压	-0.3	V _{CC2} +0.3	V
CLAMP	米勒钳位输入电压	-0.3	V _{CC2} +0.3	
T _J	结温	-40	150	°C
T _{STG}	储存温度	-65	150	°C

(1) 如果运行超出“绝对最大额定值”中列出的范围，可能会对器件造成永久性损坏。长时间处在绝对最大额定值条件下可能会影响器件的可靠性。

5.2 防静电等级

		值	单位
V _(ESD) 静电放电	人体模型 (HBM), ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	+/-6000	V
	带电器件模型(CDM), JEDEC specification JESD22-C101 ⁽²⁾	+/-2000	

(1) JEDEC 文件 JEP155 规定，500V HBM 允许通过标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 规定，250V CDM 允许通过标准 ESD 控制过程进行安全制造。

5.3 推荐工作条件

		最小	最大	单位
V _{CC1}	供电电压输入	2.5	5.5	V
V _{INx}	信号输入电压	0	V _{CC1}	V
V _{CC2}	IVCO1A01 供电电压输出	9.5	33	V
V _{CC2}	IVCO1A02 供电电压输出	13.2	33	V
T _A	环境温度	-40	125	°C

5.4 热阻信息

		D	DW	单位
R _{θJA}	结至环境热阻	110	100	°C/W
ψ _{JT}	结至封装顶部特征参数	18	16	°C/W

5.5 电气特性

除非特别说明, $V_{CC1} = 3.3\text{ V}$, $V_{CC2} = 15\text{ V}$, T_A 为 -40°C 到 125°C 。

在 25°C 环境下, 在指定的管脚上, 电流正向为输入, 负向为输出。

参数	测试条件	最小	典型	最大	单位
偏置电流					
I_{CC1q} V_{CC1} 静态电流	$I_{N+}=0\text{V}$, $I_{N-}=0\text{V}$		0.8	1.2	mA
I_{CC2q} V_{CC2} 静态电流	$I_{N+}=0\text{V}$, $I_{N-}=0\text{V}$		1.8	2.7	mA
UVLO (VCC1)					
V_{ON}	V_{CC1} 上升阈值	2.0	2.2	2.4	V
V_{OFF}	V_{CC1} 下降阈值	1.9	2.07	2.25	V
IVCO1A01 UVLO (VCC2)					
V_{ON}	V_{CC2} 上升阈值		8.4	9.4	V
V_{OFF}	V_{CC2} 下降阈值	7.1	7.9		V
IVCO1A02 UVLO (VCC2)					
V_{ON}	V_{CC2} 上升阈值		12	13	V
V_{OFF}	V_{CC2} 下降阈值	9.8	10.8		V
输入					
V_{INH} 输入上升阈值			$0.5 \cdot V_{CC1}$	$0.6 \cdot V_{CC1}$	V
V_{INL} 输入下降阈值		$0.3 \cdot V_{CC1}$	$0.35 \cdot V_{CC1}$		V
输出					
I_{OH} 峰值拉电流	$C_{LOAD} = 1\mu\text{F}$, 外部限流电阻, 1kHz 开关频率		8.5		A
I_{OL} 峰值灌电流	$C_{LOAD} = 1\mu\text{F}$, 外部限流电阻, 1kHz 开关频率		10		A
V_{OH} 输出高电压	$I_{OUTH} = -20\text{mA}$		$V_{CC}-0.09$	$V_{CC}-0.17$	V
V_{OL} 输出低电压	$I_{OUTL} = 20\text{mA}$		8	23	mV
R_{OH} 输出静态上拉电阻			4.4	8.6	Ω
R_{OL} 输出静态下拉电阻			0.4		Ω
IVCO1A02 有源米勒钳位					
$I_{CLAMP}^{(*)}$ 钳位电流	$V_{CLAMP} = V_{EE2}+2\text{V}$		10		A
V_{CLAMP} 钳位低电压	$I_{CLAMP} = 20\text{mA}$		7		mV
$V_{CLAMP-TH}$ 钳位阈值电压			2.1	2.3	V
时序					
T_{Df} 输出上升延迟	$C_{LOAD} = 1.8\text{nF}$		50	65	ns
T_{Df} 输出下降延迟			50	65	
T_r 上升时间	$C_{LOAD} = 1.8\text{nF}$		10	15	ns
T_f 下降时间			10	14	
T_{PWD} 脉宽失真	$C_{LOAD} = 1.8\text{nF}$		1		ns
$CMTI^{(*)}$		100			V/ns
有源下拉					
V_{OPD} 有源下拉	$I_{OUT} = 0.1 \cdot I_{OUTL(typ)}$, $V_{CC2}=\text{open}$		2	2.5	V

(*) 设计保证

5.6 绝缘和安全相关规范

参数	测试条件	D	DW	单位
额定绝缘电压	时长 1 分钟	3750	5000	V _{RMS}
CLR 外部间隙	从输入端到输出端的最短空气距离	≥4	≥8	mm
CPG 外部爬电距离	从输入端到输出端的最短壳体距离	≥4	≥8	mm
内部间隙	绝缘介质厚度	≥21	≥21	μm
CTI 比较追踪指数	DIN EN 60112 (VDE 0303-11)	>400	>400	V
材料组别	IEC 60664-1	II	II	
R _{IO-Rs} 隔离电阻 (输入到输出)		10 ¹²	10 ¹²	Ω
C _{IO} 势垒电容 (输入到输出)	Freq = 1 MHz	1.5	1.5	pF
IEC 60664-1	额定电源电压 ≤ 150 VRMS	I 至 IV	I 至 IV	
	额定电源电压 ≤ 300 VRMS	I 至 III	I 至 IV	
	额定电源电压 ≤ 600 VRMS	NA	I 至 III	
	额定电源电压 ≤ 1000 VRMS	NA	I 至 II	
环境分类		40/125/21	40/125/21	
污染等级		2	2	
V _{IORM} 最大重复峰值隔离电压		1200	1200	V _{PK}
V _{IOTM} 最大瞬态隔离电压		5300	7071	V _{PK}
V _{IOSM} 最大浪涌隔离电压	基本隔离, 1.2/50 μs 组合波	5000	5000	V _{PK}
V _{pd(m)} 输入到输出测试电压, 方法 B1	V _{IORM} × 1.5 = V _{pd(m)} , 100% 生产环境测试, t _{ini} = t _m = 1 s, 局部放电 < 5 pC	1800	1800	V _{PK}
V _{pd(m)} 输入到输出测试电压, 方法 A: 在环境测试子组 1 之后	V _{IORM} × 1.3 = V _{pd(m)} , 100% 生产环境测试, t _{ini} = 60 s, t _m = 10 s, 局部放电 < 5 pC	1560	1560	V _{PK}
V _{pd(m)} 输入到输出测试电压, 方法 A: 在输入和/或安全测试子组 2 和子组 3 之后	V _{IORM} × 1.2 = V _{pd(m)} , 100% 生产环境测试, t _{ini} = 60 s, t _m = 10 s, 局部放电 < 5 pC	1440	1440	V _{PK}
T _s 最大安全温度		150	150	°C
R _s T _s 下的隔离电阻	V _{IO} = 500 V, T _a = 25°C	> 10 ¹²	> 10 ¹²	Ω
	V _{IO} = 500 V, 100°C ≤ T _a ≤ 25°C	> 10 ¹¹	> 10 ¹¹	Ω
	V _{IO} = 500 V, T _a = 150°C	> 10 ⁹	> 10 ⁹	Ω

5.7 认证信息

认证	D	DW
UL	UL 1577 器件认证程序认证 ¹ 单一/基本绝缘保护, 3750V _{RMS} 隔离电压	UL 1577 器件认证程序认证 ¹ 单一/基本绝缘保护, 5000V _{RMS} 隔离电压
VDE	DIN EN IEC 60747-17 (VDE 0884-17):2021-10 ² 基本绝缘: V _{IORM} =1200V _{PK} , V _{IOSM} =5000V _{PK}	DIN EN IEC 060747-17(VDE 0884-17):2021-10 ² 基本绝缘: V _{IORM} =1200V _{PK} , V _{IOSM} =5000V _{PK}
CQC	符合 GB4943.1-2022 标准 基本绝缘 557V _{RMS} (787V _{PK})最大工作电压	符合 GB4943.1-2022 标准 基本绝缘 1118V _{RMS} (1580V _{PK})最大工作电压 加强绝缘 557V _{RMS} (787V _{PK})最大工作电压

- (1) 根据 UL 1577, 每个 IVCO1A0xD 施加 ≥ 4500 Vrms 的绝缘测试电压 1 秒进行验证测试; 每个 IVCO1A0xDW 施加 ≥ 6000 Vrms 的绝缘测试电压 1 秒进行验证测试
- (2) 根据 VDE 0884-17, 每个 IVCO1A0x 施加 ≥ 1800 Vrms 的绝缘测试电压 1 秒进行验证测试

6. 典型特征

VCC1=2.5VDC±3% 或 3.3VDC±10% 或 5VDC±10%, 0.1uF 电容在 VCC1 与 GND1之间, VCC2 = 15VDC±10%, 1uF 电容在 VCC2 与 VEE2之间, CLOAD =1nF. TA = -40°C 至125°C (除非另有说明).

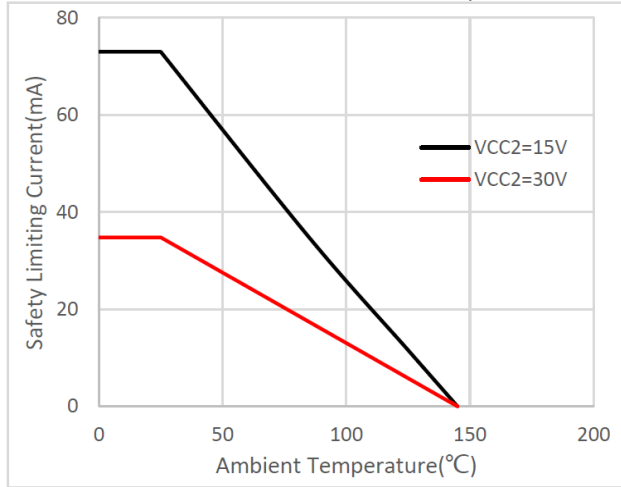


图 1. 根据 VDE 的环境温度限制电流的热量下降曲线 (D)

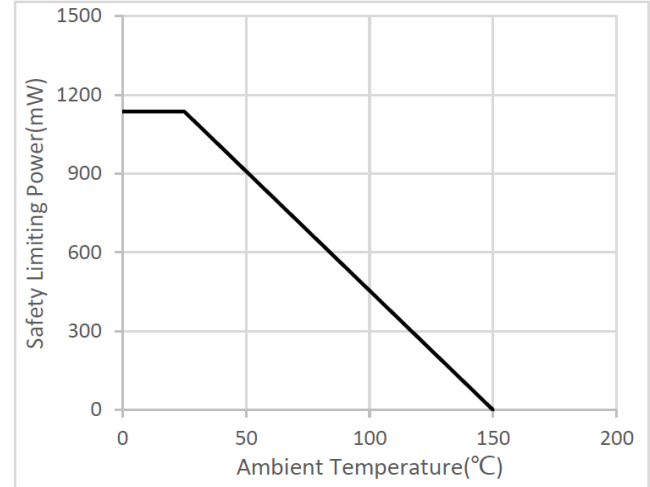


图 2. 根据 VDE 的环境温度限制电流的热量下降曲线 (D)

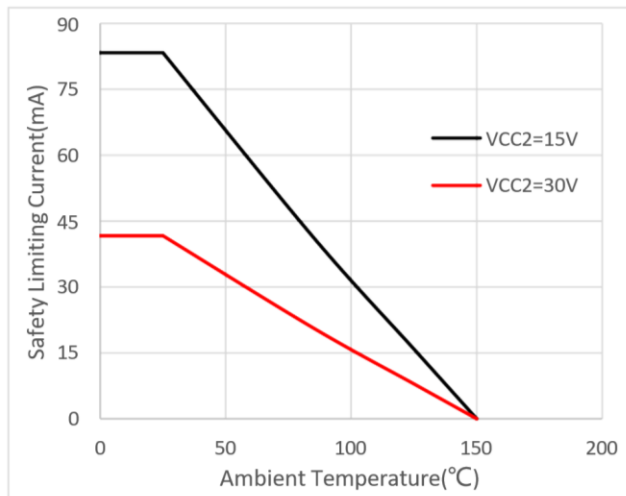


图 3. 根据 VDE 的环境温度限制电流的热量下降曲线 (DW)

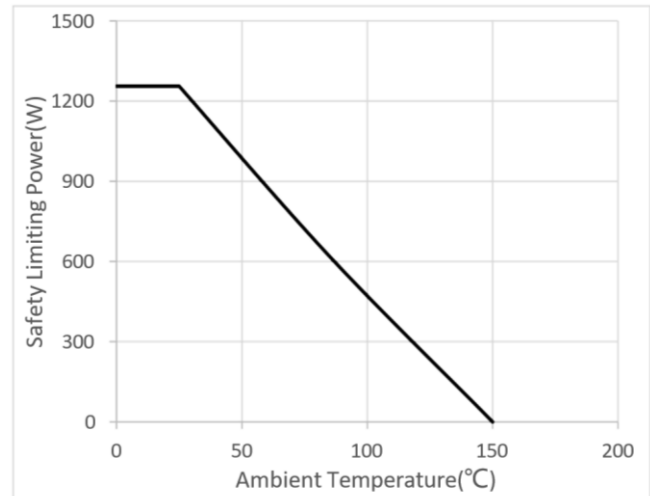


图 4. 根据 VDE 的环境温度限制电流的热量下降曲线 (DW)

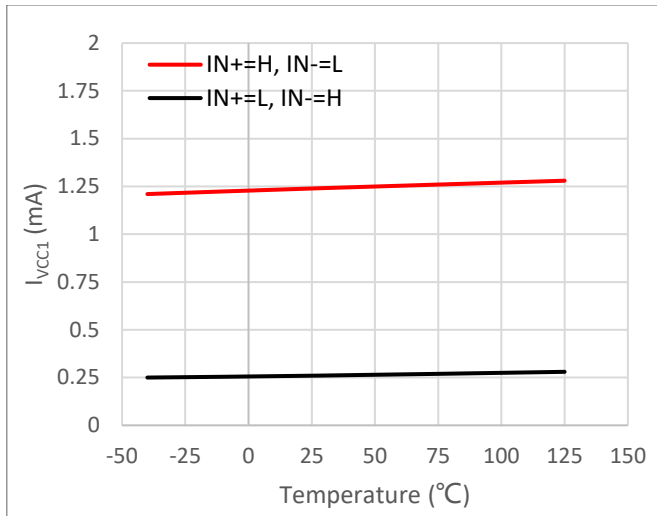


图 5. I_{VCC1} 电源电流 vs 温度

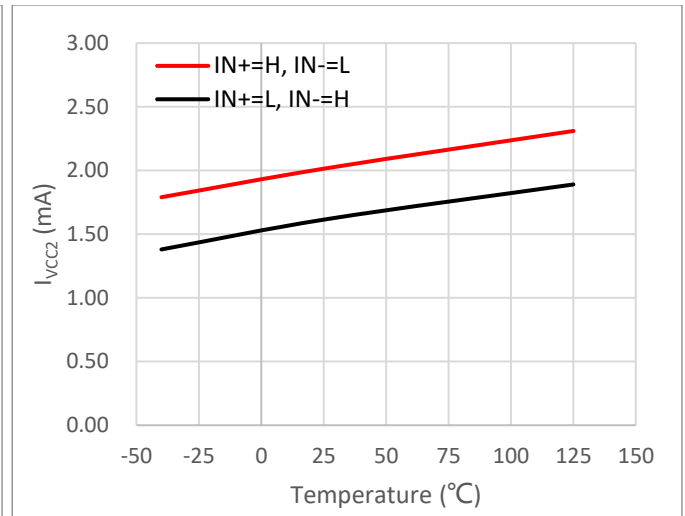


图 6. I_{VCC2} 电源电流 vs 温度

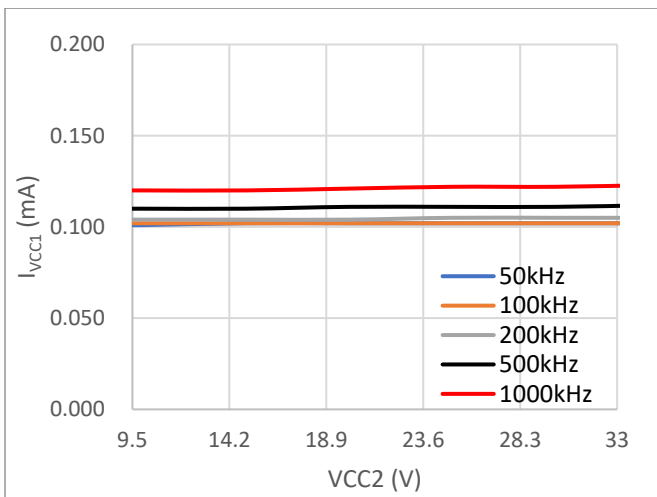


图 7. I_{VCC1} 电源电流 vs 输入频率

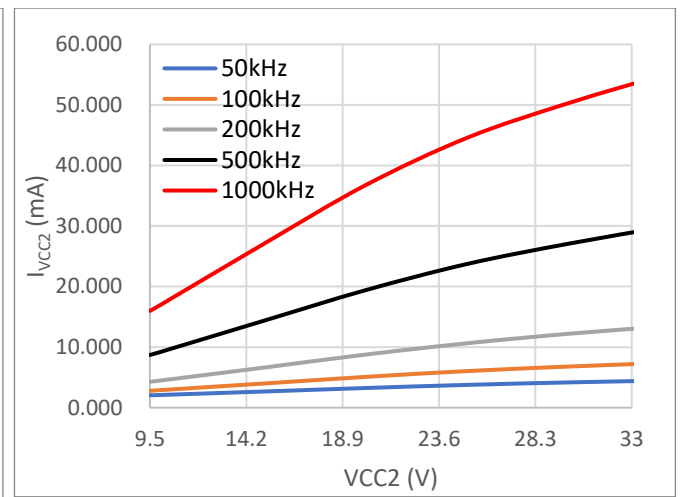


图 8. I_{VCC2} 电源电流 vs 输入频率

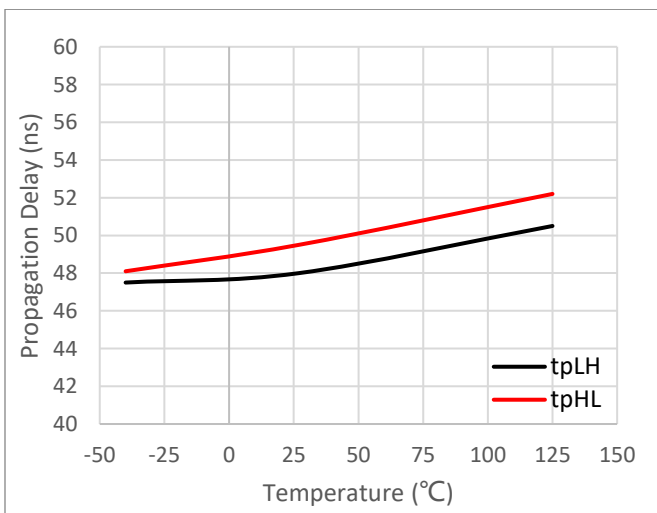


图 9. 传播延时 vs 温度

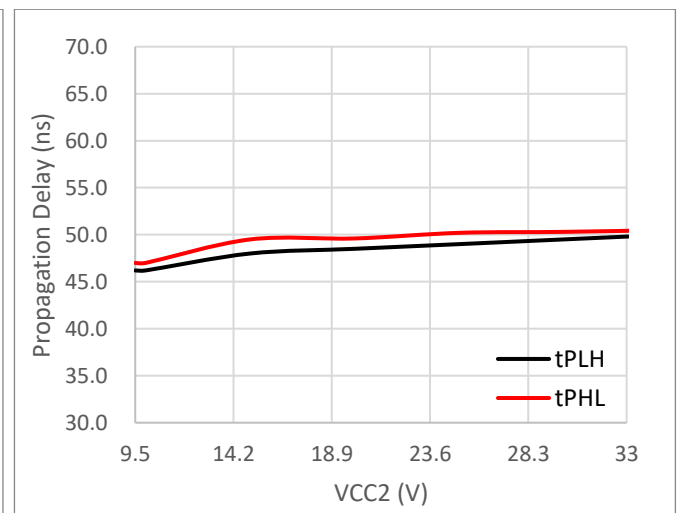


图 10. 传播延时 vs VCC2

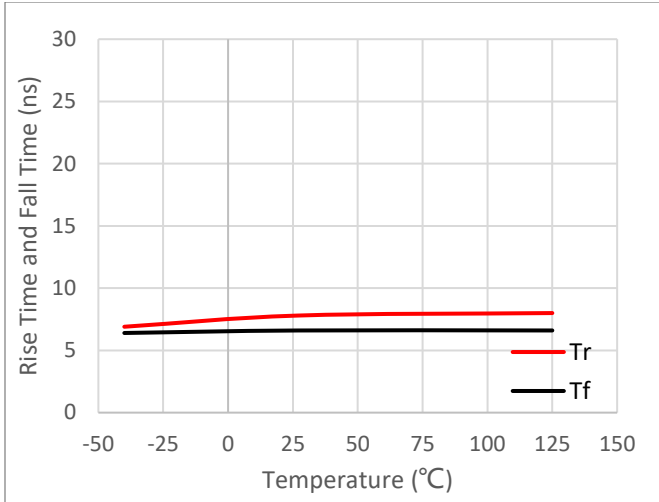


图 11. 上升下降时间 vs 温度

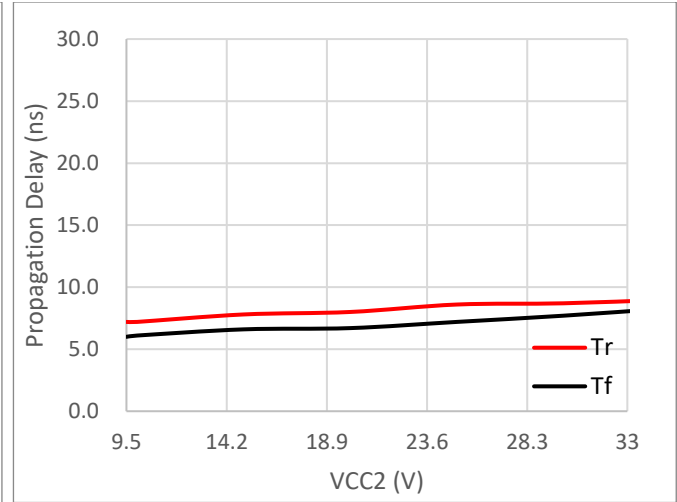


图 12. 上升下降时间 vs VCC2

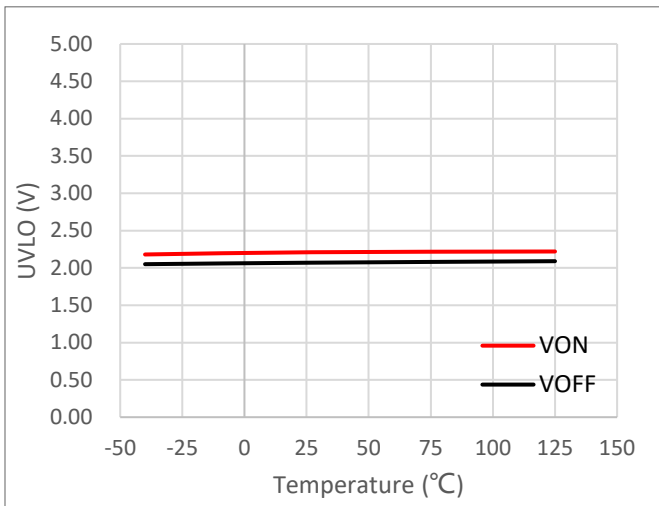


图 13. VCC1 的 UVLO vs 温度

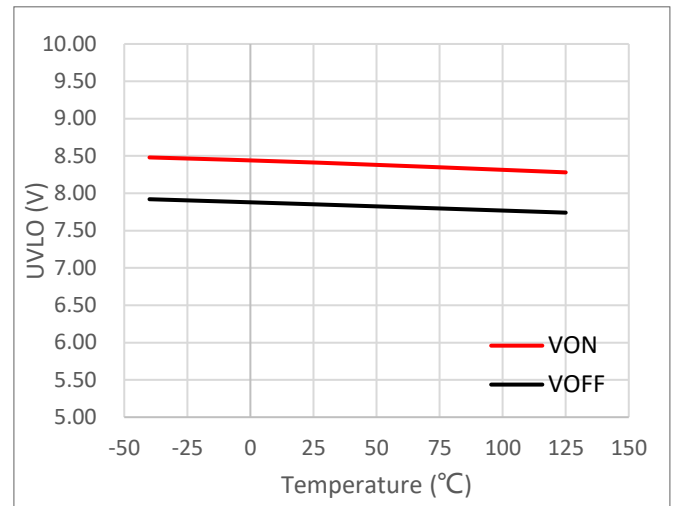


图 14. VCC2 的 UVLO vs 温度 (IVCO1A01)

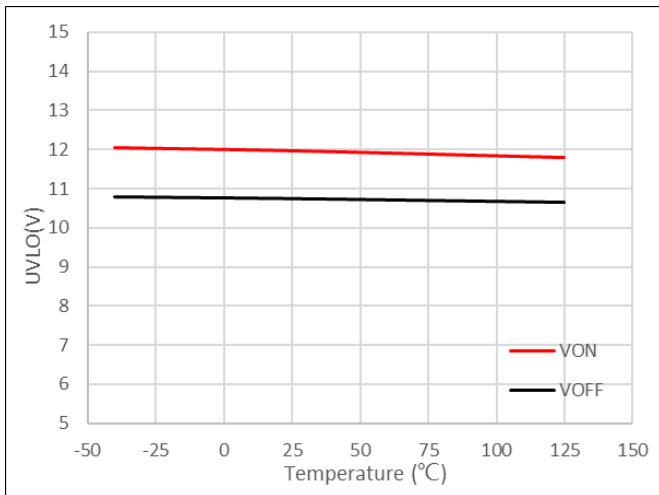


图 15. VCC2 的 UVLO vs 温度 (IVCO1A02)

7. 详细说明

IVCO1A01/2 是一款具有 3.75kVrms (D) 和 5kVrms (DW) 隔离的 10A 单通道隔离栅极驱动器。IVCO1A01 具有上拉和下拉独立可调的隔离输出，IVCO1A02 具有有源米勒钳位保护的功能。

7.1 输入信号

IN+ 和 IN- 是同相和反相逻辑栅极驱动器输入。这两个引脚分别是弱下拉输入和弱上拉输入，如果输入保持浮空，输出将会被拉至 VEE2。输入为 TTL 和 CMOS 逻辑电平，最大输入容差为 7V。

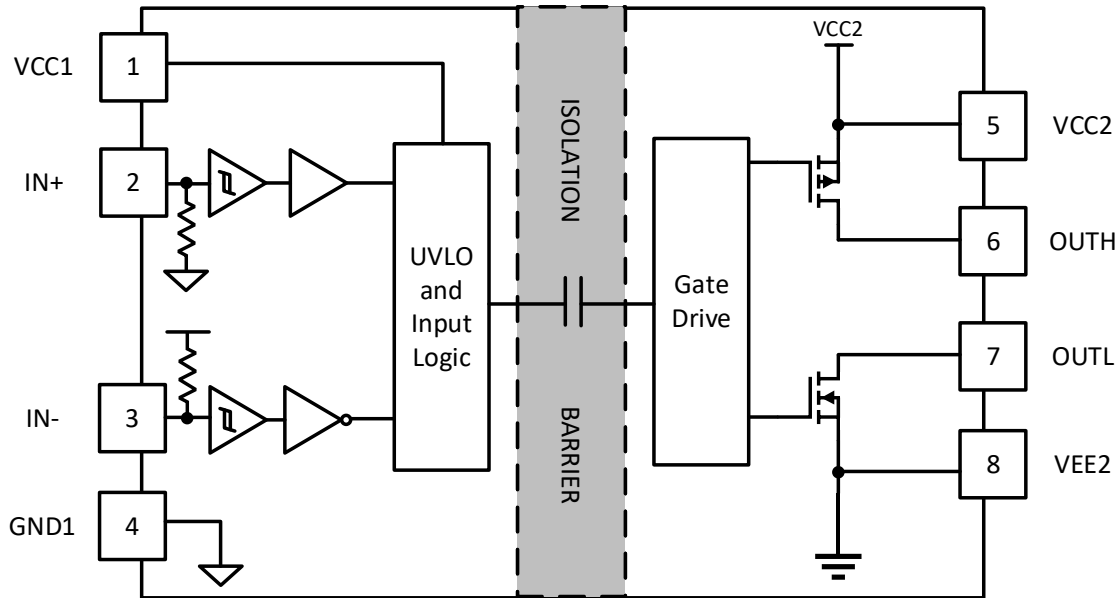


图 16. IVCO1A01 功能框图

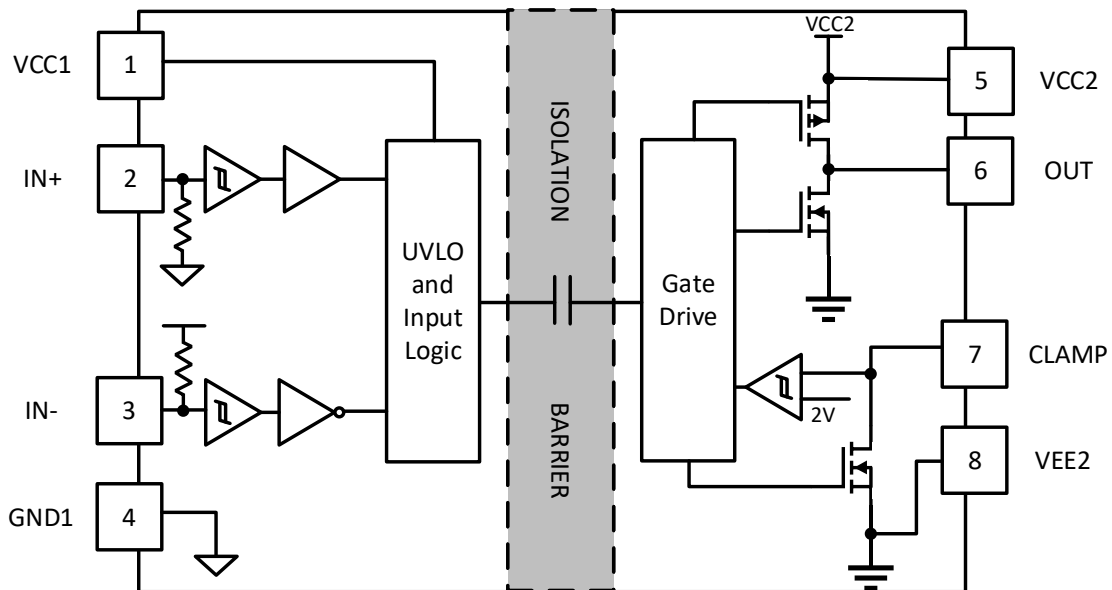


图 17. IVCO1A02 功能框图

7.2 输出信号

OUTH 与 OUTL 是隔离输出. OUTH 由混合上拉组成, OUTL 由下拉的N沟道MOSFET组成. IVCO1A01/2的每个输出可提供8.5A峰值拉电流和10A峰值灌电流. 输出电压在 VCC2 和 VEE2 之间轨到轨摆动. MOSFET的体二极管还提供了电压钳位以限制过冲和下冲. 这意味着在许多情况下, 可能不需要外部的肖特基二极管钳位.

7.3 供电电压和欠压保护

IVCO1A01/2 VCC1 的最大额定电压为 7V. VCC1 内部欠压锁定 (UVLO) 保护阈值电压典型值为 2.2V, 这使输入级能够在 2.5V、3.3V 或 5V 电源电压下工作. 当 VCC1 电平低于 UVLO (VCC1) 阈值时, 不管输入的状态如何, 输出将保持为低电平.

IVCO1A01/2 VCC2 的最大额定电压为 36V. 适用于 Si MOSFET、IGBT 和 SiC MOSFET 栅极驱动. 输出级具有 VCC2 内部欠压锁定 (UVLO) 保护功能. 当 VCC2 电平低于 UVLO (VCC2) 阈值时, 不管输入的状态如何, 输出将保持为低电平.

7.4 隔离和 CMTI

IVCO1A01/2 提供 3.75kVrms (D) 和 5kVrms (DW) 的绝缘耐压, 并采用 SOIC-8 窄体/宽体封装. 此器件采用电容隔离技术设计. 100V/ns 的共模瞬态抗扰度 (CMTI) 可确保在高 dv/dt 时无差错运行.

7.5 CMTI 测量

共模瞬态抗扰度 (CMTI) 可分为静态和动态 CMTI, 定义为施加在两个隔离电路之间的最大可容忍上升和下降率的共模电压. CMTI 测试的测量原理如图 17 所示.

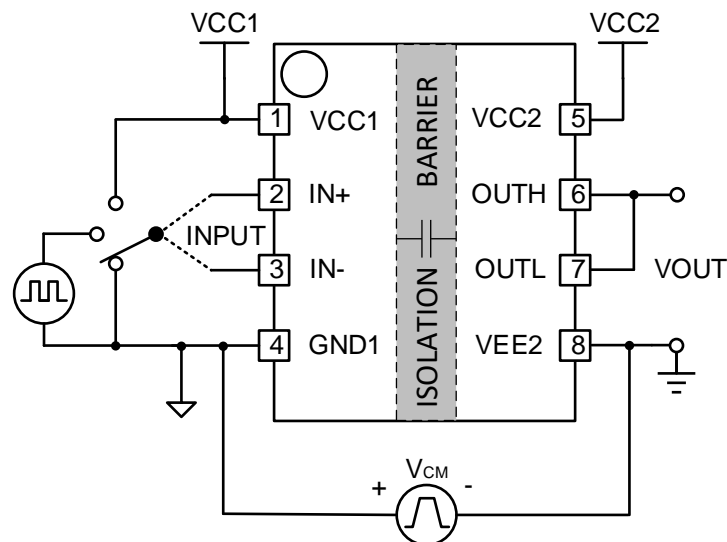


图 18. 共模瞬态抗扰度 (CMTI) 的测量

8. 应用和实现

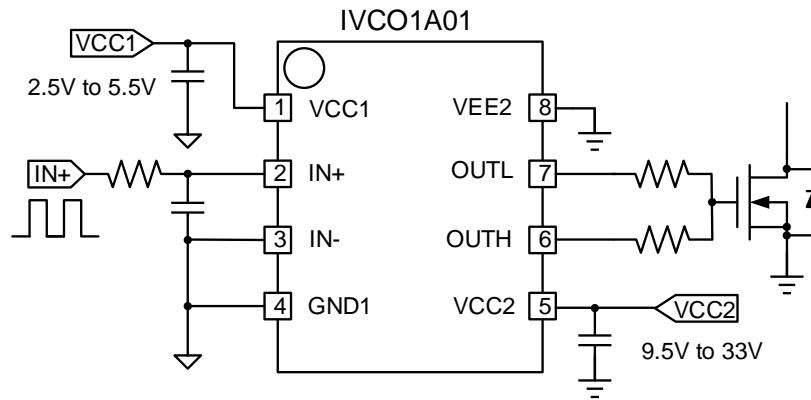


图 19. IN+输入的典型应用电路(IVCO1A01)

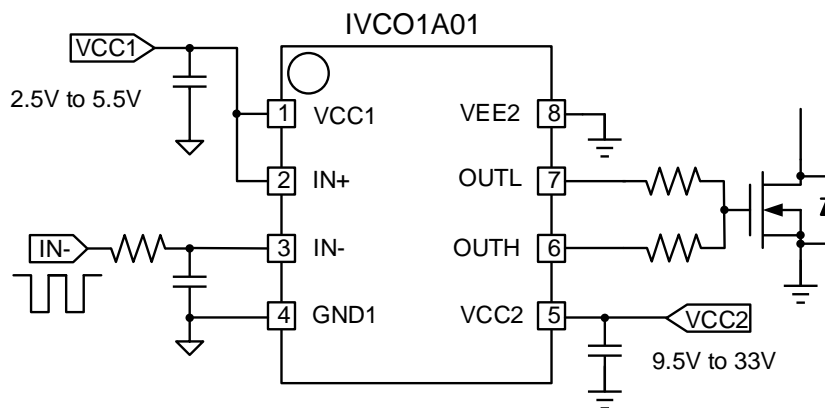


图 20. IN-输入的典型应用电路(IVCO1A01)

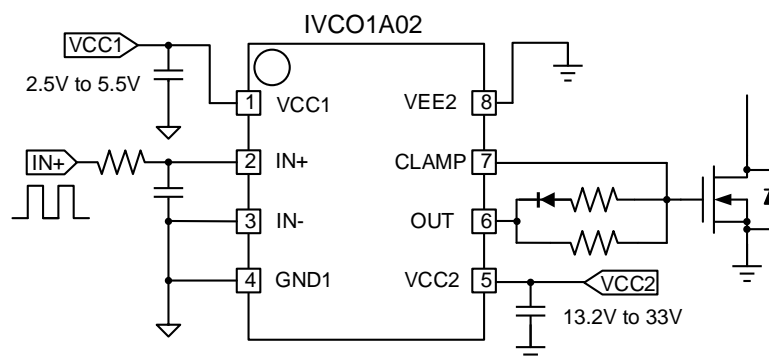


图 21. IN+输入的典型应用电路(IVCO1A02)

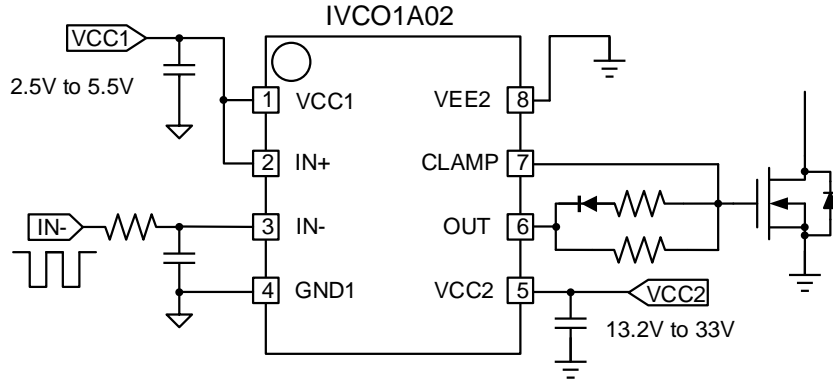


图 22. IN-输入的典型应用电路(IVCO1A02)

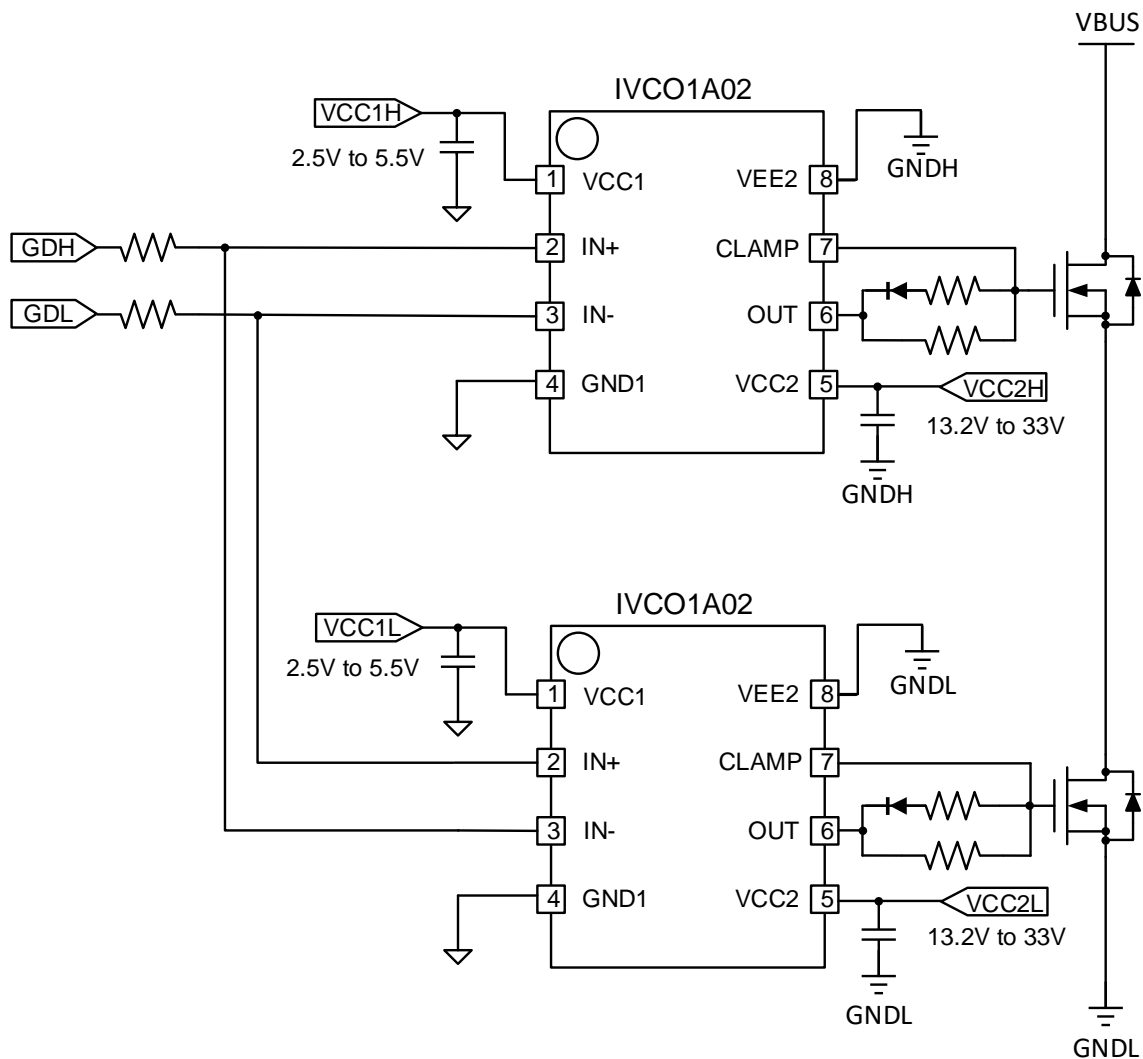


图 23. 典型半桥应用电路

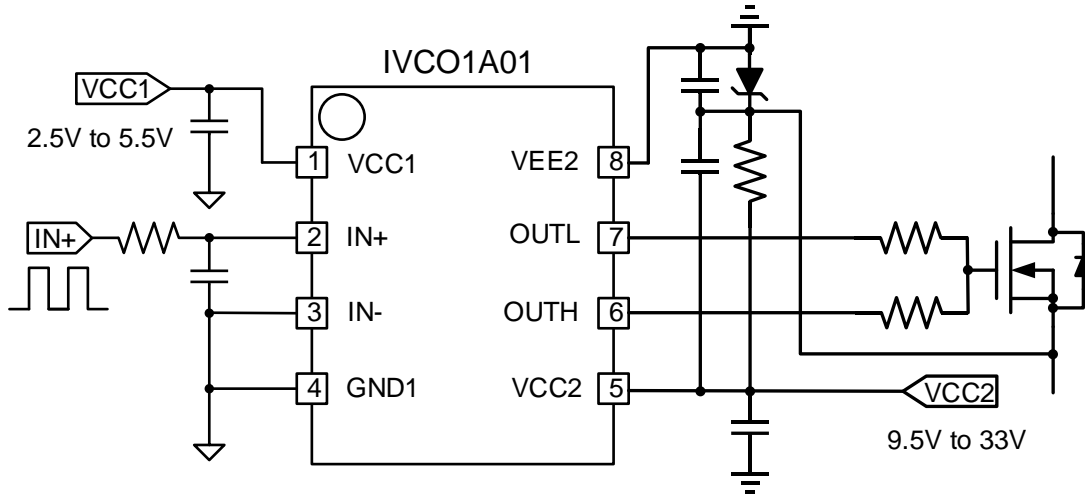


图 24. 稳压二极管产生负压偏置的典型应用电路 (IVCO1A01)

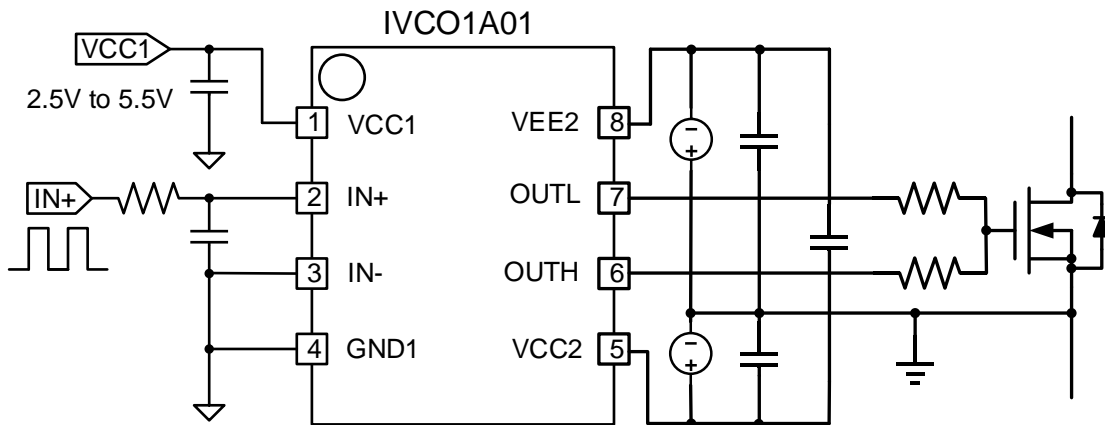


图 25. 双隔离电源产生负压偏置的典型应用电路 (IVCO1A01)

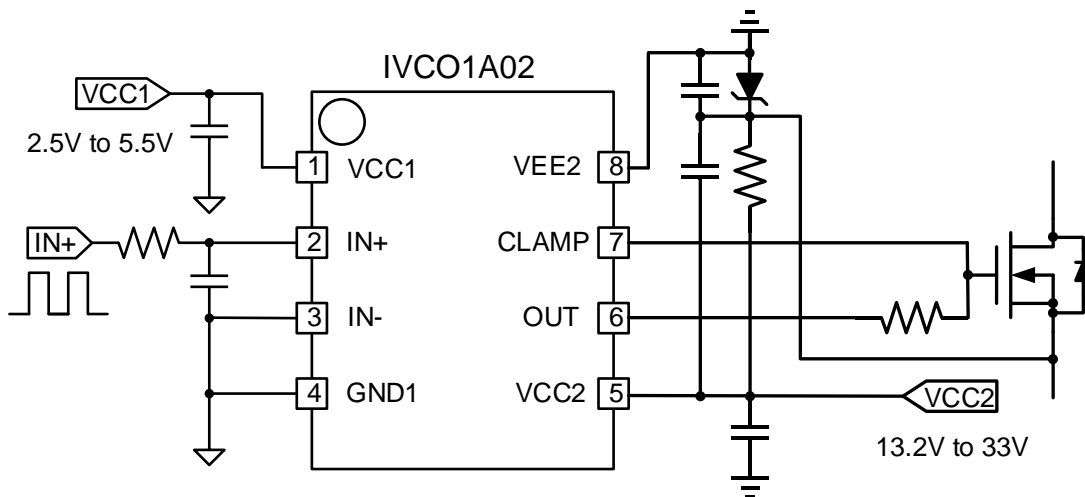


图 26. 稳压二极管产生负压偏置的典型应用电路 (IVCO1A02)

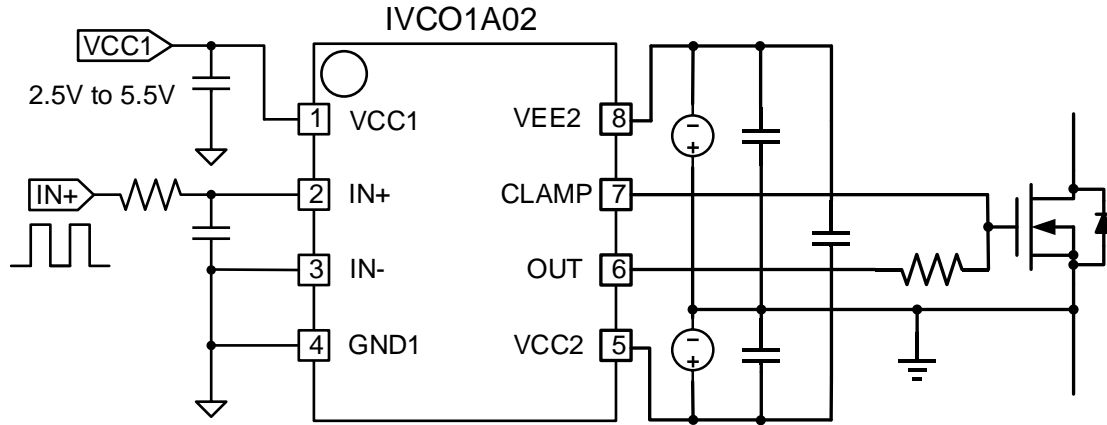


图 27. 双隔离电源产生负压偏置的典型应用电路 (IVCO1A02)

9. PCB 布局

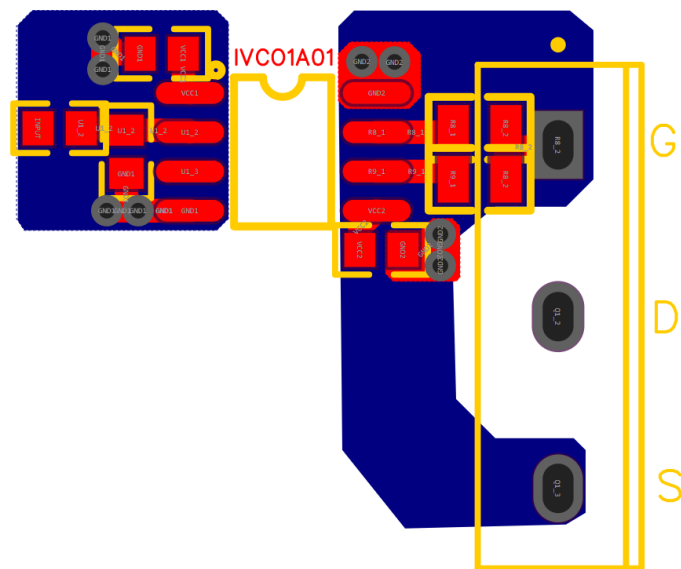


图 28. IVCO1A01DR 布局实例

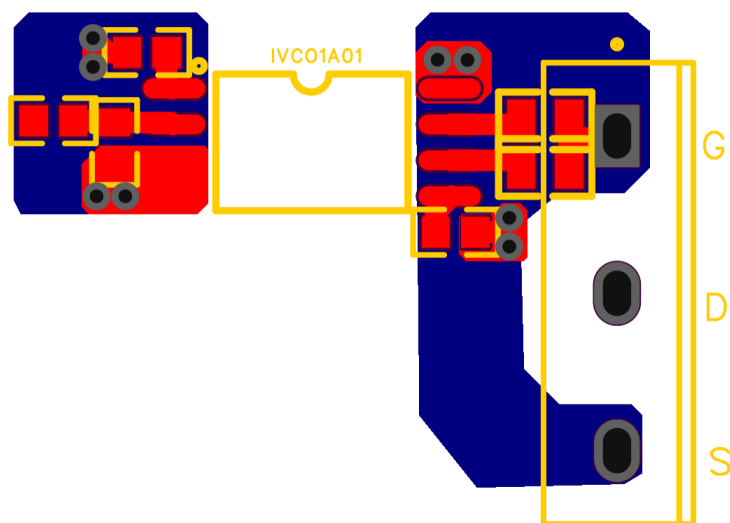
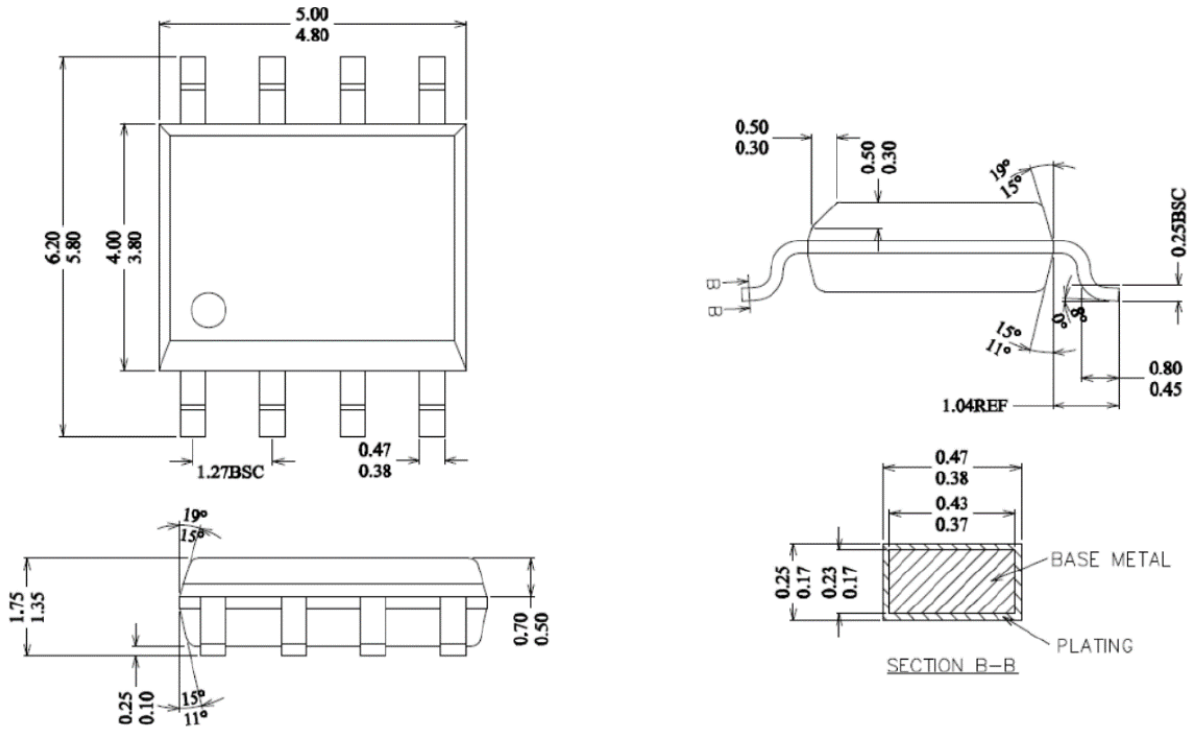


图 29. IVCO1A01DWR 布局实例

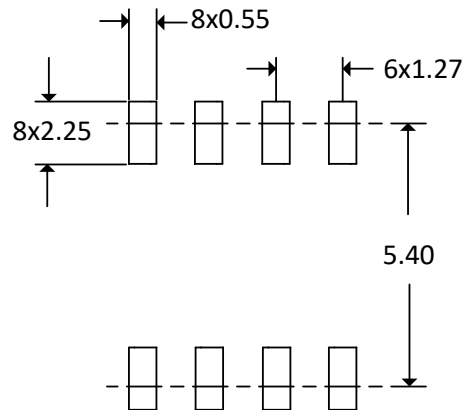
10. 封装信息

8 脚窄体 SOIC [D]



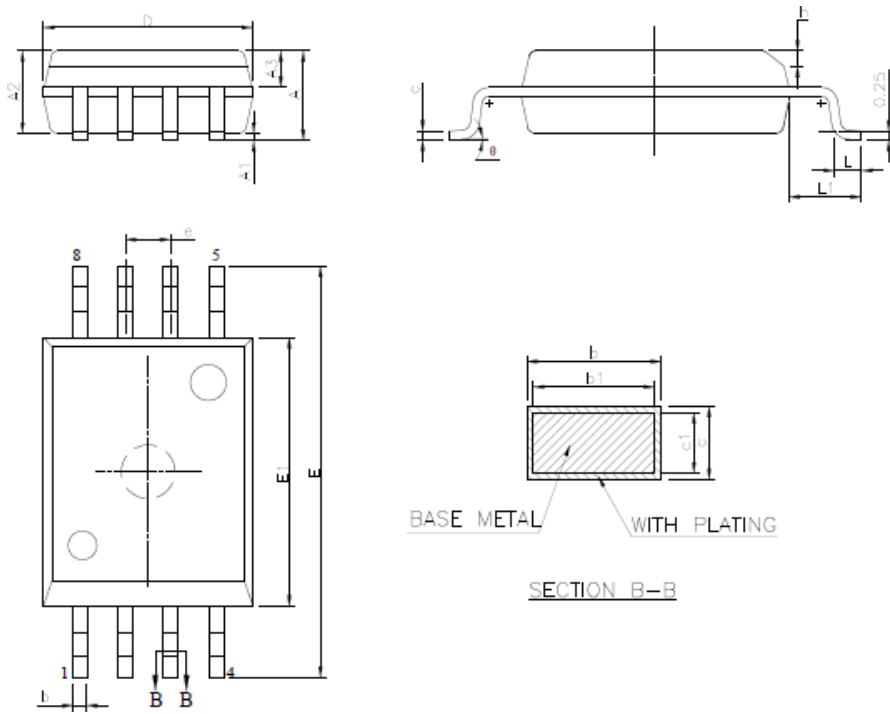
NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MS-012 AA
DO NOT INCLUDE MOLD FLASH OR PROTRUSION.

SOIC-8 封装尺寸 (mm)



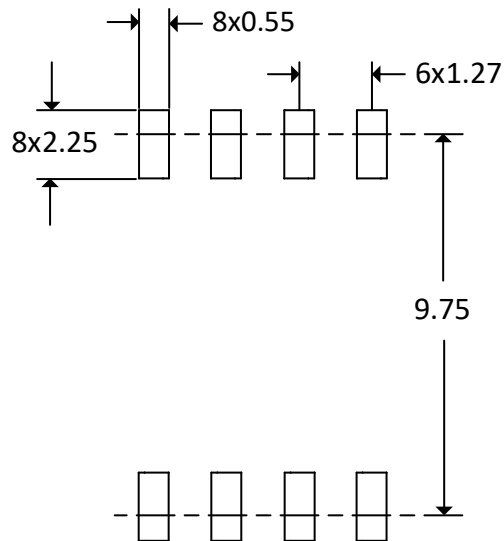
SOIC-8 推荐焊盘尺寸 (mm)

8 脚宽体 SOIC [DW]



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	-	-	2.65
A1	0.10	-	0.30
A2	2.25	2.30	2.35
A3	0.97	1.02	1.07
b	0.39	-	0.47
b1	0.38	0.41	0.44
c	0.25	-	0.29
c1	0.24	0.25	0.26
D	5.75	5.85	5.95
E	11.30	11.50	11.70
E1	7.40	7.50	7.60
e	1.27BSC		
h	0.25	-	0.50
L	0.50	-	1.00
L1	2.00REF		
φ	0	-	8°

SOIC(W)-8 封装尺寸 (mm)



SOIC(W)-8 推荐焊盘尺寸 (mm)

单击下面可查看定价，库存，交付和生命周期等信息

[>>Inventchip\(瞻芯电子\)](#)