

1. 功能描述

- MCTDA808/MCTDA810/DAC812 系列为 8 通道 8/10/12 比特数模转换器
- 内部带输出电压驱动器
- 内部集成低功耗高速 3 线 SPI 接口

2. 芯片特点

- 2.5V-5.5V 供电
- 全系列产品保证全码单调性
- MCTDA808 积分非线性为 $\pm 0.5\text{LSB}$
- MCTDA810 积分非线性为 $\pm 1.5\text{LSB}$
- MCTDA812 积分非线性为 $\pm 6\text{LSB}$
- 3V 供电下功耗低至 90uA/通道
- 5V 供电下功耗低至 100uA/通道
- 芯片关断模式下功耗低至 200nA
- 参考电压支持 0 到 VDD
- 上电复位初始值为 0
- 片上集成轨到轨输出驱动器 (2nF 负载稳定)
- 工作温度支持 -40° 至 $+105^{\circ}$

3. 应用领域

- 工业控制信号产生
- 数字控制增益应用
- 数字控制直流偏差应用
- 数字电位器应用
- 可编程电压控制应用
- 可编程电流控制应用

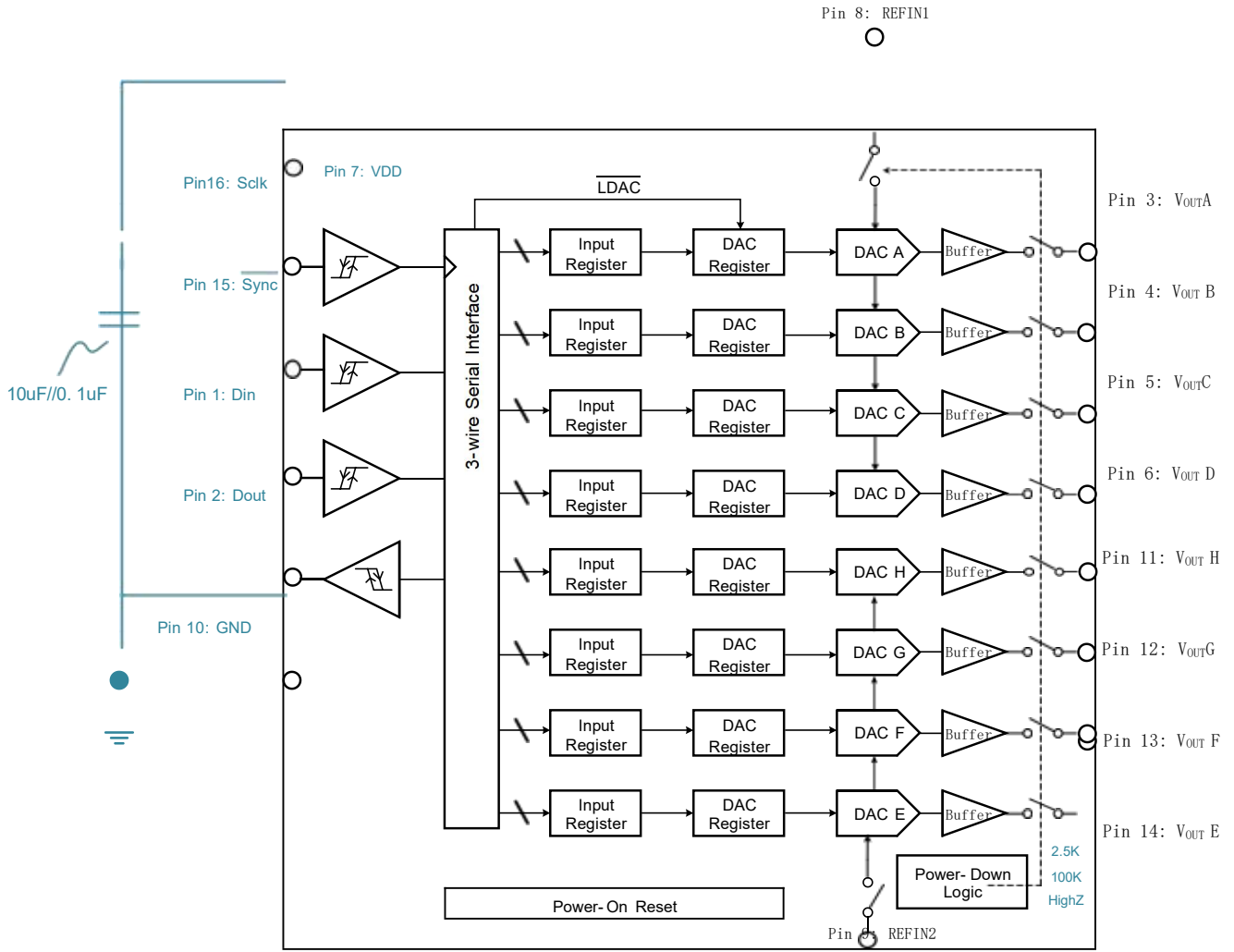
4. 器件选型指南

产品型号	功能定义
MCTDA808	8 通道, 8 比特数模转换器
MCTDA810	8 通道, 10 比特数模转换器
MCTDA812	8 通道, 12 比特数模转换器

5. 器件封装信息

产品型号	封装形式	封装体尺寸
MCTDA808/10/12M	TSSOP- 16L	4.4mm×5mm
MCTDA808/10/12Q	QFN- 16L	3mm×3mm

6. 芯片功能框图



目 录

1.	功能描述.....	1
2.	芯片特点.....	1
3.	应用领域.....	1
4.	器件选型指南.....	1
5.	器件封装信息.....	1
6.	芯片功能框图.....	2
7.	绝对工作条件.....	4
8.	推荐工作条件.....	4
9.	芯片静态特性参数.....	5
10.	芯片动态特性参数.....	6
11.	芯片管脚定义.....	7
	11.1 管脚分布图.....	7
	11.2 管脚功能描述.....	8
12.	芯片工作原理.....	9
	12.1 原理描述.....	9
	12.2 编程接口.....	9
	12.3 菊花链工作模式.....	10
	12.4 串行输入寄存器.....	10
	12.5 休眠模式.....	12
	12.6 上电/断电复位.....	12
13.	芯片外观尺寸图.....	13

7. 绝对工作条件

TA=25° C, unless otherwise noted.

电参数 ¹	电气符号	参数值
VDD to GND	VDDabs	-0.3V to+7V
Digital Input Voltage to GND	VDigabs	-0.3V to VDD+0.3V
Reference Input Voltage to GND	Vrefabs	-0.3V to VDD+0.30.3V
VOUTA through VOUTD to GND	Voutabs	-0.3V to VDD+0.30.3V
Operating Temperature Range		
Industrial	TP	-40° C to +105° C
Storage Temperature Range	TS	-65° C to +150° C
Junction Temperature TJmax	TJmax	150C
Reflow Soldering		
Peak Temperature (Pb-free)		260° C
Peak Temperature (non Pb-free)		220° C
Time at Peak Temperature		10 sec to 40 sec

1. Transient currents of up to 100mA do not cause SCR latch-up.

8. 推荐工作条件

电参数	电气符号	参数值		单位
		最小值	最大值	
供电电压	V _{DD}	2.5	5.5	V
供电电流	I _{DD}	400	600	μA
环境温度	T _a	-40	105	° C

9. 芯片静态特性参数

$V_{DD}=2.5V$ to $5.5V$; $V_{REF}=2V$; $R_L=2K\Omega$ to GND; $C_L=200pF$ to GND; $T_a=25^\circ C$; unless otherwise noted.

电参数	电气符号	测试条件	参数值			单位
			最小	典型	最大	
DC Performance^{1,2} MCTDA808						
Resolution	Res _N			8		Bits
Relative Accuracy	INL			±0.125		LSB
Differential Nonlinearity	DNL	Monotonic Guaranteed		±0.05		LSB
DC Performance^{1,2} MCTDA810						
Resolution	Res _N			10		Bits
Relative Accuracy	INL			±0.5		LSB
Differential Nonlinearity	DNL	Monotonic Guaranteed		±0.05		LSB
DC Performance^{1,2} MCTDA812						
Resolution	Res _N			12		Bits
Relative Accuracy	INL			±2		LSB
Differential Nonlinearity	DNL	Monotonic Guaranteed		±0.2		LSB
Offset Error				±0.4		%of FSR
Gain Error				±0.15		%of FSR
Lower Dead Band		Lower dead band exists only if offset error is negative		20		mV
DC Power Supply Rejection Ratio ³	PSRR	$\Delta V_{DD} = \pm 10\%$		-60		dB
DC Crosstalk ³		$R_L = 2K\Omega$ to GND or VDD		200		μV
Reference Input³ V_{REF} Input Range V_{REF} Input Impedance Reference Feedthrough		Frequency=10KHz	0.25		V_{DD}	V K Ω dB
Output Characteristics³ Minimum Output Voltage ⁴ Maximum Output Voltage ⁴ DC Output Impedance Short Circuit Current Power-Up Time				0 V_{DD} 0.5 25 5		V V Ω mA μS
Logic Input³ Input Low Voltage	V_{IL}	$V_{DD}=3V$			0.6	V

电参数	电气符号	测试条件	参数值			单位
			最小	典型	最大	
Input High Voltage	V_{IH}	$V_{DD}=3V$			2.1	V
Pin Capacitance				3		pF
Power Requirements						
Power supply	V_{DD}		2.5		5.5	V
I_{DD} (Normal Mode) ⁴						
$V_{DD}=4.5V$ to $5.5V$	I_{DD}	$V_{IH}=V_{DD}$ and $V_{IL}=GND$		900		μA
$V_{REF}=2.5V$ to $3.6V$		$V_{IH}=V_{DD}$ and $V_{IL}=GND$		700		μA
I_{DD} (Power-Down Mode)						
$V_{DD}=4.5V$ to $5.5V$		$V_{IH}=V_{DD}$ and $V_{IL}=GND$		0.2		μA
$V_{DD}=2.5V$ to $3.6V$		$V_{IH}=V_{DD}$ and $V_{IL}=GND$		0.08		μA

1 DC specifications tested with outputs unloaded.

2 Linearity is tested using a reduced code range: MCTDA808(Code 7 to Code 249); MCTDA810(Code 28 to Code 995); MCTDA812(Code 115 to Code 3981).

3 Guaranteed by design and characterization, not production tested.

4 For the amplifier output to reach its minimum voltage, offset error must be negative. For amplifier output to reach its maximum voltage, $V_{REF} = V_{DD}$ and offset plus gain error must be positive.

5 I_{DD} specification is valid for all DAC codes; interface inactive; all DACs active; load currents excluded.

10. 芯片动态特性参数

$V_{DD}=2.5V$ to $5.5V$; $V_{REF}=2V$; $R_L=2K\Omega$ to GND; $C_L=200pF$ to GND; $T_a=25^\circ C$; unless otherwise noted.

电参数 ¹	电气符号	测试条件	参数值			单位
			最小	典型	最大	
Output Voltage Setting Time		1/4 scale to 3/4 scale change		8		μS
Slew Rate				0.7		V/ μS
Major-Code Transition Glitch Energy		1 LSB change around major carry		40		nV-sec
Digital Feedthrough				1		nV-sec
Digital Crosstalk				1		nV-sec
DAC-to-DAC Crosstalk				3		nV-sec
Multiplying Bandwidth		$V_{REF} = 2V \pm 0.1V_{p-p}$		200		kHz
Total Harmonic Distortion		$V_{REF} = 2.5V \pm 0.1V_{p-p}$ Frequency = 10 KHz		-70		dB

1 Guaranteed by design and characterization, not production tested.

11. 芯片管脚定义

11.1 管脚分布图

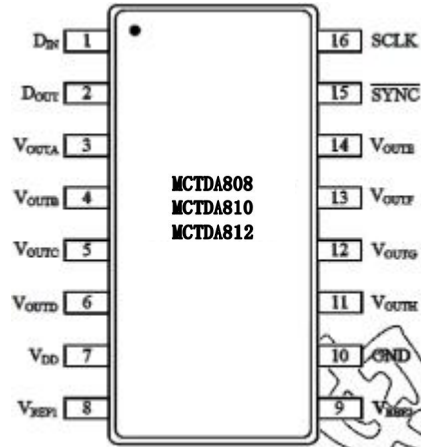


图 1 TSSOP-16L 管脚分布图

11.2 管脚功能描述

管脚名称	管脚编号	管脚功能	详细描述
DIN	1	数字输入	串行数据输入。在帧同步信号变高前，16 个时钟信号下降沿将数据输入至 16 位移位寄存器。
DOUT	2	数字输出	串行数据输出。该数字输出在菊花链模式时使用，用于连接另一块芯片的输入。出现 16 个时钟周期前，帧同步信号变高，该数字输出无效。
VOUTA	3	模拟输出	A 通道模拟输出电压。
VOUTB	4	模拟输出	B 通道模拟输出电压。
VOUTC	5	模拟输出	C 通道模拟输出电压。
VOUTD	6	模拟输出	D 通道模拟输出电压。
VA	7	电源	电源输入。电源输入范围为 2.5V~5.5V，工作时接去耦合电容到地。
VREF1	8	模拟输入	A、B、C、D 通道共享参考电压。电压范围为 0.5V~VA，工作时接去耦合电容到地。
VREF2	9	模拟输入	E、F、G、H 通道共享参考电压。电压范围为 0.5V~VA，工作时接去耦合电容到地。
GND	10	地	整个芯片的地电位参考电压。
VOUTH	11	模拟输出	H 通道模拟输出电压。
VOUTG	12	模拟输出	G 通道模拟输出电压。
VOUTF	13	模拟输出	F 通道模拟输出电压。
VOUTE	14	模拟输出	E 通道模拟输出电压。
SYNCb	15	数字输入	帧同步输入信号。当该信号为低时，数字信号在时钟下降沿写入至输入移位寄存器。时钟信号出现 16 个下降沿后，该信号的上升沿使 DAC 输出更新。若该信号在 15 个上升沿前变高，该信号的上升沿视为中断信号，DAC 的输出将忽略输入序列。
SCLK	16	数字输入	串行时钟输入。在该时钟的下降沿，数字信号被输入至移位寄存器。时钟最高工作频率为 40MHz。

✦ I : Input, O : Output

12. 芯片工作原理

12.1 原理描述

MCTDA808、MCTDA810、MCTDA812 中含有 8 通道 DAC，每个通道都包含一 DAC 寄存器、一个电阻串结构 DAC 和一输出驱动电路。电阻串结构 DAC 通过电阻串分压产生对应的电平，然后开关选择相应输出。每通道输出端都增加了一缓冲驱动电路。

12.2 编程接口

12.2.1 可写寄存器描述

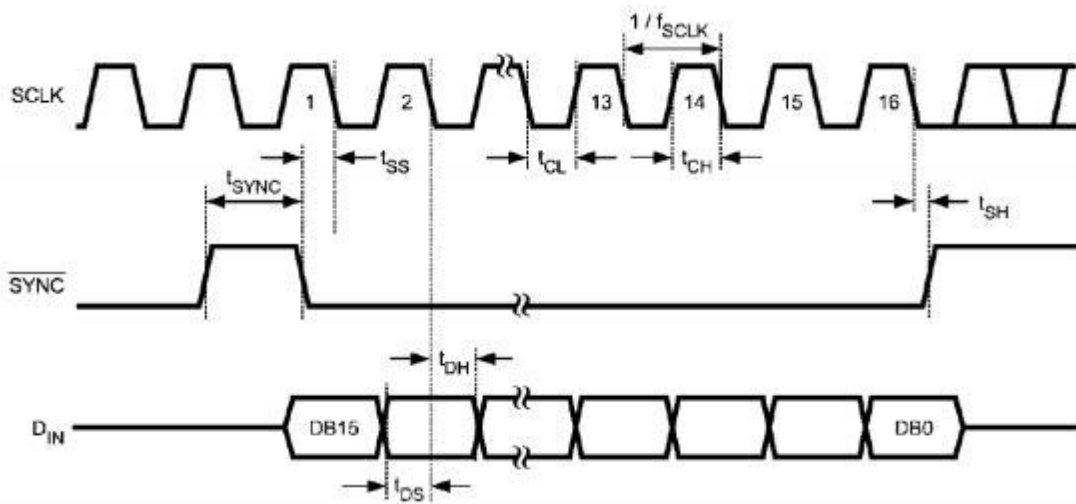


图 2 串行接口时序

输入端的三线串行接口与 SPITM，QSPI 和 MICROWIRE，以及大多数的 DSP 接口兼容，其时钟工作频率最高能达到 40MHz。芯片的写操作在时钟下降沿进行，数据以 16 个周期为一帧，即在一帧数据同步序列内有 16 个时钟下降沿，详细接口时序如图 2 所示。

以写一帧数据为例，当 SYNC 信号拉低，芯片的写操作开始执行，在 D_{IN} 输入的数据通过 SCLK 的下降沿同步至移位寄存器。为了避免时钟错误，需要保证 SYNC 下降沿与时钟下降沿之间的建立时间（SYNC 与 SCLK 的时序关系）。当 SCLK 的第 16 个时钟下降沿到来，最后一位数据写入移位寄存器。此时，SYNC 信号变高，芯片开始进行编程操作（通道选择，模式选择与寄存器内容变更等）。SYNC 信号变高之后的时钟下降沿不会对芯片产生影响。

若 SYNC 在第 15 个时钟下降沿前变高，移位寄存器中写序列操作数据将被视为无效。当时钟沿超过 17 个下降沿时， D_{IN} 的数据将在 D_{OUT} 端口上依次输出。这种操作模式的更多信息可参考菊花链工作模式。

当 D_{IN} 为高时，输入端驱动器需要消耗更多的电流，在写序列有效时， D_{IN} 应当处于闲置状态从而降低功耗。另一方面，当处于菊花链模式 D_{OUT} 有效输出时，同步帧信号应处于空闲状态。

12.3 菊花链工作模式

菊花链(Daisy chain)工作模式允许单个串行控制器同时对多个芯片进行操作，进而减少信号线数目并且简化连接。菊花链工作模式下，所有芯片共享 SYNC 和 SCLK 信号，前一芯片的 D_{OUT} 信号接后一芯片的 D_{IN} 。串行接口接收数据时仍然以帧为单位，当数据长度超过一帧时，芯片在接收当前帧的同时会把前一帧的数据依次从 D_{OUT} 端口输出给后续芯片，进而作为后续芯片的数据输入。当 SYNC 信号上升沿到来时，所有芯片会把当前接收到的帧数据同时更新至串行输入寄存器。

12.4 串行输入寄存器

串行输入寄存器以 16 位为一帧，记为 $DB[15:0]$ ，其中前 4 位 $DB[15:12]$ 为模式控制位，后 12 位 $DB[11:0]$

为数据位。串行输入寄存器的说明一览表如表格1所示。CBM108S085 为 10bit DAC，因此当 $D[15]=0$ 时，

数据位 $D[11:0]$ 中只有 $D[11:2]$ 有效，剩余 $D[1:0]$ 无效。 $D[11]$ 为 MSBD， $[0]$ 为 LSBD。 $B[15:12]$ 把串行输入数据分为 4 种类型，分别是：写数据/DAC 寄存器、模式控制、特殊命令和休眠模式，分别对应不同的功能。

表格 1 串行输入寄存器说明

类型	$DB[15:12]$	$DB[11:0]$	说明
休眠模式	1111	xxxx_HGFEDCBA	$DB[7:0]$ 相应位为 '1' 时，对应通道进入休眠状态，2.5K 欧姆阻抗输出
	1110	xxxx_HGFEDCBA	$DB[7:0]$ 相应位为 '1' 时，对应通道进入休眠状态，100K 欧姆阻抗输出
	1101	xxxx_HGFEDCBA	$DB[7:0]$ 相应位为 '1' 时，对应通道进入休眠状态，高阻输出
特殊命令	1100	D11 D10 ... D1 D0	广播模式：所有通道的数据寄存器和 DAC 寄存器同时更新为 $DB[11:0]$ 的值。
	1011	D11 D10 ... D1 D0	A 通道更新：A 通道的数据寄存器和 DAC 寄存器同时更新为 $DB[11:0]$ ，其它 7 个通道的 DAC

			寄存器也同时更新为对应数据寄存器的值。
	1010	xxxx_HGFEDCBA	更新选择：当 DB[7:0]某位为'1'时，对应通道 DAC 寄存器更新为数据寄存器的值，DAC 输出也随着更新。
模式控制	1001	xxxx_xxxx_xxxx	WTM 模式命令
	1000	xxxx_xxxx_xxxx	WRM 模式命令
写数据/DAC	0111	D11 D10 ... D1 D0	WRM: D[11:0]仅写入 H 通道数据寄存器

所有 DAC 通道都包含两个寄存器：数据寄存器和 DAC 寄存器，更新 DAC 寄存器会直接更新 DAC 的输出模拟信号；数据寄存器暂存串行接口输入的数据，用户可以发送命令把 DAC 寄存器更新为数据寄存器中的值。当所有数据寄存器都写入后，用户可以发送命令控制所有 DAC 通道的输出同时更新。

串行接口控制寄存器的更新有两种方式：

WRM(Write Register Mode)和 WTM(Write Through Mode)。写数据/DAC 寄存器时，WRM 方式下只有数据寄存器被更新，WTM 方式下数据寄存器和 DAC 寄存器同时更新。芯片上电默认采用的是 WRM 方式。

串行输入特殊命令有三个：更新选择、A 通道更新和广播模式。更新选择命令可以选择性的对某一通道进行 DAC 寄存器更新，进而更新 DAC 的输出；A 通道更新命令在写入 A 通道数据的同时更新所有通道的 DAC 输出；广播命令可以把所有通道的数据寄存器和 DAC 寄存器同时更新为同一值。

表格 2 寄存器说明

寄存器			WTM: D[11:0] 直接更新 H 通道 DAC 寄存器
	0110	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 G 通道数据寄存器 WTM: D[11:0] 直接更新 G 通道 DAC 寄存器
	0101	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 F 通道数据寄存器 WTM: D[11:0] 直接更新 F 通道 DAC 寄存器
	0100	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 E 通道数据寄存器 WTM: D[11:0] 直接更新 E 通道 DAC 寄存器
	0011	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 D 通道数据寄存器 WTM: D[11:0] 直接更新 D 通道 DAC 寄存器
	0010	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 C 通道数据寄存器 WTM: D[11:0] 直接更新 C 通道 DAC 寄存器
	0001	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 B 通道数据寄存器 WTM: D[11:0] 直接更新 B 通道 DAC 寄存器

	0000	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 A 通道数据寄存器 WTM: D[11:0] 直接更新 A 通道 DAC 寄存器
--	------	-------------------	--

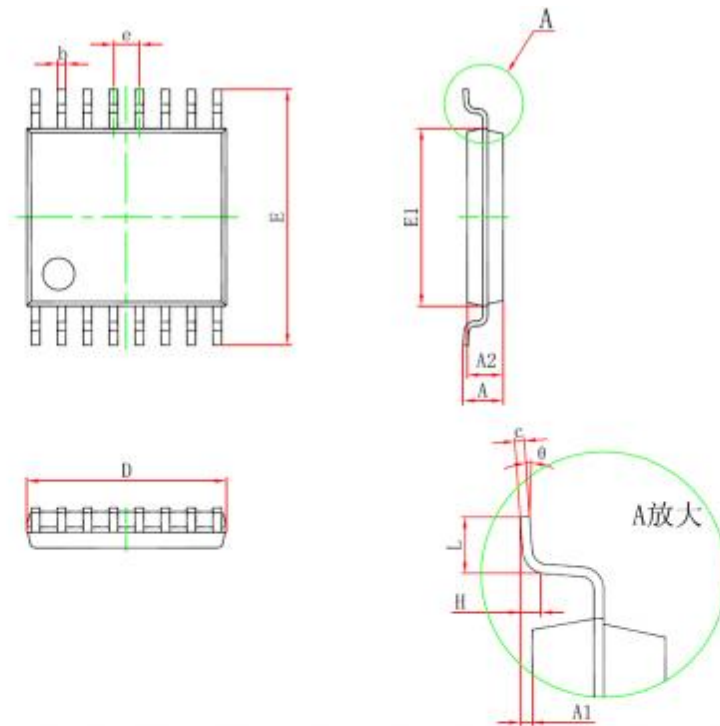
12.5 休眠模式

8 通道 DAC 均可以单独配置为休眠模式，休眠模式通过设置串行输入寄存器来完成，设置 DB[15:12] 为所需的休眠模式，并把需要休眠的通道对应位设置为“1”。当 8 通道 DAC 全部休眠后，芯片内部的偏置电路也一并休眠，不过芯片内部断电复位电路此时仍然在正常工作，消耗电流的典型值约为 10uA。

12.6 上电/断电复位

芯片内部同时含有上电复位和断电复位电路，该复位电路同时控制所有通道的输出，复位后所有通道的数据/DAC 寄存器设置为全 0，DAC 的最终输出也为 0 电平。当电源电压升高至芯片最低工作电压后产生复位操作。电复位发生在芯片电源断电过程中，当电源电压低于约 2.7V 时，产生复位操作。

13. 芯片外观尺寸图



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	4.900	5.100	0.193	0.201
E	6.250	6.550	0.246	0.258
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	4.300	4.500	0.169	0.177
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65 (BSC)		0.026 (BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
theta	1°	7°	1°	7°

图 3 TSSOP16L 外形尺寸图



该集成电路可能会被ESD损坏。我们建议在处理所有集成电路时采取适当的预防措施。不遵守正确的处理和安装程序会导致损坏。ESD损害的范围从细微的性能下降到完全的器件故障。精密集成电路可能更容易损坏，因为非常小的参数变化都可能导致器件不符合其公布的规格。

单击下面可查看定价，库存，交付和生命周期等信息

[>>MCT\(南京模数\)](#)