

产品特性:

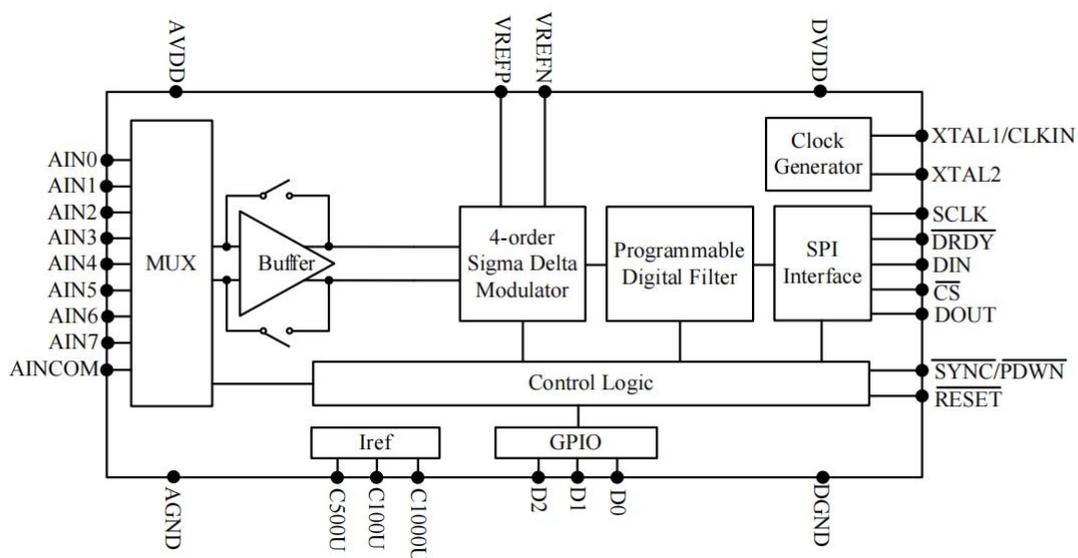
- **24 位，无失码**
- **高达 22 位的无噪声分辨率**
- **±0.002%非线性度**
- **最高 7.5Ksps 的输出数据速率**
- **快速通道循环**
- **单周期的单次转换**
- **灵活的输入多路复用器**
 - 四路差分输入
 - 八路单端输入
- **斩波稳定型输入缓冲器**
- **自校准及系统校准**
- **SPI 兼容串行接口**
- **模拟电源电压:5V，数字电源电压:1.8-3.3V**
- **功耗**
 - 正常模式下低至 **45mW**
 - 待机模式下为**0.45mW**

应用

- 工业控制
- 科学仪器
- 医疗设备
- 测试与测量
- 电子秤

MCT1254是一款高精度数据采集芯片，内部集成了超低噪声的24位模数转换器和高精度的恒流源。它可为最高精度要求的应用提供完整的高分辨率测量解决方案。其中模数转换器由一个4阶Sigma-Delta($\Delta\Sigma$)调制器和一个可编程数字滤波器组成。可选输入缓冲器大大增加了输入阻抗。可编程滤波器允许用户在最高22位无噪声分辨率和最高每秒7.5k的采样速率（SPS）之间进行折中选择。转换器提供快速通道循环来测量多路复用输入，还可以执行单次转换，只需一个周期即可完成。

转换器通过一个SPI可兼容的串行接口进行通信，该接口可以通过双线连接进行操作。板载校准支持对自身和系统的失调和增益误差进行自校正和系统校正。MCT1254封装形式为QFN40L。



订购信息

更详细的封装信息请参见本文档末尾附录的封装选项

绝对最大额定值

除非另有说明，否则超过自由空气温度范围⁽¹⁾。

	MCT1254	单位
AVDD 至 AGND	-0.3 至 +6	V
DVDD 至 DGND	-0.3 至 +3.6	V
AGND 至 DGND	-0.3 至 +0.3	V
输入电流	100, 短暂	mA
	10, 持续	mA
模拟输入至 AGND	-0.3 至 AVDD + 0.3	V
数字输入	-0.3 至 DVDD + 0.3	V
工作温度范围	-55 至 +105	°C
存储温度范围	-60 至 +150	°C
有铅温度 (焊接, 10 秒)	+300	°C

⁽¹⁾上面列出的绝对最大额定值可能会对设备造成永久损坏。长期暴露于绝对最大条件可能会降低设备的可靠性。这些只是应力额定值，并不意味着设备在这些或任何其他超出规定条件下的功能运行。



该集成电路可能会被静电放电 (ESD) 损坏。我们建议所有集成电路都应采取适当的预防措施。不遵守正确的操作和安装程序可能会导致损坏。静电放电造成的损坏可从细微的性能下降到复杂的设备故障。精密集成电路可能更容易损坏，因为非常小的参数变化都可能导致器件不符合其公布的性能和规格。

MCT1254

超高精度 24 位模拟数字转换芯片

电气特性

所有规格都为 -40°C to +85°C, AVDD = +5V, DVDD = +3.3V, f_{CLKIN} = 7.68MHz, PGA = 1, and VREF = +2.5V, 除非另有说明.

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
全量程输入电压 (AIN _P - AIN _N)		±2V _{REF}			V
绝对输入电压 (AIN0-7, AINCOM 至 AGND)	缓冲器关闭	AGND - 0.1	AVDD + 0.1		V
	缓冲器开启	AGND + 0.1	AVDD - 2.0		V
差分输入阻抗	缓冲器关闭,	130			KΩ
	缓冲器开启	70			MΩ
系统性能					
分辨率		24			Bit
无失码	全数据流	24			Bit
数据速率	f _{CLKIN} = 7.68MHz	1.25	7,500		SPS ⁽¹⁾
积分非线性	差分输入	±0.001			%FSR ⁽²⁾
失调误差	校准后	在噪声的水平上			
失调漂移		±110			nV/°C
增益误差	校准后, Buffer on	±0.005			%
增益漂移		±1			ppm/°C
共模抑制比		105			dB
噪声		见噪声性能表			
AVDD 电源抑制	±5% Δ in AVDD	70			dB
DVDD 电源抑制	±10% Δ in DVDD	102			dB
基准电压输入					
基准输入电压 (V _{REF})	V _{REF} = VREFP - VREFN	0.5	2.5	2.6	V
负基准输入 (VREFN)	缓冲器关闭	AGND - 0.1	VREFP - 0.5		V
	缓冲器开启 ⁽⁵⁾	AGND + 0.5	VREFP - 0.5		V
正基准输入 (VREFP)	缓冲器关闭	VREFN + 0.5	AVDD + 0.1		V
	缓冲器开启 ⁽⁵⁾	VREFN + 0.5	AVDD - 2.0		V
电压基准阻抗	f _{CLKIN} = 7.68MHz	18			KΩ
基准电流输出					
基准输出值		-4%	100(500/1000)	+4%	μA

电气特性 (续)

所有规格都为 -40°C 到 +85°C, AVDD = +5V, DVDD = +3.3V, f_{CLKIN} = 7.68MHz, PGA = 1, and VREF = +2.5V, 除非另有说明.

参数	测试条件	最小值	典型值	最大值	单位
数字输入/输出					
V _{IH}		0.8 DVDD		DVDD	V
V _{IL}		DGND		0.2 DVDD	V
V _{OH}	I _{OH} = 5mA	0.8 DVDD			V
V _{OL}	I _{OL} = 5mA	DVDD		0.2	V
输入迟滞			0.5		V
输入漏电流	0 < V _{DIGITAL INPUT} < DVDD		±10		µA
主时钟频率	XTAL1 和 XTAL2 间的外部晶振	2	7.68	8	MHz
	外部振荡器驱动 CLKIN	0.1	7.68	8	MHz
电源					
AVDD		4.75		5.25	V
DVDD		1.8		3.6	V
AVDD 电流	掉电模式		1		µA
	备用模式		25		µA
	正常模式, 缓冲器关闭		7		mA
	正常模式, 缓冲器开启		14		mA
DVDD 电流	掉电模式		1		µA
	备用模式, CLKOUT 关闭, DVDD = 3.3V		100		µA
	正常模式, CLKOUT 关闭, DVDD = 3.3V		3		mA
功耗	正常模式, 缓冲器关闭, DVDD = 3.3V		45		mW
	待机模式, DVDD = 3.3V		0.45		mW
温度范围					
额定环境温度		-40		+85	°C
允许的工作环境温度		-55		+105	°C
存储环境温度		-60		+150	°C

(1) SPS = samples per second 每秒采样数。

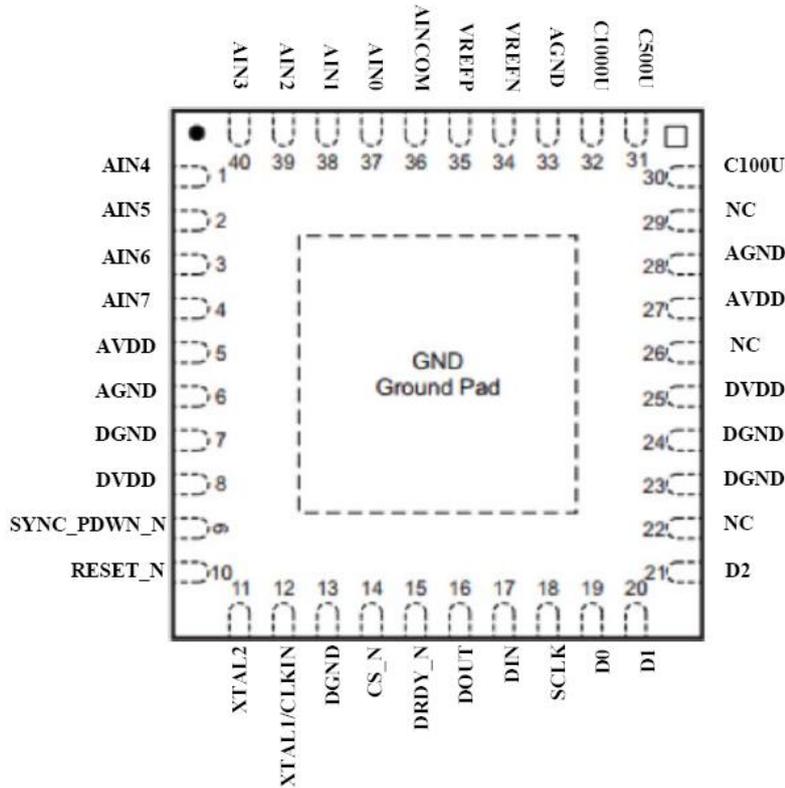
(2) FSR = 满刻度量程 = 4V_{REF}/PGA.

(3) f_{CM} 是共模输入信号的频率。

(4) 在数字滤波器 60Hz 处放置一个陷波 (设置 f_{DATA} = 60SPS, 30SPS, 15SPS, 10SPS, 5SPS, 或者 2.5SPS) 将进一步改善该频率的共模抑制。

(5) 只有在使用自校准或增益自校准时, 带缓冲器的基准输入范围才被限制。如果使用系统校准或将校准值直接写入寄存器, 则可以使用整个缓冲区关闭范围。

QFN40L 封装引脚信息(俯视图)



引脚描述

名称	引脚编号	功能	描述
AIN4	1	模拟输入	模拟输入 4
AIN5	2	模拟输入	模拟输入 5
AIN6	3	模拟输入	模拟输入 6
AIN7	4	模拟输入	模拟输入 7
AVDD	5	模拟	模拟电源
AGND	6	模拟	模拟地
DGND	7	数字	数字地
DVDD	8	数字	数字电源
$\overline{\text{SYNC_PDWM}}$	9	数字输入 ⁽¹⁾⁽²⁾	同步 / 掉电输入, 低电平有效
$\overline{\text{RESET}}$	10	数字输入 ⁽¹⁾⁽²⁾	复位输入, 低电平有效
XTAL2	11	数字 ⁽³⁾	晶振连接
XTAL1/CLKIN	12	数字/数字输入 ⁽²⁾	晶振连接/外部时钟输入, 如果不用则接地
DGND	13	数字	数字地
$\overline{\text{CS}}$	14	数字输出 ^{t(1)(2)}	片选, 低电平有效
$\overline{\text{DRDY}}$	15	数字输出	数据输出就绪, 低电平有效
DOUT	16	数字输出	串行数据输出
DIN	17	数字输入 ⁽¹⁾⁽²⁾	串行数据输入
SCLK	18	数字输入 ⁽¹⁾⁽²⁾	串行时钟输入

MCT1254

超高精度 24 位模拟数字转换芯片

D0	19	数字输入输出口(4)	数字 I/O 0, 仅测试, 不供自定义使用。
D1	20	数字输入输出口(4)	数字 I/O 1, 仅测试, 不供自定义使用。
D2	21	数字输入输出口(4)	数字 I/O 2, 仅测试, 不供自定义使用。
NC	22	/	无连接
DGND	23	数字	数字地
DGND	24	数字	数字地
DVDD	25	数字	数字电源
NC	26	/	无连接
AVDD	27	模拟	模拟电源
AGND	28	模拟	模拟地
NC	29	/	无连接
C100U	30	模拟	100uA 输出电流
C500U	31	模拟	500uA 输出电流
C1000U	32	模拟	1000uA 输出电流
AGND	33	模拟	模拟地
VREFN	34	模拟输入	负基准输入
VREFP	35	模拟输入	正基准输入
AINCOM	36	模拟输入	模拟输入共模
AIN0	37	模拟输入	模拟输入 0
AIN1	38	模拟输入	模拟输入 1
AIN2	39	模拟输入	模拟输入 2
AIN3	40	模拟输入	模拟输入 3

(1)施密特触发器数字输入.

(2)3.3V 宽容的数据输入

(3).当外部时钟输入被加在 XTAL1/CLKIN 时断开连接.

(4).当数字 I/O 被设置成输出, 施密特触发器数字输入.

参数测量信息

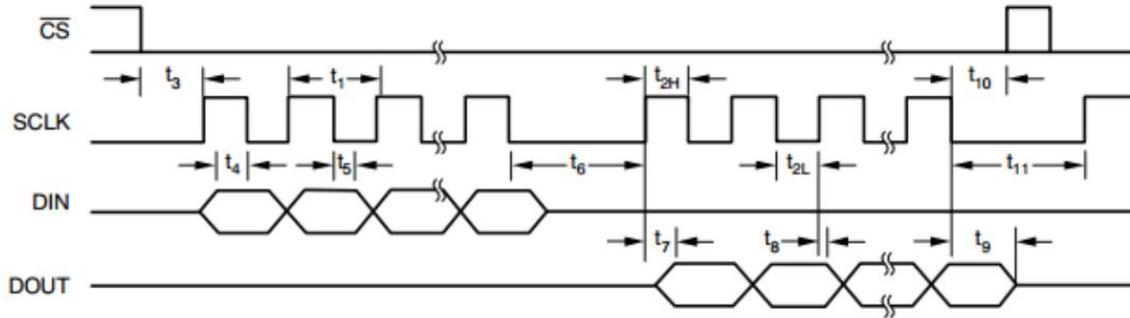


Figure 1. 串行接口时序

图 1 的时序特性

标识	描述	最小值	最大值	单位
t ₁	SCLK period	4		T _{CLKIN} ⁽¹⁾
			10	T _{DATA} ⁽²⁾
t _{2H}	SCLK 脉冲宽度：高	200		ns
			9	T _{DATA}
t _{2L}	SCLK 脉冲宽度：低	200		ns
t ₃	\overline{CS} 降低至第一个 SCLK: 建立时间 ⁽³⁾	0		ns
t ₄	有效 DIN 至 SCLK 下降沿: 建立时间	50		ns
t ₅	有效 DIN 至 SCLK 下降沿: 保持时间	50		ns
t ₆	从 DIN 的最后一个 SCLK 边缘延迟到 DOUT 的第一个 SCLK 上升沿: RDATA、RDATA \overline{C} 、RREG 命令	50		T _{CLKIN}
t ₇	SCLK 上升沿到有效的新的 DOUT: 传播延迟 ⁽⁴⁾		50	ns
t ₈	SCLK 上升沿到 DOUT 无效: 保持时间	0		ns
t ₉	最后一个 SCLK 下降边缘到 DOUT 高阻抗状态 注: 当 \overline{CS} 变高时 DOUT 立即进入高阻抗状态	6		T _{CLKIN}
		10		
t ₁₀	最后一个 SCLK 下降沿后 \overline{CS} 变低	8		T _{CLKIN}
t ₁₁	命令的最后一个 SCLK 下降沿到下一个命令的第一个 SCLK 上升沿	RREG, WREG, RDATA	4	T _{CLKIN}
		RDATA \overline{C} , \overline{SYNC}	24	T _{CLKIN}
		RDATA \overline{C} , \overline{RESET} , $\overline{STANDBY}$, $\overline{SELFOCAL}$, $\overline{SYSOCAL}$, $\overline{SELFGCAL}$, $\overline{SYSGCAL}$, $\overline{SELFCAL}$		等待 \overline{DRDY} 降低

⁽¹⁾T_{CLKIN}= 主时钟频率 = 1/f_{CLKIN}.

⁽²⁾T_{DATA}= 输出数据周期 1/f_{DATA}.

⁽³⁾ \overline{CS} 可以接低.

⁽⁴⁾ DOUT 负载 = 20pF || 100kΩ至 DGND.

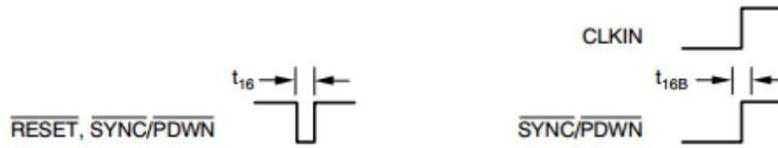


Figure 3. RESET和SYNC_PDWM时序

图 3 的时序特性

标识	描述	最小值	最大值	单位
t_{16}	RESET和SYNC_PDWM脉冲宽度	4		$T_{CLKIN}^{(1)}$
t_{16B}	SYNC_PDWM上升沿到 CLKIN 上升沿	-25	25	ns

⁽¹⁾ T_{CLKIN} = 主时钟周期 = $1/f_{CLKIN}$.



Figure 4. DRDY更新时序

图 4 的时序特性

标识	描述	最小值	最大值	单位
t_{17}	转换数据在更新时无效 (DRDY显示时没有数据检索)	16		$T_{CLKIN}^{(1)}$

⁽¹⁾ T_{CLKIN} = 主时钟周期 = $1/f_{CLKIN}$.

概述

MCT1254 是超低噪声的模数转换器，支持四路差分输入或八路单端输入。

图 5 显示了 MCT1254 的框图，通过输入多路复用器选择连接到模数转换器的通道。一个可选的片上输入缓冲器提供高达 70MΩ 的阻抗，极大地降低了电路的输入负载。MCT1254 转换器由一个四阶 sigma-delta 调制器和一个可编程数字滤波器组成。调制器测量放大的差分输入信号 $V_{IN} = (A_{INP} - A_{INN})$ ，相对于差分参考电压 $V_{REF} = (V_{REFP} - V_{REFN})$ 。差分参考电压在内部按 2 倍放大，因此满量程输入范围为 $\pm 2 * V_{REF}$ 。

随后，数字滤波器接收调制器信号，并提供低噪声数字输出。滤波器的速率在主频 7.68MHz 工作时在 1.25SPS 至 7.5kSPS 范围内可调，并允许在分辨率和速度之间进行权衡选择。通信是通过一个 SPI 兼容的串行接口完成的，通过一组简单的命令对 MCT1254 进行控制。片上寄存器用于存储输入多路复用器、输入缓冲器使能信息、转换速率等的各种设置。可以使用外部晶体或时钟振荡器来提供时钟源。该器件还可以提供两路精密恒流源输出，分别为 100uA，500uA 和 1000uA。

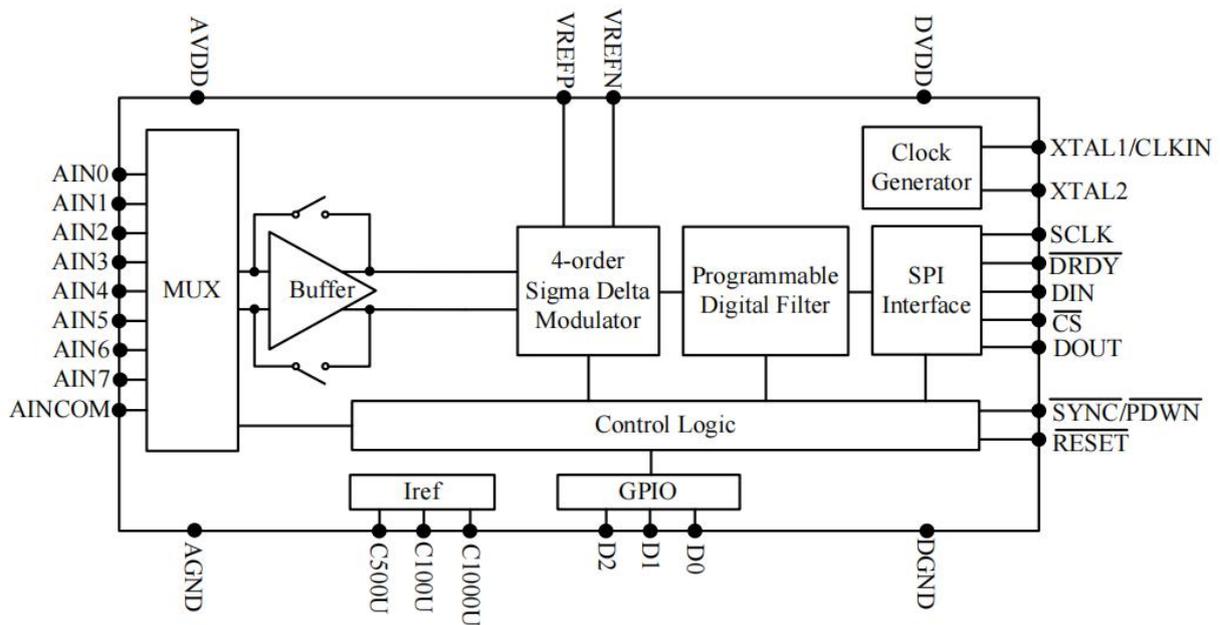


Figure 5. 方框图

噪声性能

MCT1254 提供了出色的噪声性能，并且可通过调整数据速率进行优化选择。随着转换速率的降低，噪声也会相应降低。表 1 到表 6 总结了外部输入短路时的典型噪声性能。所有表中数据的测试条件为：T = +25°C，AVDD = 5V，DVDD = 1.8V，VREF= 2.5V，f_{CLKIN}= 7.68MHz。表 1 到表 3 中未开启输入缓冲器。表 1 列出了输入参考噪声的有效值，单位是 V。表 2 则是以表 1 中的噪声数据，列出了有效位数(ENOB)。

由表 1 中的噪声数值. ENOB 定义为:

$$ENOB = \frac{\ln(FSR/RMS\ Noise)}{\ln 2}$$

其中 FSR 为全量程。表 3 列出了了无噪声的分辨率。相对于表 2，除采用峰值噪声值而不是均方根噪声值外，计算 ENOB 的公式是相同的。表 4 到表 6 则是开启了输入缓冲器的噪声数据。

DATA RATE (SPS)	Input noise
2.5	0.36
5	0.38
10	0.43
15	0.45
25	0.54
30	0.63
50	0.72
60	0.81
100	1.08
500	2.7
1000	3.6
2000	5.04
3750	10.4
7500	16.3

表 2. 缓冲器关闭时的有效位数 (ENOB, rms)

DATA RATE (SPS)	ENOB
2.5	24.7
5	24.6
10	24.5
15	24.4
25	24
30	23.9
50	23.6
60	23.5
100	23
500	21.8
1000	21.4
2000	20.9
3750	19.8
7500	19.2

表 3. 缓冲器关闭时的无噪声分辨率 (bits)

表 1. 缓冲器关闭时的输入等效噪声 (μV, rms)

DATA RATE (SPS)	NF Resolution
2.5	21.9
5	21.8
10	21.6
15	21.3
25	21.2
30	21.1
50	20.8
60	20.7
100	20.2
500	19.0
1000	18.6
2000	18.1
3750	17.0
7500	16.4

表 4. 缓冲器开启时的输入等效噪声 (μV , rms)

DATA RATE (SPS)	NF Resolution
2.5	21.8
5	21.7
10	21.6
15	21.5
25	21.2
30	21.0
50	20.8
60	20.6
100	20.0
500	18.9
1000	18.6
2000	18.0
3750	16.8
7500	16.3

输入多路复用器

图 6 为输入多路复用器的简化图。这个模块允许任何模拟输入引脚与另外任意一个构成差分输入。即任意引脚均可选择为正输入 (AINP); 同样, 任何引脚都可以选择为负输入 (AINN)。引脚的选择由多路复用寄存器控制。

MCT1254 提供了 9 个模拟输入端口, 可以作为 4 个独立的差分输入使用, 也可以作为 8 个单端输入使用, 或者差分和单端输入的组合。

一般来说, 输入引脚的选择没有限制。然而, 为了获得最佳模拟性能, 建议按照以下说明使用。

1、对于差分输入, 使用 AIN0 到 AIN7, 最好是相邻的端口。例如, 使用 AIN0 和 AIN1, 不使用 AINCOM。

2、对于单端输入, 使用 AIN0 到 AIN7, 然后将 AINCOM 作为公共输入

DATA RATE (SPS)	Input noise
2.5	0.38
5	0.39
10	0.44
15	0.46
25	0.56
30	0.64
50	0.74
60	0.84
100	1.1
500	2.73
1000	3.64
2000	5.08
3750	10.5
7500	16.5

表 5. 缓冲器开启时的有效位数 (ENOB, rms)

DATA RATE (SPS)	ENOB
2.5	24.6
5	24.5
10	24.4
15	24.3
25	24
30	23.8
50	23.6
60	23.4
100	22.8
500	21.7
1000	21.4
2000	20.8
3750	19.6
7500	19.1

表 6. 缓冲器开启时的无噪声分辨率 (bits)

3、让未使用的模拟输入端口保持悬空，这样输入漏电流最小。有 ESD 二极管用来保护模拟输入端口，为了保持这些二极管不打开，确保输入引脚上的电压不低于 AGND 100mV 以上，同样也不要高于 AVDD 100mV 以上。另外，有一

点值得注意的是，当使用 MCT1254 进行单端输入测量工作时，公共输入 AINCOM 不一定非要接地，你可以接工作区域内的任何电压比如 +2.5V 甚至 AVDD。

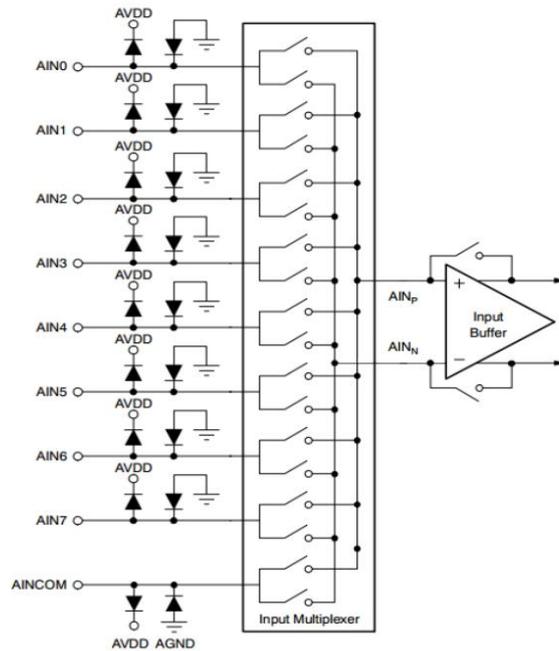


Figure 6. 输入多路复用器的简单框图

模拟输入缓冲器

可以启用低温漂斩波稳定缓冲器来大幅提高 MCT1254 的输入阻抗。缓冲器启用后的输入阻抗可以由电阻模型表示，如图 8 所示。表 7 列出了不同转换速率下 Z_{eff} 的值。输入阻抗与 CLKIN 频率成反比。例如，如果 f_{clkIn} 减少一半到 3.84MHz， Z_{eff} 在 50SPS 下的值就会从 70MΩ 增加到 140MΩ。

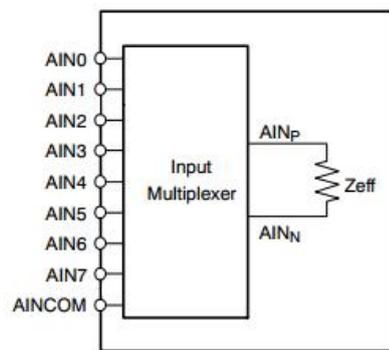


Figure 8. 缓冲器开启时的等效输入阻抗

表 7. 缓冲器开启时的输入阻抗

DATA RATE (SPS)	Z _{eff} (MΩ)
≤50	70
60	40
100	40
500	40
1000	20
2000	10
3750	10
7500	10

注: f_{CLKIN} = 7.68MHz.

启用缓冲器后，模拟输入相对于地的电压（在电气特性中作为绝对输入电压列出）必须保持在 AGND+0.5 和 AVDD - 2.0V 之间。超过这个范围就会降低性能，特别是 MCT1254 的线性度。同样是这个范围，AGND+0.5 到 AVDD - 2.0V，也适用于在启用缓冲区时进行自增益校准的参考输入。

调制器输入电路

MCT1254 调制器通过内部电容，不断充电和放电来测量输入信号。图 9 显示了禁用输入缓冲器的 MCT1254 输入电路的简化原理图。图 10 显示了图 9 的 S1 和 S2 的开/关时间。S1 开关在输入采样阶段闭合。S1 闭合，CA1 为 AINP 充电，CA2 为 AINN 充电，CB 为(AINP - AINN)充电。在放电阶段，S1 先断开，然后 S2 闭合。CA1 和 CA2 放电约至 AVDD/2，CB 放电至 0V。这种两相的采样/放电循环以一个 T_{SAMPLE} 为周期。这个时间是 PGA 设置的函数，如表 9 所示，以及电容器 CA1= CA2 = CA 和 CB 的值。

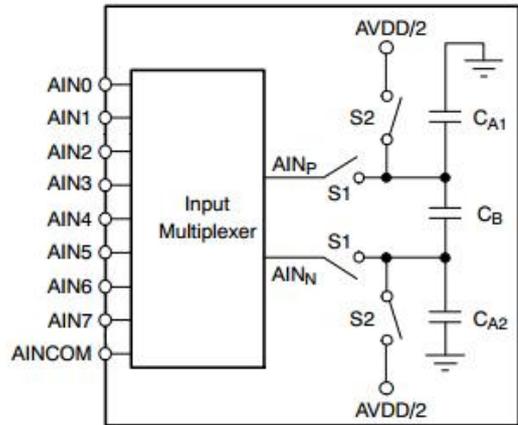


Figure 9. 缓冲器关闭时的输入结构简图

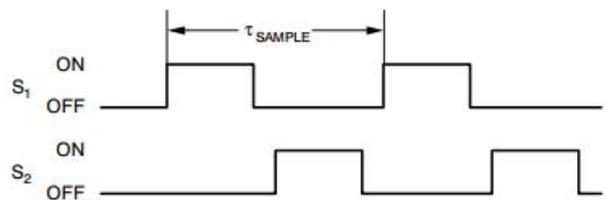


Figure 10. 图 9 中 S1 和 S2 开关时序

表 9. 输入采样时间 T_{SAMPLE}⁽¹⁾, C_A, C_B

T _{SAMPLE}	C _A	C _B
f _{CLKIN} /4 (260ns)	2.1pF	2.4pF

⁽¹⁾当 f_{CLKIN} = 7.68MHz 时的 T_{SAMPLE}.

输入电容的充电从驱动 MCT1254 输入的模块中抽取一个瞬态电流。该电流的平均值可用于计算有效阻抗 Z_{eff}，其中 Z_{eff} = V_{IN}/I_{AVERAGE}。图 11 显示了图 9 用有效阻抗替代了电容和开关的输入电路。这些阻抗与 CLKIN 频率成反比。例如，如果 f_{CLKIN} 减小为 1/2，则阻抗将加倍。它们也会随着 PGA 的设置而改变。表 10 列出了 f_{CLKIN} = 7.68MHz 时缓冲器关闭后的有效阻抗。

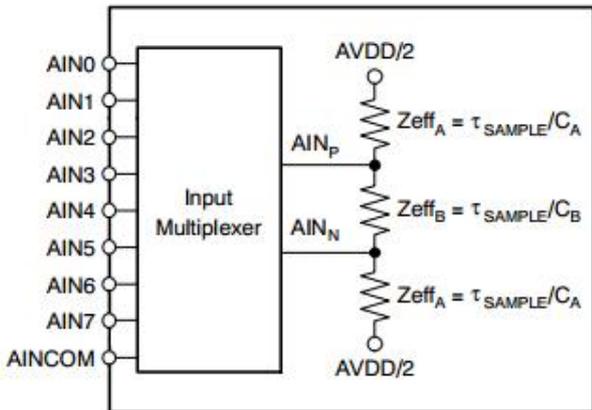


Figure 11. 缓冲器关闭时的模拟输入等效阻抗

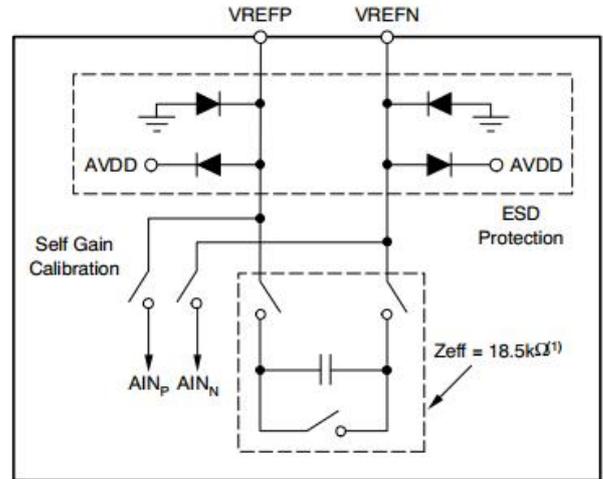
表 10. 缓冲器关闭时的模拟输入阻抗

Z_{effA} (k Ω)	Z_{effB} (k Ω)
260	220

注: $f_{CLKIN} = 7.68\text{MHz}$.

参考输入电压 (VREFP, VREFN)

MCT1254 的电压参考值是 VREFP 和 VREFN 之间的差电压: $VREF = VREFP - VREFN$ 。参考输入使用了与图 12 类似的模拟输入结构。其负载的开关电容电路在 $f_{CLKIN} = 7.68\text{MHz}$ 时, 可以等效为阻抗 $Z_{eff} = 18\text{k}\Omega$ 。参考电压输入有效阻抗的温度系数约为 $35\text{ppm}/^\circ\text{C}$ 。



(1) $f_{CLKIN} = 7.68\text{MHz}$

Figure 12. 简化的参考电压输入电路

ESD 二极管用于保护参考输入。为了保持这些二极管不打开, 确保参考引脚上的电压不高于 AGND 100mV, 同样也不超过 AVDD 100mV。在自增益校准过程中, 输入多路复用器中的所有开关都开路, VREFN 内部连接到 AINN, VREFP 内部连接到 AINP。在校准期间, 输入缓冲器可能会被打开和关闭。

当缓冲器关闭时, 参考引脚将在自增益校准期间驱动图 9 所示的电路, 导致负载增加。为了防止这种额外的负载引入增益误差, 确保驱动参考引脚的电路要具有一定的驱动能力。缓冲器启用时, 参考引脚的负载会降低, 但缓冲器将限制允许的电压范围 VREFP 和 VREFN。在自校准或增益校准期间, 参考电平引脚输入必须保持在输入缓冲器指定的范围内, 才能保证合适的增益校准。MCT1254 需要高质量的参考电压源驱动其开关电容负载, 这对于实现最佳

性能至关重要。参考信号上的噪声和漂移降低了系统的整体性能。尤其重要的是，当工作在低噪声设置(即低数据率)时，要特别注意生成参考电压的电路及其布局，以防止参考电压限制性能。更多细节，请参阅应用程序部分。

数字滤波器

可编程的低通数字滤波器用于接收调制器输出，并产生高分辨率的数字输出。通过调整过采样率，可以在精度和转换速率之间做出权衡:提高过采样率以获得更高的分辨率，降低过采样率以获得更高的转换速度。该滤波器由固定滤波器和可编程滤波器两部分组成。

图 13 显示了模拟调制器和数字滤波器的框图。数据以 $f_{CLKIN}/4$ 的速率从模拟调制器提供给滤波器。固定滤波器是一个抽取率为 64 的 5 阶 sinc 滤波器，以 $f_{CLKIN}/256$ 的速率输出数据。第二级滤波器是一个可编程的滤波器(一阶 sinc 滤波器)，抽取率由 DRATE 寄存器设置。数据转换速率是其抽取率的函数，由式 1 给出

$$DataRate = \frac{f_{CLKIN}}{256} \cdot \frac{1}{Num_Ave} \quad (1)$$

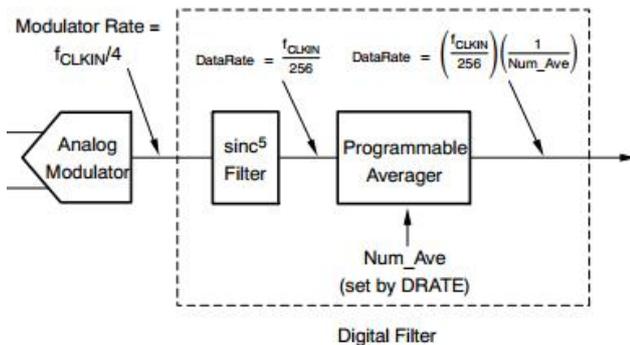


Figure 13. 模拟调制器与数字滤波器的框图

表 11 显示了 $f_{CLKIN} = 7.68\text{MHz}$ 时 16 种有效 DRATE 寄存器设置的抽取率和相应的数据转换速率。请注意，数据转换速率直接随 CLKIN 频率变化。例如，将 f_{CLKIN} 从 7.68MHz 降低到 3.84MHz，将 $DR[7:0] = 0000\ 0010$ 的数据率从 7500sps 降低到 3750 sps。

表 11. 每个有效 DRATE 寄存器设置的抽取率和数据速率

DRATEDR[7:0]	NUMBER OF AVERAGES FOR PROGRAMMABLE FILTER(Num_Ave)	DATA RATE ⁽¹⁾ (SPS)
00000010	4	7500
00000011	8	3750
00000100	15	2000
00000101	30	1000
00000110	60	500
00000111	300	100
00001000	500	60
00001001	600	50
00001010	1000	30
00001011	1200	25
00001100	2000	15
00001101	3000	10
00001110	6000	5
00001111	12,000	2.5
00010000	24,000	1.25

(1) $f_{CLKIN} = 7.68\text{MHz}$.

频率响应

低通数字滤波器为 MCT1254 设置总体频率响应。滤波器总响应是固定和可编程滤波器部分的响应的乘积，由方程 2 给出。

$$|H(f)| = |H_{\text{sinc}^5}(f)| \cdot |H_{\text{Averager}}(f)| = \left| \frac{\sin\left(\frac{256\pi \cdot f}{f_{CLKIN}}\right)}{64 \cdot \sin\left(\frac{4\pi \cdot f}{f_{CLKIN}}\right)} \right| \cdot \left| \frac{\sin\left(\frac{256\pi \cdot Num_Ave \cdot f}{f_{CLKIN}}\right)}{Num_Ave \cdot \sin\left(\frac{256\pi \cdot f}{f_{CLKIN}}\right)} \right| \quad (2)$$

数字滤波器会衰减调制器输出的噪声，包括来自 MCT1254 内部的噪声和 MCT1254 输入

信号上的外部噪声。通过改变可编程滤波器中使用的抽取率来调整滤波器的带宽。抽取率提高时，带宽降低，更多的噪声被衰减。

低通滤波器在数据输出率及其倍数上具有陷波(或零点)。在这些频率下，滤波器的增益为零。当试图消除一个特定的干扰信号时，这个特性是有用的。例如，为了消除 60Hz(及其谐波)，将数据速率设置为 1.25SPS、2.5SPS、5SPS、10SPS、15SPS、30SPS 或 60SPS。为了说明滤波特性，图 15 分别显示了在数据极值为 2.5 SPS 时的响应。表 12 总结了不同数据速率设置的第一陷波频率和-3dB 带宽。

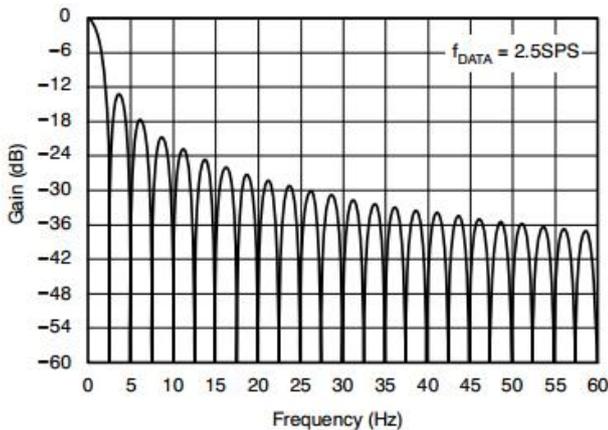


Figure 15. 数据速率为 2.5SPS 时的频率响应

Table 12. 第一陷波频率和-3dB 滤波器带宽

DATA RATE(SPS)	FIRST NOTCH (Hz)	-3dB BANDWIDTH (Hz)
7500	7500	3003
3750	3750	1615
2000	2000	878
1000	1000	441
500	500	221
100	100	44.2
60 ⁽¹⁾	60	26.5
50 ⁽²⁾	50	22.1
30 ⁽¹⁾	30	13.3
25 ⁽²⁾	25	11.1
15 ⁽¹⁾	15	6.63
10 ⁽³⁾	10	4.42
5 ⁽³⁾	5	2.21
2.5 ⁽³⁾	2.5	1.1

注: $f_{CLKIN} = 7.68\text{MHz}$.

⁽¹⁾陷波位于 60Hz.

⁽²⁾陷波位于 50Hz.

⁽³⁾陷波位于 50Hz 和 60Hz.

数字滤波器的低通特性以调制速率 $f_{CLKIN}/4$ 的倍数重复。图 16 和图 17 显示了在数据速率分别为 7.5kSPS 和 2.5SPS 时，从 0 到 7.68MHz 下的滤波器的输出频域响应。注意在直流，1.92MHz, 3.84MHz, 5.76MHz, 7.68MHz 附近的响应是相同的。

数字滤波器会把 MCT1254 输入信号上的高频噪声衰减到重复响应的频率。如果在输入上有显著的噪声出现在这个频率以上，请确保用外部滤波去除。幸运的是，这可以通过一个简单的 RC 过滤器完成，如应用章节部分所示(参见图 25)。

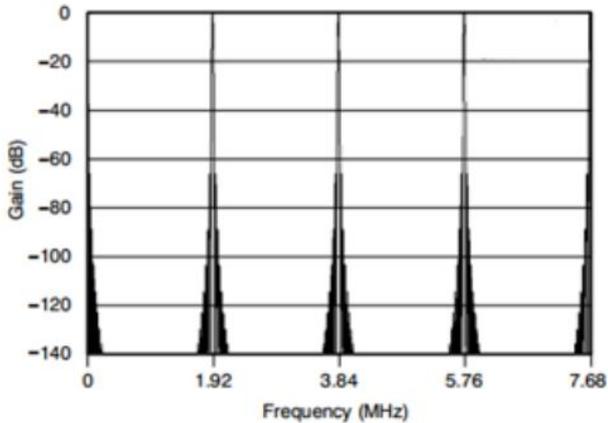


Figure 16.0 到 7.68MHz 下数据速率为 7.5kSPS 时的频率响应

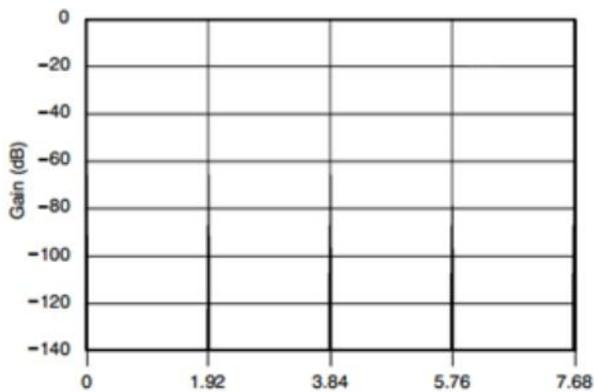


Figure 17.0 到 7.68MHz 下数据速率为 2.5SPS 时的频率响应

建立时间

MCT1254 能够通过一个优化的数字滤波器完成快速建立。表 13 显示了不同数据速率的建立时间(模拟输入的阶跃信号通过滤波器传播所需的时间)。以下部分重点介绍了滤波器的单周期建立能力，并展示了控制转换过程的各种方法。

表 13. 建立时间与数据速率

DATA RATE(SPS)	SETTLING TIME (t_{18})(ms)
7500	0.31
3750	0.44
2000	0.68
1000	1.18
500	2.18
100	10.18
60	16.84
50	20.18
30	33.51
25	40.18
15	66.84
10	100.18
5	200.18
2.5	400.18

注: f_{CLKIN} = 7.68MHz.

注: 单次转换模式需要一个小的额外延迟，将设备从待机模式启动。

使用同步的建立时间

$\overline{SYNC_PDWN}$ 引脚允许直接控制转换时间。简单地发出一个同步命令或在改变模拟输入之后，给 $\overline{SYNC_PDWN}$ 引脚一个低脉冲即可(参见同步部分了解更多信息)。当 $\overline{SYNC_PDWN}$ 再次拉高时开始转换，停止当前转换并重新启动数字滤波器。一旦 $\overline{SYNC_PDWN}$ 变低， \overline{DRDY} 输出

变高，并在转换期间保持高电平。在建立时间 (t_{18}) 之后， $\overline{\text{DRDY}}$ 变低，表明数据可用。

MCT1254 在一个周期中稳定下来，在同步后不需要忽略或丢弃数据。图 18 显示了同步之后的时序图。

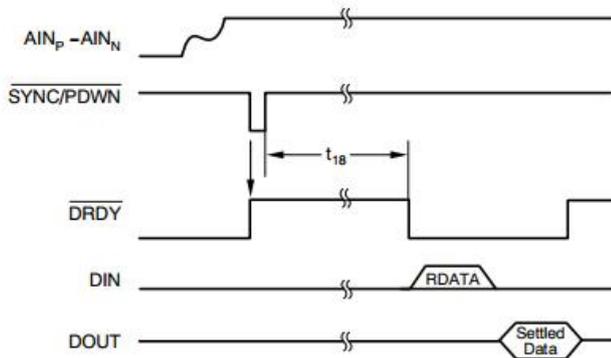


Figure 18. 同步之后的数据检索

使用输入多路复用器的建立时间

输入遍历的最有效的方法是在 $\overline{\text{DRDY}}$ 降低后立即改变多路复用器设置(使用对多路复用器寄存器 MUX 的 WREG 命令。在更改多路复用器之后，通过发出 SYNC 和 WAKEUP 重新启动转换过程，并使用 RDATA 命令采集数据。

在读取数据之前改变多路复用器可以让 MCT1254 更快地开始测量新的输入通道。图 19 演示了高效的输入遍历。在通过输入多路复用器的通道循环时，不需要忽略或丢弃数据，因为 MCT1254 在 $\overline{\text{DRDY}}$ 下降之前已经完全稳定下来，表示数据已经准备好了。

第 1 步:当 $\overline{\text{DRDY}}$ 降低时，表明已经准备好进行数据采集，使用 WREG 命令更新多路复用寄存器 MUX。例如，将 MUX 设置为 23h 会得到 $\text{AINP} = \text{AIN2}$, $\text{AINN} = \text{AIN3}$ 。

第 2 步:通过发出 SYNC 命令，紧接着发出 WAKEUP 命令，重新启动转换过程。确保在命令之间遵循时序 t_{11} 。

第 3 步:使用 RDATA 命令从上一个转换中读取数据。

第 4 步:当 \overline{DRDY} 再次降低时, 重复这个周期, 先更新多路复用器寄存器, 然后读取之前的数据。

表 14 给出了循环输入多路复用器时的有效总吞吐量($1/t_{19}$)。吞吐量的值($1/t_{19}$), 假设更改多路复用器用的 WREG 命令为 3byte 大小, 并且 $f_{SCLK} = f_{CLKIN}/4$ 。

表 14. 多路循环吞吐量

DATA RATE(SPS)	CYCLING THROUGHPUT ($1/t_{19}$)(Hz)
7500	3043
3750	2165
2000	1438
1000	837
500	456
100	98
60	59
50	50
30	30
25	25
15	15
10	10
5	5
2.5	2.5

注: $f_{CLKIN} = 7.68\text{MHz}$ 。

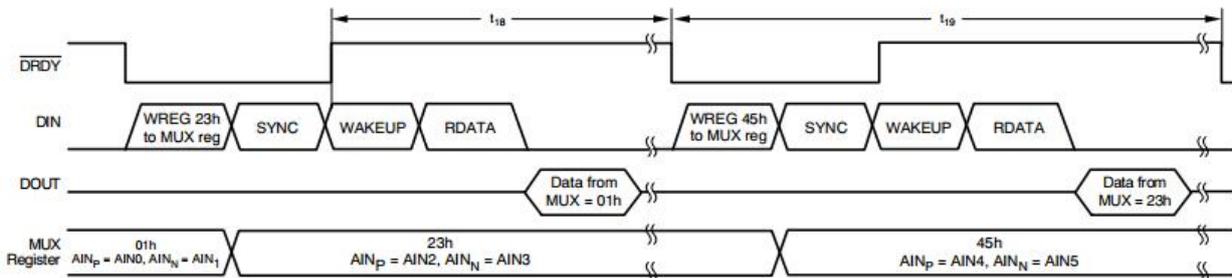


Figure 19. 遍历 MCT1254 的输入多路选择器

使用单次转换模式的建立时间

通过使用 STANDBY 命令执行单次转换, 可以大幅度降低 MCT1254 的功耗;其序列如图 20 所示。从待机模式发出 WAKEUP 命令开始进行单次转换。当使用单次转换模式时, 调制器需要额外的延迟来启动和稳定。这种延迟可能会达到 64 个调制器时钟($64 \cdot 4 \cdot T_{CLKIN}$), 或者是 33.3us (在 7.68MHz 的主时钟下)。在建立时间

($t_{18} + 256 \cdot T_{CLKIN}$)之后, \overline{DRDY} 变低, 表明转

换已经完成, 可以使用 RDATA 命令读取数据。MCT1254 会在一个周期中建立, 因此没有必要丢弃数据。在数据读取周期之后, 发出另一个 STANDBY 命令以减少功耗。当准备好进行下一次测量时, 从下一个 WAKEUP 命令开始工作循环。

连续转换时的建立时间

在同步、输入多路复用器改变或从待机模式唤醒后，MCT1254 将对模拟输入进行连续转换。转换以 $\overline{\text{DRDY}}$ 下降沿为准。在连续转换过程中，根据 $\overline{\text{DRDY}}$ 周期来考虑建立时间通常更方便，如表 15 所示。 $\overline{\text{DRDY}}$ 周期等于数据转换速率的倒数。如果在连续转换时输入信号发生了阶跃变化，建议执行同步操作以启动新的转换。否则，下一个数据会出现先前和当前输入信号重合，应被舍弃，如图 21 所示。

表 15. 数据建立延迟与数据速率

DATA RATE(SPS)	SETTLING TIME ($\overline{\text{DRDY}}$ Periods)
7500	2
3750	1
2000	1
1000	1
500	1
100	1
60	1
50	1
30	1
25	1
15	1
10	1
5	1
2.5	1

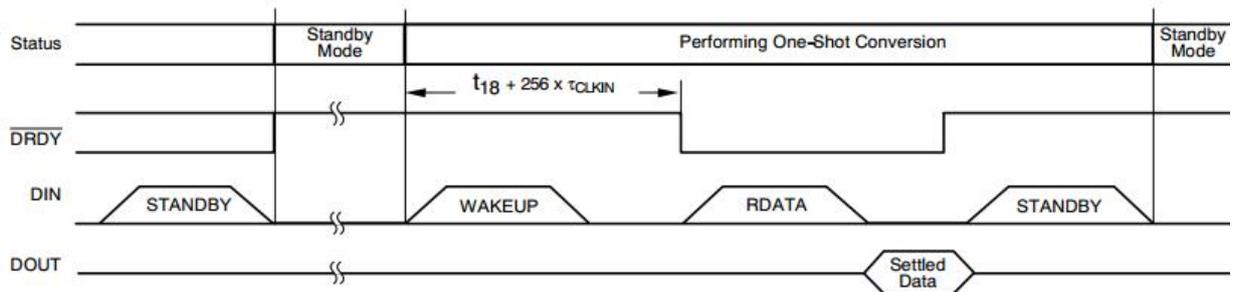


Figure 20. 使用 STANDBY 命令的单次转换模式

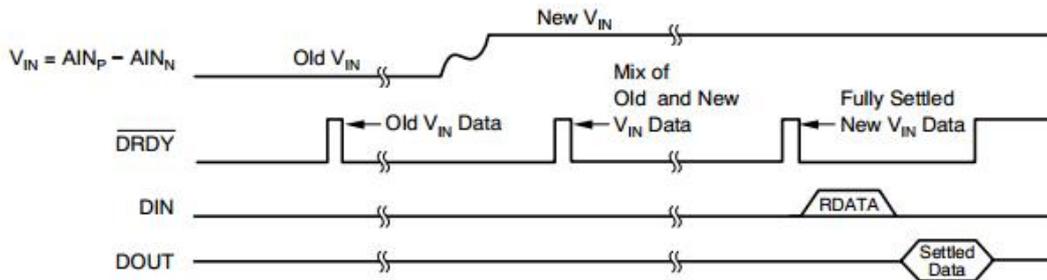


Figure 21. 在数据速率 $\leq 3750\text{SPS}$ 连续转换中， V_{in} 发生阶跃改变的情况

数据形式

MCT1254 以二进制原码格式输出 24 位数据。LSB 的权重为 $2 \cdot V_{REF} / (2^{23} - 1)$ 。

表 16 总结了不同输入信号的理想输出码。

表 16. 理想的输出码与输入信号

输入信号 $V_{IN}(A_{INP} - A_{INN})$	原码形式 (¹)
$\geq \frac{+2V_{REF}}{PGA}$	7FFFFFFh
$\frac{+2V_{REF}}{PGA} \left(\frac{2^{23} - 2}{2^{23} - 1} \right)$	7FFFFFFh
$\frac{+2V_{REF}}{PGA(2^{23} - 1)}$	000001h
0	000000h
$\frac{-2V_{REF}}{PGA(2^{23} - 1)}$	800001h
$\frac{-2V_{REF}}{PGA}$	FFFFFFh
$\leq \frac{-2V_{REF}}{PGA} \left(\frac{2^{23}}{2^{23} - 1} \right)$	800000h

(¹)理想的输出码，不包括噪声、INL、失调和增益误差的影响。

MCT1254 的主时钟源可以使用外部晶体或时钟发生器来提供。当使用晶振生成时钟时，必须提供外部电容以确保起振和稳定的时钟频率，如图 22 所示。任何晶体都可适用于 MCT1254。表 17 列出了两个经过验证可以工作的晶振。应尽量减少导线长度，并将晶振放置在靠近 MCT1254 管脚的地方。

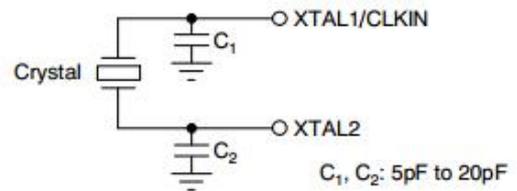


Figure 22. 晶振的连接

表 17. 样品晶振

厂商	频率	零部件编号
Citizen	7.68MHz	CIA/53383
ECS	8.0MHz	ECS-80-5-4

当使用晶振时，无论是 XTAL1/CLKIN 还是 XTAL2 引脚都不能再用来驱动任何其他逻辑。如果其他设备需要一个时钟源，D0 口可完成此功能。当使用外部时钟发生器时，提供时钟信号接入 XTAL1/CLKIN，并让 XTAL2 悬空。确保外部时钟发生器提供一个干净的时钟波形。时钟上的过载和故障将降低整体性能。

使用 MCT1254 片上校准电路可以最小化失调和增益误差。图 23 显示了校准框图。用失调校准(OFC)寄存器来校正失调误差，同样，用全量程校准(FSC)寄存器来校正增益误差。其中每个寄存器都是 24 位的，可以进行读写。

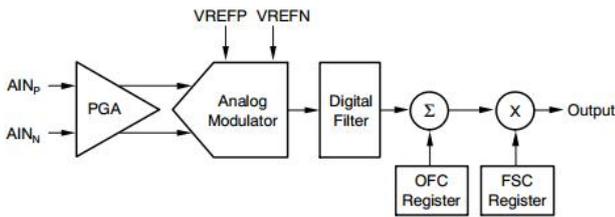


Figure 23. 校准方框图

MCT1254 经过校准后的输出可以用方程 3 来表示，.

$$\text{Output} = (\text{Vin} * \text{PGA} / (2 * \text{V}_{\text{REF}}) - \text{OFC} / \alpha) * \text{FSC} * \beta \quad (3)$$

其中， α 和 β 的值会随着输出数据速率设置以及 OFC 和 FSC 的理论值而变化。OFC 是一个 2 进制补码范围从 -8,388,608 到 8,388,607，而 FSC 是单极的，范围从 016,777,215。

MCT1254 支持自校准和系统校准，使用了一组命令 :SELFOCAL、SELFGCAL、SELFICAL、SYSOCAL 和 SYSGCAL。

可以在任何时候进行校准，尽管在许多应用中 MCT1254 漂移很低，一次校准就足够了。当开始校准时， $\overline{\text{DRDY}}$ 会升高，并一直保持到之后完成数据转换的准备工作。校准后不需要丢弃数据。复位后，MCT1254 需要进行自校准。数据速率发生变化时必须进行校准，并且也应在缓冲器发生变化时进行校准。

自校准

自校准用于校准内部失调和增益误差。在自校准期间，会有适当的校准信号被内部连接到模拟输入。SELFOCAL 执行失调校准。将模拟输入 AINP 和 AINN 从信号源断开，连接到 AVDD/2。不同数据速率设置的自失调校准所需时间见表 19。与大多数 MCT1254 时序一样，校准时间直接随 f_{CLKIN} 等比例缩放。完成后，自失调校准将更新 OFC 寄存器。

表 19. 自失调和系统失调校准时间

DATA RATE(SPS)	SELF OFFSET CALIBRATION AND SYSTEM OFFSET CALIBRATION TIME
7500	587 μ s
3750	853 μ s
2000	1.3ms
1000	2.3ms
500	4.3ms
100	20.3ms
60	33.7ms
50	40.3ms
30	67.0ms
25	80.3ms
15	133.7ms
10	200.3ms
5	400.3ms
2.5	800.3ms

注: f_{CLKIN} = 7.68MHz.

SELFGCAL 执行自增益校准。模拟输入 AINP 和 AINN 从信号源断开，AINP 内部连接到 VREFP，而 AINN 连接到 VREFN。自增益校准可以配合任何 PGA 设置使用，MCT1254 对于较高的 PGA 设置也有很好的增益校准效果。在自增益校准期间，使用缓冲器将限制参考输入的共模范围，因为它们要连接到缓冲器的输入端，并且必须在指定的模拟输入范围内。当 VREFP 或 VREFN 上的电压超过缓冲器模拟输入范围(AVDD - 2.0V)时，缓冲器必须在自增益校准期间关闭。否则，应使用系统增益校准或者直接将增益系数写入 FSC 寄存器。表 20 列出了不同数据率和 PGA 设置的自增益校准所需的时间。完成校准后，自增益校准会更新 FSC 寄存器。

表 20. 自增益校准延时

DATA RATE(SPS)	SELF GAIN CALIBRATION TIME
7500	617 μ s
3750	884 μ s
2000	1.4ms
1000	2.3ms
500	4.3ms
100	20.3ms
60	33.7ms
50	40.3ms
30	67.0ms
25	80.3ms
15	133.7ms
10	200.3ms
5	400.3ms
2.5	800.3ms

注: f_{CLKIN} = 7.68MHz.

SELFCAL 首先进行自失调校准，然后进行自增益校准。模拟输入在自校准期间从信号源断开。当使用带有自校准的输入缓冲器时，请确保符合上述参考输入的共模范围。表 21 显示了不同数据速率设置的自校准所需的时间。自校准会更新 OFC 和 FSC 寄存器。

表 21. 自校准延时

DATA RATE(SPS)	SELF GAIN CALIBRATION TIME
7500	896µs
3750	1.3ms
2000	2.0ms
1000	3.6ms
500	6.6ms
100	31.2ms
60	50.9ms
50	61.8ms
30	101.3ms
25	123.2ms
15	202.1ms
10	307.2ms
5	613.8ms
2.5	1227.2ms

注: $f_{CLKIN} = 7.68\text{MHz}$.

系统校准

系统校准使用 SYSOCAL 和 SYSGCAL 命令来校正内部和外部的失调和增益误差。在系统校准期间，用户需要输入适当的校准信号。

SYSOCAL 执行系统失调校准。用户必须提供一个零输入的差分信号。然后 MCT1254 计算一个值，该值将抵消系统中的失调。表 19 显示了不同数据速率设置的系统失调校准所需的时间。注:此时序与自失调校准相同。系统失调校准将更新 OFC 寄存器。

SYSGCAL 执行系统增益校准。用户必须向 MCT1254 提供全量程的输入信号。MCT1254 然后计算一个值来抵消系统中的增益误差。系统增益校准可以校准全量程输入电压的 80%或更大的输入。在使用系统增益校准时，请确保不要超过满量程输入电压。表 22 显示了不同数据速率设置的系统增益校准所需的时间。

系统增益校准将更新 FSC 寄存器

表 22. 系统增益校准延时

DATA RATE(SPS)	SELF GAIN CALIBRATION TIME
7500	617µs
3750	884µs
2000	1.4ms
1000	2.3ms
500	4.3ms
100	20.3ms
60	33.7ms
50	40.3ms
30	67.0ms
25	80.3ms
15	133.7ms
10	200.3ms
5	400.3ms
2.5	800.3ms

注: $f_{CLKIN} = 7.68\text{MHz}$.

串行接口

MCT1254 的 SPI 串行接口由四个信号组成： \overline{CS} 、SCLK、DIN 和 DOUT，允许控制器与 MCT1254 通信。可编程的功能可通过一组芯片上的寄存器实现。控制器通过串行接口写入或读取 MCT1254 的寄存器。 \overline{DRDY} 输出可被用作状态信号，当有新数据可用时， \overline{DRDY} 会下降。

芯片选择(\overline{CS})

芯片选择 \overline{CS} 输入允许在多个设备共享串行总线时，对 MCT1254 设备进行单独选择。在串行通信期间， \overline{CS} 必须保持低。当 \overline{CS} 取高时，串行接口复位，DOUT 进入高阻抗状态。 \overline{CS} 可以永久固定在低位。

串行时钟 (SCLK)

串行时钟(SCLK)串行时钟(SCLK)的特点是施密特触发输入，并用作数据在 DIN 和 DOUT 管脚进出 MCT1254 时的时钟信号。即使输入有迟滞，也要尽可能保持 SCLK 干净，以防止转移数据时出现错误。当串行接口空闲时，将 SCLK 保持低电位

数据输入引脚(DIN)与 SCLK 一起用于发送数据到 MCT1254。数据输出引脚(DOUT)和 SCLK 用于从 MCT1254 读取数据。DIN 上的数据在 SCLK 下降沿时转移，而 DOUT 上的数据在 SCLK 上升沿时转移。

数据准备就绪 (\overline{DRDY})

\overline{DRDY} 输出用作状态信号，指示转换数据何时可以读取。当新的转换数据可用时， \overline{DRDY} 下降。当使用 Read Data(RDATA)或 Read Data Continuous (RDATA C)命令读取所有 24 位数据时，它会被重置为高位。当更新了新的转换数据时，它也会上升。在此更新期间不要读取，因为数据无效。如果没有检索数据， \overline{DRDY} 将只在数据更新期间为高，如图 24 所示。

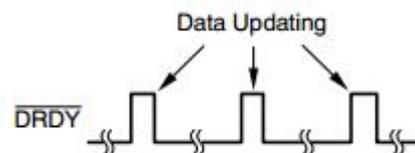


Figure 24. \overline{DRDY} 未没有进行数据检索时

在改变数据速率，缓冲器状态，写入 OFC 或 FSC 寄存器，开启或关闭传感器检测电路后建议执行同步操作， \overline{DRDY} 会被拉高高。在得到有效数据之前，它将一直保持高位。退出复位、同步、待机或关

数据输入 (DIN) 与数据输出(DOUT)

机模式也会导致 $\overline{\text{DRDY}}$ 升高。当有效数据准备好时， $\overline{\text{DRDY}}$ 将会下降。

同步

MCT1254 的同步可用于 A/D 转换器与外部事件的协调，也可用来提高模拟输入瞬时变化之后的建立速度(参见使用同步的转换时间部分)。

同步可以通过使用 $\overline{\text{SYNC_PDWN}}$ 引脚或 SYNC 命令来实现。使用 $\overline{\text{SYNC_PDWN}}$ 引脚时，先接低再接高，确保满足时序 t_{16} 和 t_{16B} 。同步会在 $\overline{\text{SYNC_PDWN}}$ 为高后开始。当 $\overline{\text{SYNC_PDWN}}$ 为低时，串行接口上不能进行通信。如果 $\overline{\text{SYNC_PDWN}}$ 引脚保持低电平 20 个 $\overline{\text{DRDY}}$ 周期，MCT1254 将进入低功耗模式。

要使用 SYNC 命令进行同步，首先对 SYNC 命令的所有 8 位进行写入，这会使 MCT1254 停止当前操作。当同步准备就绪时，发出 WAKEUP 命令。同步将在收到 WAKEUP 命令的 SCLK 之后的第一个主时钟的上升沿进行。在同步操作之后，无论是使用 $\overline{\text{SYNC_PDWN}}$ 引脚还是使用 SYNC 命令， $\overline{\text{DRDY}}$ 都会保持高位，直到有效数据就绪。

待机模式

待机模式关闭了所有的模拟电路和大部分的数字功能。振荡器会继续振动以允许快速唤醒。要进入待机模式，可以使用 STANDBY 命令。要退出待机模式，请使用 WAKEUP 命令。在退出待机模式后， $\overline{\text{DRDY}}$ 将保持高位，直到有效数据就绪。待机模式可用于执行单次转换。有关更多细节，请参见建立时间的单次转换模式章节。

关机模式

保持 $\overline{\text{SYNC_PDWN}}$ 引脚低电平 20 个 $\overline{\text{DRDY}}$ 周期将启动关机模式。在关机模式下，所有电路是禁用的。要退出关机模式，将 $\overline{\text{SYNC_PDWN}}$ 引脚调高。从关机模式退出后，MCT1254 晶体振荡器通常需要 30ms 的时间来唤醒。如果使用外部时钟源，在转换开始之前需要 8192 个 CLKIN 周期。

复位

复位 MCT1254 有两种方法:输入引脚复位和命令复位。当使用复位引脚时,把它调低以强制复位。在将复位引脚调高之前,请确保遵循最小脉冲宽度规范。复位命令在所有 8 位被转移到 DIN 之后生效。然后,将会自动解除复位。

在复位时,配置寄存器都被初始化为默认状态。复位执行后,不管用哪种复位方式,都要进行自校准。

上电

所有配置寄存器在开机时都被初始化为默认状态。然后自动进行自校准。为了获得最佳性能,强烈建议在一段时间电源和电压参考值稳定到最终值后,通过发出 SELFCAL 命令来执行额外的自校准。

使用说明信息

MCT1254 是一个超高分辨率的 A/D 转换器。要获得最佳性能，需要仔细关注它们外围的电路和印刷电路板(PCB)设计。图 25 显示了 MCT1254 的基本连接。建议对模拟电源和数字电源都使用单一接地平面。该接地平面应与旁路电容和模拟调制电路共用。但是，对于微处理器等有噪声的数字元件，要避免使用这种接地平面。如果与 MCT1254 一起使用一个分开的地平面，请确保模拟和数字的地连接在一起。MCT1254 模拟和数字地引脚(AGND 和 DGND)之间不应该有电压差。

与任何精密电路一样，要使用良好的电源旁路技术。较小的陶瓷电容与较大的钽电容并联或较大的低压陶瓷电容并联都可以很好地工作。把电容器，特别是陶瓷电容器，放在靠近电源引脚的地方。运行数字逻辑的电压越低越好。这有助于减少对模拟输入的耦合。避免数字输入的噪声。小电阻($\approx 100\Omega$)与数字引脚串联可以对控制阻抗起到辅助作用。当不使用 $\overline{\text{RESET}}$ 或 $\overline{\text{SYNC_PDWN}}$ 输入时，直接绑定到 MCT1254 的 DVDD 引脚。

特别注意参考和模拟输入。这些是最关键的电路。在参考电压输入端，用低等

效串联电阻(ESR)电容器旁路。这些电容要尽可能大，以最大限度地过滤参考电压的杂波。MCT1254 具有优异的性能，如果不仔细选择，参考电压很容易限制整体性能。当使用独立参考时，确保它的噪音、漂移要非常低，并且能够驱动 MCT1254 参考输入。对于不适合直接驱动 MCT1254 的电压参考(例如，高输出阻抗参考或阻性分压器)，使用如图 26 所示的推荐缓冲电路。

通常，在输入上只需要一个简单的 RC 滤波器(如图 25 所示)。该电路将高频噪声限制在调制器频率附近，可参考频率响应部分。避免使用低质量的电容，以减少温度变化和泄漏。保持输入路径尽可能短，并将组件靠近输入引脚，并确保能够过滤所有使用的输入通道。

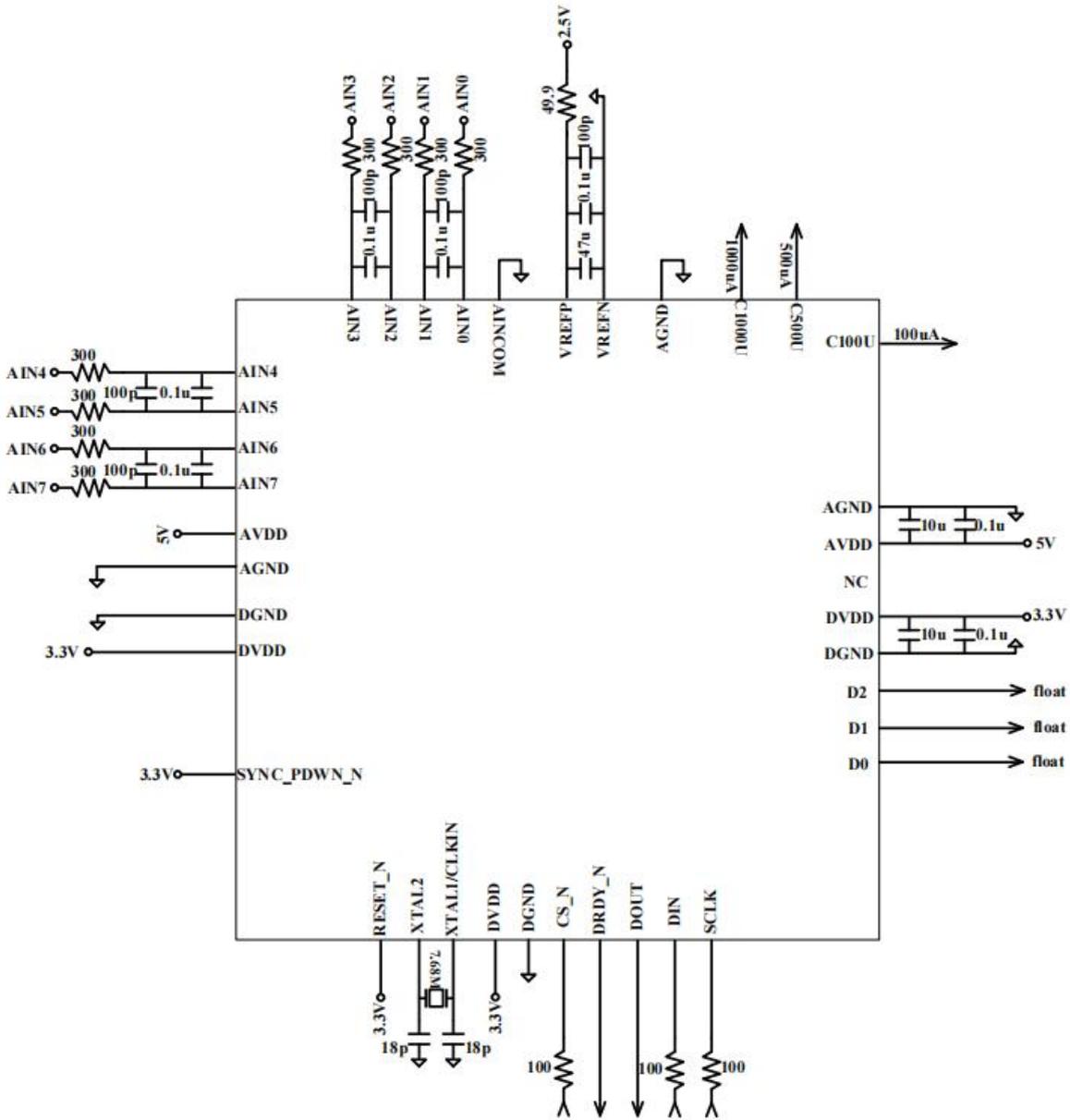


Figure 25. MCT1254 基本连接

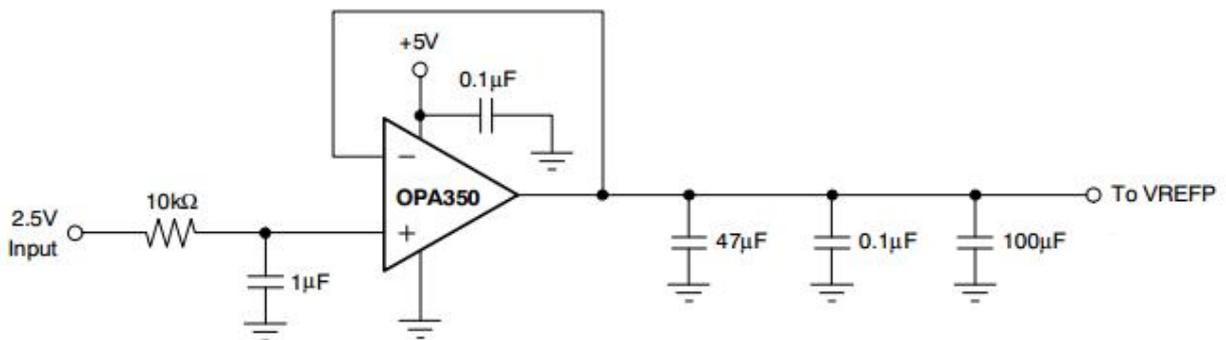


Figure 26. 推荐的参考电压电路

数字接口连接

MCT1254 的 SPI, QSPI™, 和 MICROWIRE™ 兼容接口非常容易连接到各种各样的微控制器。图 27 显示了与 TI 公司 MSP430 系列低功耗微控制器的基本连接。图 28 显示了与具有 SPI 接口(如 TI 的 MSC12xx 系列或 68HC11 系列)的微控制器的连接。请注意, MSC12xx 包括一个高分辨率的 A/D 转换器;MCT1254 可以用来增加额外的测量通道或者提供更快的转换速度。

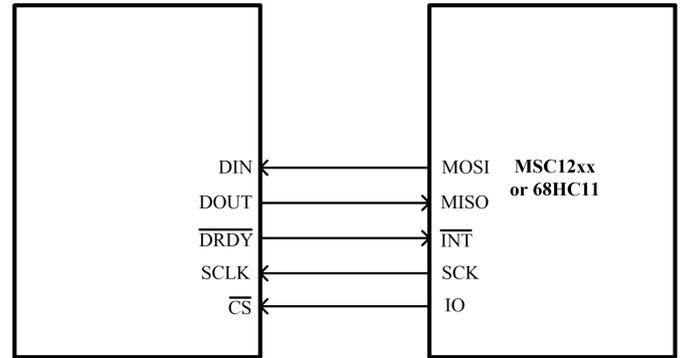


Figure 28. 使用 SPI 接口与微型控制器连接

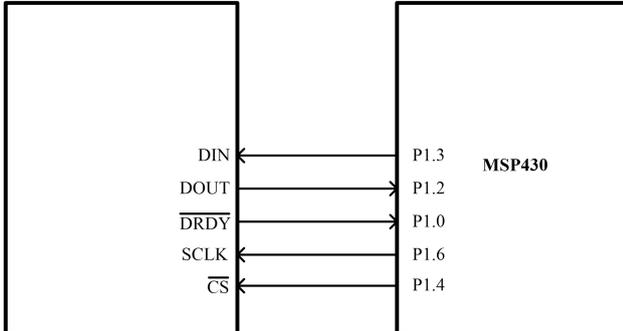


Figure 27. 与 MSP430 连接

寄存器映射

MCT1254 的操作由一组寄存器控制。总的来说，寄存器包含配置该部件所需的所有信息，如数据速率、多路复用器设置、校准等，列于表 23。

表 23. 寄存器映射

ADDRESS	REGISTER	RESET VALUE	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	STATUS	A0 _H	ID3	ID2	ID1	ID0	--	--	BUFE N	--
01h	MUX	01 _H	PSEL 3	PSEL 2	PSEL 1	PSEL 0	NSEL 3	NSEL 2	NSEL 1	NSEL 0
03h	DRATE	02 _H	DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0
05h	OFC0	xx _H	OFC 07	OFC 06	OFC 05	OFC 04	OFC 03	OFC 02	OFC 01	OFC 00
06h	OFC1	xx _H	OFC 15	OFC 14	OFC 13	OFC 12	OFC 11	OFC 10	OFC 09	OFC 08
07h	OFC2	xx _H	OFC 23	OFC 22	OFC 21	OFC 20	OFC 19	OFC 18	OFC 17	OFC 16
08h	FSC0	xx _H	FSC 07	FSC 06	FSC 05	FSC 04	FSC 03	FSC 02	FSC 01	FSC 00
09h	FSC1	xx _H	FSC 15	FSC 14	FSC 13	FSC 12	FSC 11	FSC 10	FSC 09	FSC 08
0Ah	FSC2	xx _H	FSC 23	FSC 22	FSC 21	FSC 20	FSC 19	FSC 18	FSC 17	FSC 16
83H	TRIMCO N	00H	--	--	--	--	VTRI M	WRIT E	--	--
86H	INREF	00H	--	--	--	--	--	--	--	INRE F
87H	INSHOR T	00H	--	--	--	--	--	--	--	INSH ORT
89H	CURREN T_TRIM	00H	--	--	--	--	CT3	CT2	CT1	CT0

状态：状态寄存器(地址 00h)

复位值=A0h

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
ID3	ID2	ID1	ID0	--	--	BUFEN	--

位 7-4 ID3, ID2, ID1, ID0 硬件标志位 (只读)

位 3-2 保留, 总是 0 (只读)

位 1 BUFEN: 输入缓冲器控制位:

0 = 禁用输入缓冲器 (默认)

1 = 启用输入缓冲器

位 0 保留, 总是 1 (只读)

MUX :输入多路复用器控制寄存器(地址 01h)

复位值 = 01h

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
PSEL3	PSEL2	PSEL1	PSEL0	NSEL3	NSEL2	NSEL1	NSEL0

位 7-4 PSEL3, PSEL2, PSEL1, PSEL0: 正输入通道(AINP)选择

0000 = AIN0 (default)

0001 = AIN1

0010 = AIN2

0011 = AIN3

0100 = AIN4

0101 = AIN5

0110 = 保留

0111 = 保留

1xxx = AINCOM (当 PSEL3 = 1, PSEL2, PSEL1, PSEL0 时“不在意”)

位 3-0 NSEL3, NSEL2, NSEL1, NSEL0: 负输入通道(AINN)选择

0000 = AIN0

0001 = AIN1 (默认)

0010 = AIN2

0011 = AIN3

0100 = AIN4

0101 = AIN5

0110 = 保留

0111 = 保留

1xxx = AINCOM (当 NSEL3 = 1, NSEL2, NSEL1, NSEL0 时“不在意”)

数据速率: A/D 数据速率(地址 03h)

复位值=02h

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0

16 个有效数据速率设置如下所示。确保选择有效设置，因为无效设置可能会产生不可预测的结果。

位 7-0DR[7: 0]: 数据速率设置⁽¹⁾

- 00000010 = 7,500SPS(默认)
- 00000011 = 3,750SPS
- 00000100 = 1875 SPS
- 00000101 = 1,000SPS
- 00000110 = 500SPS
- 00000111 = 250SPS
- 00001000 = 50SPS
- 00001001 = 30SPS
- 00001010 = 25 SPS
- 00001011 = 15 SPS
- 00001100 = 12.5 SPS
- 00001101 = 7.5 SPS
- 00001110 = 5 SPS
- 00001111 = 2.5SPS
- 00010000 = 1.25SPS

⁽¹⁾f_{CLKIN}= 7.68MHz. 数据速率与 f_{CLKIN} 成线性关系。

复位值取决于校准结果。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00

OFC1: 失调校准字节 1(地址 06h)

复位值取决于校准结果。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08

OFC2: 失调校准字节 2, 最大有效字节(地址 07h)

复位值取决于校准结果。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16

FSC0: 全量程校准字节 0, 最小有效字节(地址 08h)

复位值取决于校准结果。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
FSC 07	FSC 06	FSC 05	FSC 04	FSC 03	FSC 02	FSC 01	FSC 00

FSC1: 全量程校准字节 1(地址 09h)

复位值取决于校准结果。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
FSC 15	FSC 14	FSC 13	FSC 12	FSC 11	FSC 10	FSC 09	FSC 08

FSC2: 全量程校准字节 2, 最大有效字节(地址 0Ah)

复位值取决于校准结果。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
FSC 23	FSC 22	FSC 21	FSC 20	FSC 19	FSC 18	FSC 17	FSC 16

TRIMCON: 修调控制寄存器(地址 83h)

复位值 = 00h

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
--	--	--	--	VTRIM	WRITE	--	--

Bit 7-4, 1-0 保留,总是 0 (只读)

Bits 3 虚拟修调控制位:

0 =禁用虚拟微调功能(默认)

1 =启用虚拟微调功能

用户使能该位后,用户可以通过修改电流修调位修改电流源的值,并且这种修改操作是可逆的

Bits 2 写入修调数据位:

0 =禁用写入修调数据功能(默认)

1 =启用写入修调数据功能

用户使能该位后,用户可以写入修调数据到芯片,用户只能写入一次,所以在写入修调数据之前先启用虚拟修调电流源。这种修改操作是不可逆的

INREF: 输入控制寄存器 1 (地址 86h)

复位值 = 00h

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
--	--	--	--	--	--	--	INREF

Bit 7-1 保留,总是 0 (只读)

Bit 0 输入控制位

0 =输入信号来自 AIN0~AIN7 和 AINCOM(默认)

1 =AINP=VREFP 并且 AINN=模拟地.

INSHORT: 输入控制寄存器 2 (地址 87h)

复位值 = 00h

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
--	--	--	--	--	--	--	INSHORT

Bit 7-1 保留,总是 0 (只读)

Bit 0 输入控制位

0 =输入信号来自 AIN0~AIN7 和 AINCOM(默认)

1 =AINP= AINN=模拟地.

CURRENT-TRIM: 电流修调控制寄存器 (地址 89h)

复位值 = 00h

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
--	--	--	--	CT3	CT2	CT1	CT0

Bits 7-4 保留, 总是 0 (只读)

Bits 3-0 电流修调控制位:

1000 (不容许)

1001 = +28%

1010 = +24%

1011 = +20%

1100 = +16%

1101 = +12%

1110 = +8%

1111 = +4%

0000 = 100u/500u/1000u

0001 = -4%

0010 = -8%

0011 = -12%

0100 = -16%

0101 = -20%

0110 = -24%

0111 (不容许)

表 24 中总结的命令用于控制 MCT1254 的操作。所有命令都是独立的，除了寄存器读写(RREG, WREG)需要第二个命令字节加上数据。额外的命令和数据字节可以在第一个命令字节之后无延迟地移动。 \overline{CS} 在整个命令序列中必须保持低位。

表 24. 命令定义

COMMAND	DESCRIPTION	1ST COMMAND BYTE	2ND COMMAND BYTE	3RD COMMAND BYTE
WAKE UP	Completes SYNC and Exits Standby Mode	0000 0000 (00h)	--	--
RDATA	Read Data	0000 0001 (01h)	--	--
RDATAC	Read Data Continuously	0000 0011 (03h)	--	--
SDATAC	Stop Read Data Continuously	0000 1111 (0Fh)	--	--
RREG	Read from REG rrr	0001 adr ^h (¹ 1xh)	adrl ⁽²⁾ xxxx ⁽³⁾	dddddddd ⁽⁴⁾
WREG	Write to REG rrr	0101 adrh (5xh)	adrlxxx	dddddddd
SELCAL	Offset and Gain Self-Calibration	0101 0010 (52h)	1110 0000 (E0h)	0000 0101 (05h)
SELFOCAL	Offset Self-Calibration	0101 0010 (52h)	1110 0000 (E0h)	0000 0001 (01h)
SELFGCAL	Gain Self-Calibration	0101 0010 (52h)	1110 0000 (E0h)	0000 0010 (02h)
SYSOCAL	System Offset Calibration	0101 0010 (52h)	1110 0000 (E0h)	0000 0011 (03h)
SYSGCAL	System Gain Calibration	0101 0010 (52h)	1110 0000 (E0h)	0000 0100 (04h)
SYNC	Synchronize the A/D Conversion	1111 1100 (FCh)	--	--
STANDBY	Begin Standby Mode	1111 1101 (FDh)	--	--
RESET	Reset to Power-Up Values	1111 1110 (FEh)	--	--
WAKE UP	Completes SYNC and Exits Standby Mode	1111 1111 (FFh)	--	--

注:

- (1) adrh = 目标寄存器地址的高四位。
- (2) adrl = 目标寄存器地址的低四位。
- (3) xxxx = 可以设置为任何值。
- (4) dddddddd = 要读取或写入的数据。

RDATA: 读取数据

描述: $\overline{\text{DRDY}}$ 降低以读取单个转换结果之后发出此命令。所有 24 位都被转移到 DOUT 上之后, $\overline{\text{DRDY}}$ 变高。并非必须读取所有 24 位, 但新数据更新前 $\overline{\text{DRDY}}$ 将不会返回高。请参阅在 RDATA 命令结束和将数据到 DOUT: t_6 开始之间所需延迟的时间特性。注意, 在读取 24 位数据时, SCLK 需要连续发出 25 个高脉冲, 最后一个脉冲是读取结束的标志脉冲。

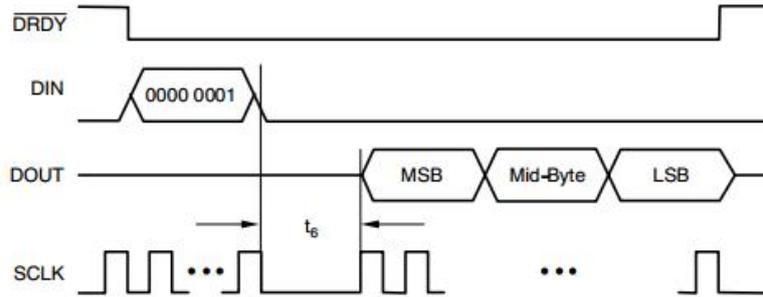


图 30a. RDATA 命令序列

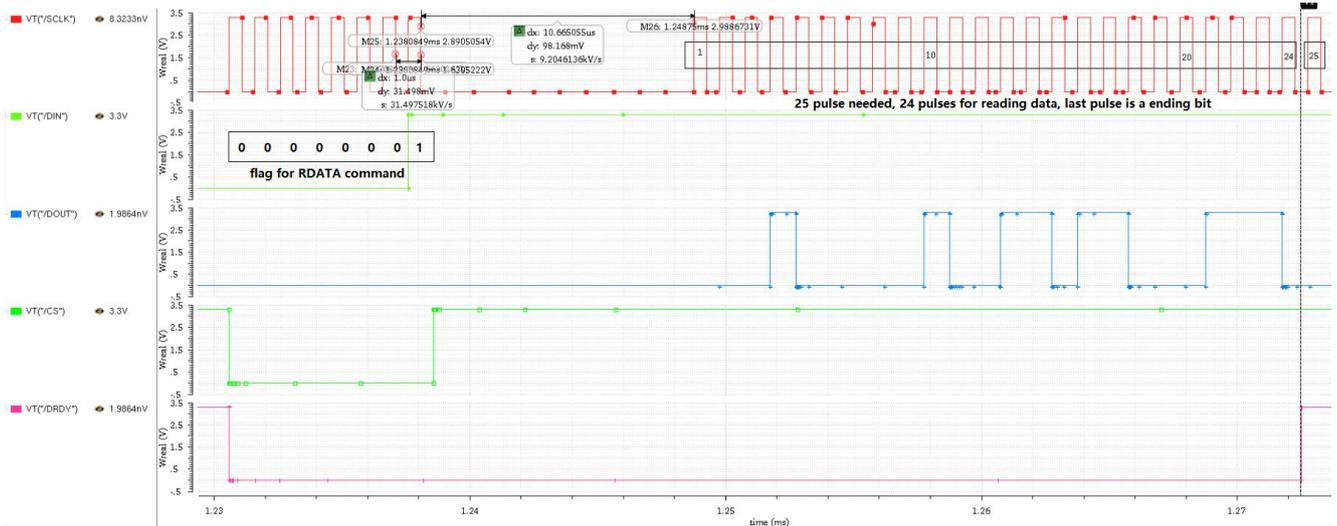


图 30b. RDATA 命令序列 (详细时序)

RDATA: 持续读取数据

描述: 在 $\overline{\text{DRDY}}$ 降低后发出命令, 进入持续读取数据模式。这种模式允许在每个 $\overline{\text{DRDY}}$ 上连续输出新数据, 而不需要发出后续的读取命令。在 24 位全都被读取之后, $\overline{\text{DRDY}}$ 就会变高。没有必要读回所有 24 位, 但在新数据被更新前 $\overline{\text{DRDY}}$ 将不会返回高。此模式可由停止持续读取数据命令(SDATA)终止。由于 DIN 在 SDATA 或 RESET 命令期间不断被监控, 如果 DIN 和 DOUT 短接, 则不要使用此模式。在图 31 中, $\overline{\text{DRDY}}$ 的第二个下降沿与 SCLK 的下一个上升沿之间的延迟 t_{18} 应该至少为 500ns。请参阅在 RDATA 命令结束和将数据输出到 DOUT 之间所需延迟 t_6 的时间特性。

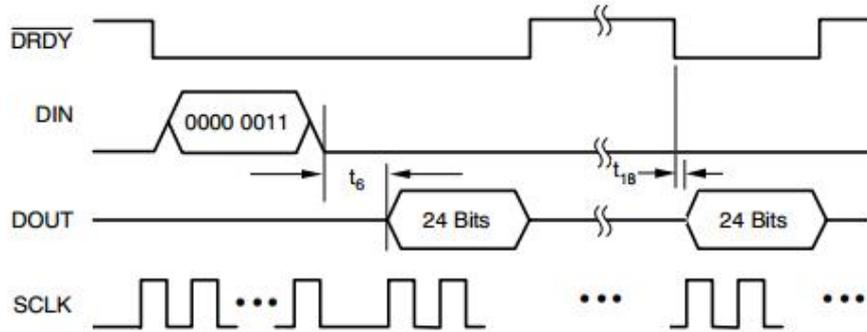


图 31a. RDATAC 命令序列

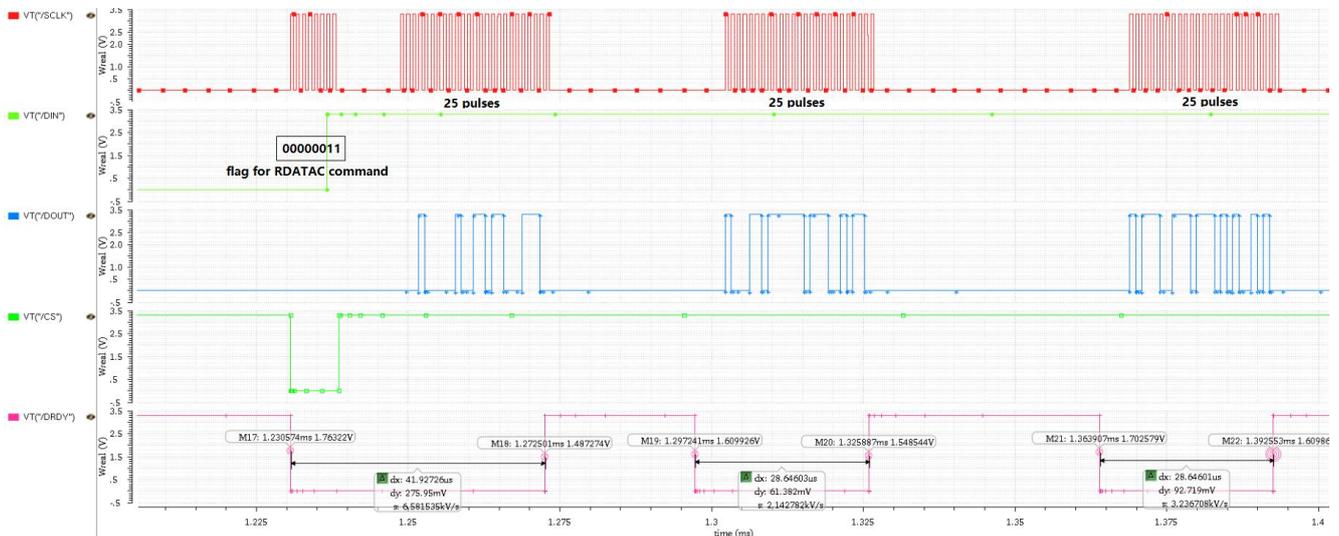


图 31b. RDATAC 命令序列 (详细时序)

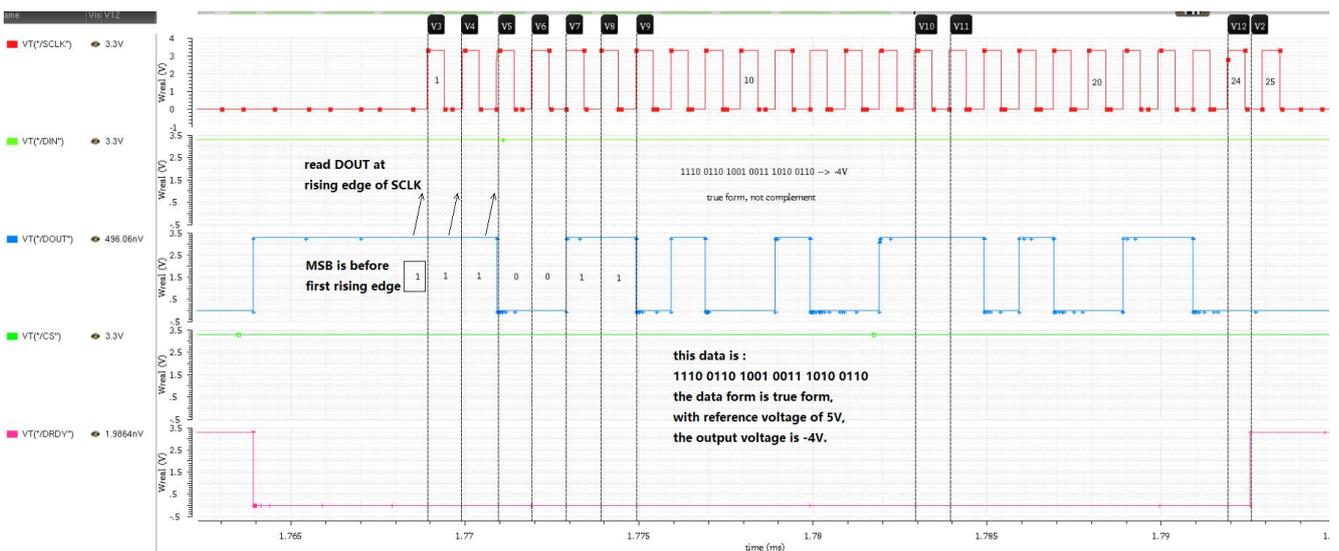


图 31c. RDATAC 命令序列 (读取一组数据的时间模式)

在接下来的 $\overline{\text{DRDY}}$ 期间, 通过使用 **SCLK** 移出数据。如果 **DIN** 上的 3 个输入数据字节中的至少 1 个等于 **SDATAC** 或 **RESET** 命令, 则持续读取数据模式终止。

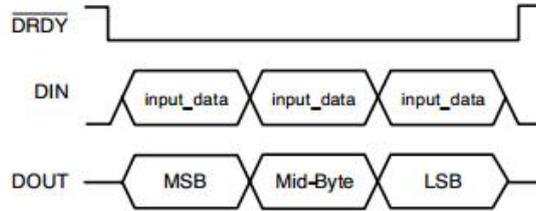


图 32. 持续读取模式时的 **DIN** 和 **DOUT** 命令序列

SDATAC: 停止持续读取数据

描述: 结束连续数据输出模式。(见 **RDATA**)。命令必须在 $\overline{\text{DRDY}}$ 下降后发出, 并在 $\overline{\text{DRDY}}$ 上升前完成。

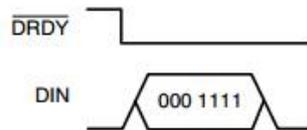


图 33. **SDATAC** 命令序列

RREG: 从寄存器中读取

描述: 从最多 11 个寄存器输出数据, 从被指定作为命令的一部分的寄存器地址开始。读取的寄存器数命令等于一加上第二个字节。

第一命令字节: **0001 adrh**, 其中 **adrh** 是要读取的寄存器的高四位地址。

第二命令字节: **adrlxxxx** 其中 **adrl** 是要读取的寄存器的低四位地址, **xxxx** 可以设置为任何值。

请参阅在 **RDATA** 命令结束和将数据输出到 **DOUT** 之间所需延迟 t_6 的时间特性。

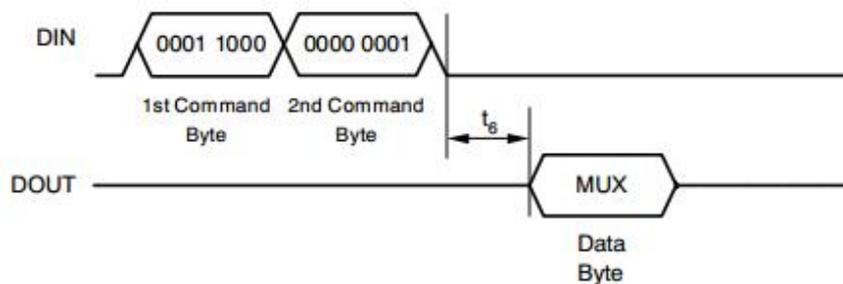


图 34a. **RREG** 命令示例: 从寄存器 **80h** 读取 (多路复用器)

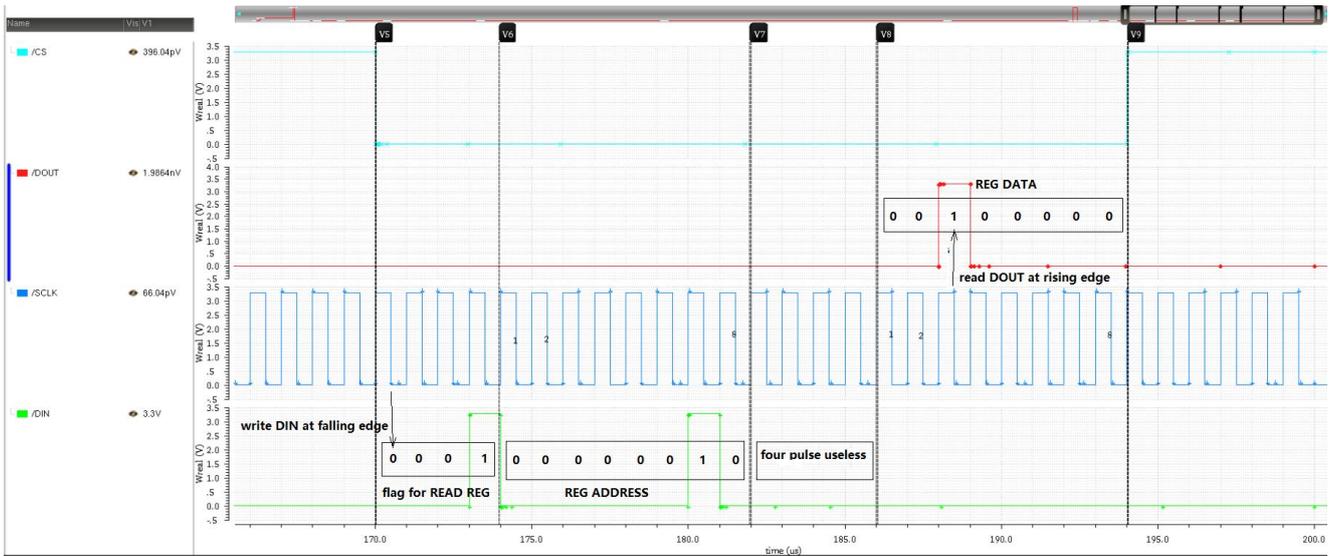


图 34b. RREG 命令示例：从寄存器 02h 读取(数据：20h，SCLK 工作在 1MHz)

WREG:写入寄存器

描述：写入由三个命令字节指定的寄存器。

第一个命令字节：0101 adrh，其中 adrh 是要写入的寄存器的高四位地址。

第二个命令字节：adrlxxxx 其中 adrl 是要写入的寄存器的低四位地址，xxxx 可以设置为任何值。

第三个命令字节（数据字节）：要写入寄存器的数据。

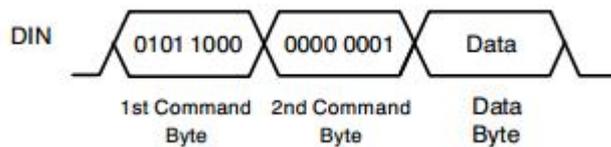


图 35a. WREG 命令示例：将数据写入 80h（复用器）

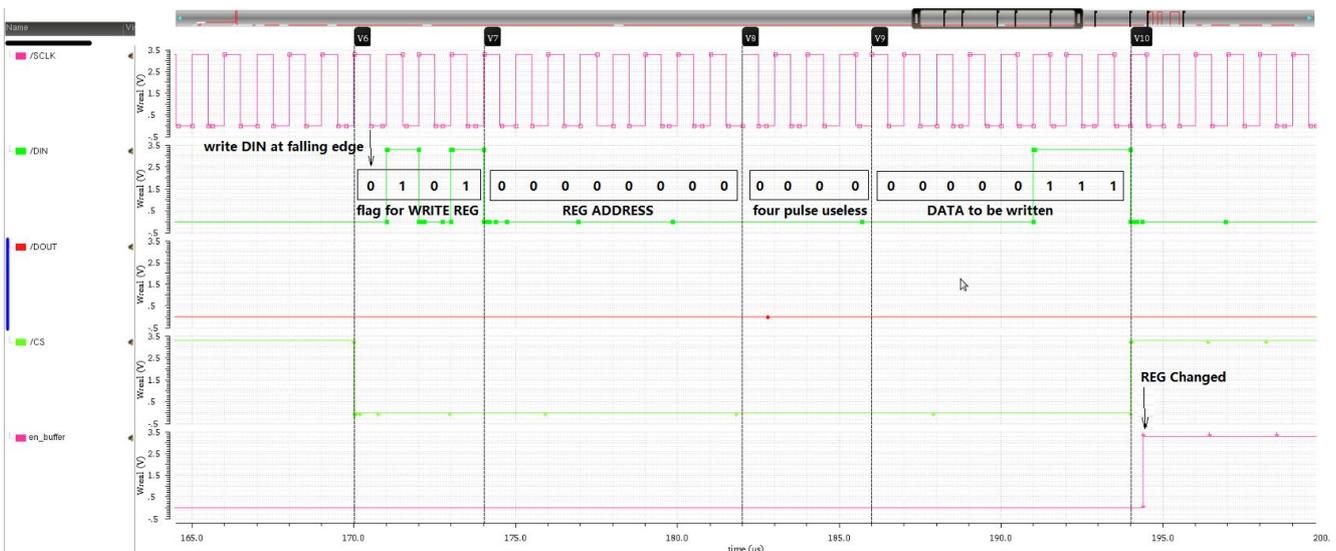


图 35b. WREG 命令示例：将数据写入 00h(数据：07h，SCLK 工作在 1MHz)

SELFCAL: 自失调和增益校准

描述: 进行自失调和自增益校准。失调校准寄存器(OFC)和全量程校准寄存器(FSC)在此操作后更新。 \overline{DRDY} 在校准开始时变高。校准完成并确定数据准备就绪后变低。发出此命令后不要发送其他命令直到 \overline{DRDY} 变低显示校准完成。

SELFOCAL: 自失调校准

描述: 进行自失调校准。失调校准寄存器(OFC)在此操作后更新。 \overline{DRDY} 在校准开始时变高。校准完成并确定数据准备就绪后变低。发出此命令后不要发送其他命令直到 \overline{DRDY} 变低显示校准完成。

SELFGCAL: 自增益校准

描述: 进行自增益校准。全量程校准寄存器(FSC)在此操作后更新为新值。 \overline{DRDY} 在校准开始时变高。校准完成并确定数据准备就绪后变低。发出此命令后不要发送其他命令直到 \overline{DRDY} 变低显示校准完成。

SYSOCAL: 系统失调校准

描述: 执行系统失调校准。失调校准寄存器(OFC)在此操作后更新。 \overline{DRDY} 在校准开始时变高。校准完成并确定数据准备就绪后变低。发出此命令后不要发送其他命令直到 \overline{DRDY} 变低显示校准完成。

SYSGCAL: 系统增益校准

描述: 执行系统增益校准。全量程校准寄存器(FSC)在此操作后更新。 \overline{DRDY} 在校准开始时变高。校准完成并确定数据准备就绪后变低。发出此命令后不要发送其他命令直到 \overline{DRDY} 变低显示校准完成。

SYNC: 同步 A/D 转换

描述: 此命令同步 A/D 转换。使用时, 首先移入指令。然后移入 WAKEUP 指令。同步发生在第一个 CLKIN 上升沿后, 第一个 SCLK 用于移入 WAKEUP 指令。

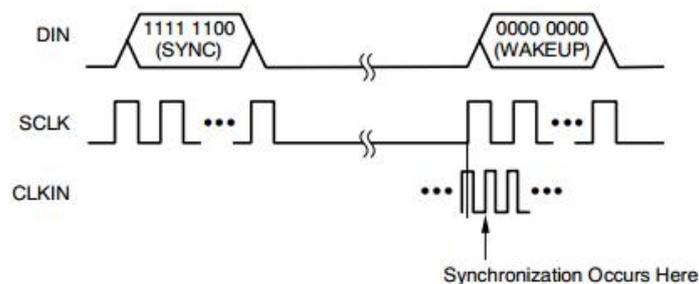


图 36. 同步命令序列

STANDBY: 待命模式/单发模式

描述: 此命令将 MCT1254 设置为低功耗待机模式。在发出 STANDBY 命令后, 确保在 \overline{CS} 为低电平时 SCLK 上没有脉冲, 因为这会中断待机模式。如果 \overline{CS} 是高电位, 则在待机模式下允许 SCLK 活动。若要退出待机模式, 请发出 WAKEUP 命令。此命令也可用于执行单个转换(请参阅单发模式部分)。

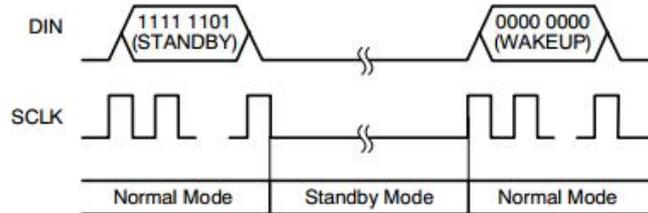


图 37. 待命命令序列

WAKEUP: 完成同步或退出待机模式

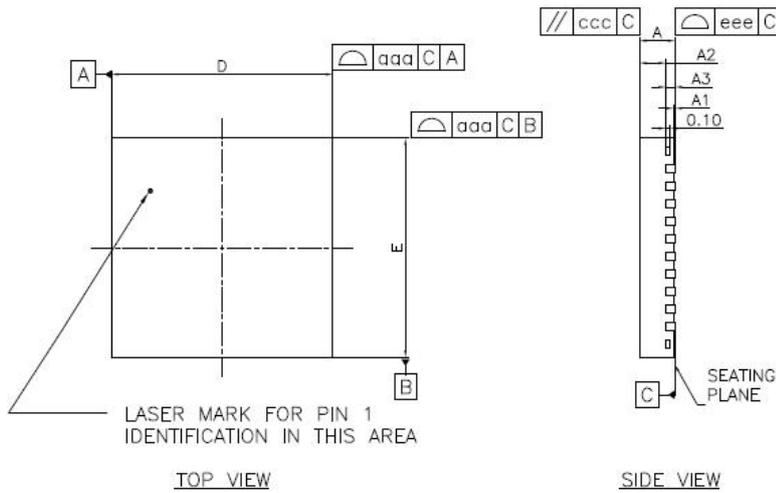
描述: 与同步和待机命令一起使用。此命令可用两个值(所有 0 或所有 1)。

RESET: 将寄存器复位为默认值

描述: 将所有寄存器设置为默认值。除了 ADCON1 寄存器的 CLK0 和 CLK1 位。此命令还将停止持续读取模式: 在这种情况下, 复位命令可在 \overline{DRDY} 降低后发出。

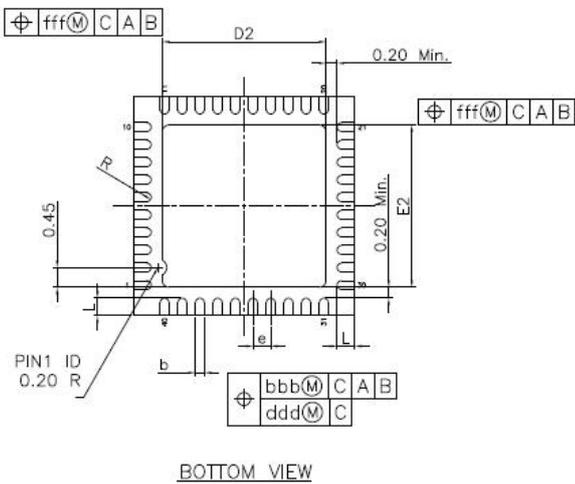
封装信息

40 PINSQFN 封装



* CONTROLLING DIMENSION : MM

SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.008	0.002
A2	0.50	0.55	0.60	0.020	0.022	0.024
A3	0.20 REF.			0.008 REF.		
b	0.15	0.20	0.25	0.006	0.008	0.010
D	4.90	5.00	5.10	0.193	0.197	0.201
E	4.90	5.00	5.10	0.193	0.197	0.201
E2	3.60	3.70	3.80	0.142	0.146	0.150
L	0.30	0.40	0.50	0.012	0.016	0.020
e	0.40 bsc			0.016 bsc		
R	0.075	---	---	0.003	---	---
TOLERANCES OF FORM AND POSITION						
aaa	0.10			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		



单击下面可查看定价，库存，交付和生命周期等信息

[>>MCT\(南京模数\)](#)