

CPDA108S085 具有轨到轨输出的 10 位低功耗8通道数模转换器

特点

- 低功耗运行
- 菊花链功能
- 轨到轨输出电压
- 确保单调性
- 同时更新输出
- 个别通道断电能力
- 宽供电范围 (+2.7V 到 +5.5V)
- 双参考电压源范围: 0.5V 到 VA
- 工作温度范围: -40°C 到 +125°C

应用

- 电池供电仪器
- 数字增益和失调校准
- 可编程电压 & 电流源
- 可编程衰减器
- ADCs的参考电压
- 传感器的电源电压
- 激励探测器

主要规格

- 分辨率: 10 Bits
- INL: ± 2 LSB (Max)
- DNL: ± 1 LSB (Max)
- 稳定时间: 4.34us (Max)
- 零代码误差: +9.3mV (Max)
- 满量程误差: -0.75% FSR (Max)
- 功耗
 - 正常: 1.28 mW (3V)/2.74 mW (5V) (Typ)
 - 断电: 0.3 μ W (3V)/1 W (5V) (Typ)

描述

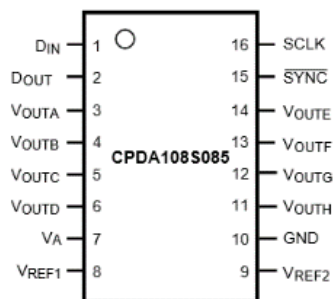
CPDA108S085是一款功能齐全的通用8通道10位电压输出的数模转换器 (DAC)可采用+2.7V到+5.5V的单电源供电并且在3V时消耗功率为1.28mW,CPDA108S085片上输出放大器允许轨到轨输出摆幅,三线串行接口在整个3.6V电源范围内以高达40MHz的时钟速率运接口兼容。CPDA108S085还提供菊花链操作,可以使用单个串行接口同时更新无限数量的CPDA108S085。

片上输出放大器允许轨到轨输出摆幅,三线串行接口在整个3.6V电源范围内以高达40MHz的时钟速率运行。串行接口兼容标准SPI™、QSPI、MICROWIRE和DSP接口。CPDA108S085还提供菊花链操作,可以使用单个串行接口同时更新无限数量的CPDA108S085。

CPDA108S085有两个参考电压源。一个参考输入用于通道A到D,而另一个参考输入用于通道E到H。每个参考可以在CPDA108S085之间独立设置CPDA108S085具有一个16位输入移位寄存器,用于控制操作模式、断电条件和DAC通道的寄存器/输出值。所有八个DAC输出可以同时或单独更新。

上电复位电路可确保DAC输出功率高达零伏,并一直保持在该水平,直到CPDA108S085的断电功能允许每个DAC通过三种不同的端接选项独立供电。在所有DAC通道断电的情况下,功耗降至更低CPDA108S085的低功耗和小封装使其成为电池供电设备的绝佳选择。

引脚分配



PIN DESCRIPTIONS

引脚序号.	标志	种类	描述
1	D _{IN}	数字输入	串行数据输入，数据被同步到16位移位寄存器上 $\overline{\text{SYNC}}$ 下降后SCLK的下降沿
2	D _{OUT}	数字输出	串行数据输出，DOUT用于菊花链操作，并直接连接到另一CPDA108S085上的DIN引脚。除非SYNC保持低电平超过16个SCLK周期，否则DOUT上的数据不可用
3	V _{OUTA}	模拟输出	通道 A 模拟输出电压。
4	V _{OUTB}	模拟输出	通道 B 模拟输出电压。
5	V _{OUTC}	模拟输出	通道 C 模拟输出电压。
6	V _{OUTD}	模拟输出	通道 D 模拟输出电压。
7	V _A	供电	供电输入，必须去耦合到地
8	V _{REF1}	模拟输入	通道 A、B、C和D共用的无缓冲参考电压。必须去耦至地。
9	V _{REF2}	模拟输入	通道 E、F、G和H共用的无缓冲参考电压。必须去耦至地。
10	GND	接地	所有片上电路的接地参考
11	V _{OUTH}	模拟输出	通道 H 模拟输出电压。
12	V _{OUTG}	模拟输出	通道 G 模拟输出电压。
13	V _{OUTF}	模拟输出	通道 F 模拟输出电压。
14	V _{OUTE}	模拟输出	通道 E 模拟输出电压。
15	$\overline{\text{SYNC}}$	数字输入	时钟同步输入。当该引脚变为低电平时，数据在SCLK的下降沿写DAC的输入移位寄存器。在SCLK的第16个下降沿之后， $\overline{\text{SYNC}}$ 的上升沿导致DAC被更新。如果 $\overline{\text{SYNC}}$ 在SCLK的第15个下降沿之前被拉高，则 $\overline{\text{SYNC}}$ 的上升沿充当中断并且写入序列被DAC忽略。
16	SCLK	数字输入	串行时钟输入。数据在该引脚的下降沿输入移位寄存器。



这些设备具有有限的内置ESD保护。在存储或处理过程中，应将引线短接在一起或将器件放置在导电泡沫中，以防止对MOS栅极造成静电损坏。

绝对最大额定值⁽¹⁾⁽²⁾⁽³⁾

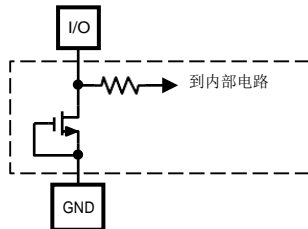
输入电压, VA		6.5V
任意输入引脚电压		-0.3V to 6.5V
任意输入引脚电流 ⁽⁴⁾		10 mA
封装输入电流 ⁽⁴⁾		30 mA
在TA = 25°C时的功耗		见(5)
ESD 敏感性 ⁽⁶⁾	人体模式	2500V
	机器模式	250V
	充电设备模式	1000V
结温度		+150°C
储存温度		-65°C to +150°C

- (1) 绝对最大额定值表示超出该限制可能对设备造成损坏。工作额定值表示设备正常工作的条件，但不指定具体的性能限制。有关保证规格和测试条件，请参阅电气特性。保证规格仅适用于列出的测试条件。当设备未在所列表测试条件下运行时，某些性能特征可能会降低。不建议在超出最大工作额定值的情况下运行设备。除非另有说明，否则所有电压均相对于 GND = 0V 进行测量。
- (2) 如果需要军用/航空航天专用设备，请联系中易智芯办事处/分销商了解可用性和规格。
- (3) 当任一引脚的输入电压超过5.5V或低于GND时，该引脚的电流应限制在10mA。30mA最大封装输入电流额定值将可以安全超过输入电流为10mA 的电源的引脚数限制为三个。
- (4) 该器件的绝对最大结温(TJmax)为150°C。最大允许功耗由TJmax、结到环境热阻(θJA)和环境温度(TA)决定，可以使用公式 $P_{D\text{MAX}} = (T_{J\text{max}} - T_A) / \theta_{JA}$ 计算。只有当器件在严重故障条件下运行时（例如，当输入或输出引脚被驱动超过工作额定值，或电源极性反转时），才会达到最大功耗值。应始终避免此类情况。
- (5) 人体模型是通过1.5kΩ电阻器放电的100pF电容器。机器型号为220pF通过0Ω放电。充电设备模型模拟一个引脚缓慢地获取电荷（例如从自动组装机中从进料器滑下的设备）然后快速放电。

操作额定值⁽¹⁾⁽²⁾

工作温度范围		$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
输入电压,VA		+2.7V to 5.5V
参考电压,VREF1,2		+0.5V to VA
数字输入电压(3)		0.0V to 5.5V
输出负载		0 to 1500 pF
SCLK频率		Up to 40 MHz

- (1) 绝对最大额定值表示超出该限制可能对设备造成损坏。工作额定值表示设备正常工作的条件，但不指定具体的性能限制。有关保证规格和测试条件，请参阅电气特性。保证规格仅适用于列出的测试条件。当设备未在所列表测试条件下运行时，某些性能特征可能会降低。设备的操作超出最大操作。
- (2) 所有电压均相对于 GND = 0V 测量，除非另有说明。
- (3) 输入受到保护，如下所示。输入电压幅度高达 5.5V，无论VA多少，都不会导致转换结果出现错误。例如，如果VA为 3V，则数字输入引脚可以由5V逻辑器件驱动。



封装热阻⁽¹⁾⁽²⁾

封装	θ_{JA}
16-Lead TSSOP	130°C/W

- (1) 焊接工艺必须符合CPIC回流温度曲线规范。
(2) 无铅封装的回流温度曲线不同。

电气特性

以下规格适用于 $V_A=+2.7V$ 至 $+5.5V$ 、 $V_{REF1}=V_{REF2}=V_A$ 、 $C_L=200pF$ 至GND、 $f_{SCLK}=30MHz$ 、输入代码范围12至1011。粗体限制适用于 $T_{MIN} \leq T_A \leq T_{MAX}$ 和除非另有说明，否则所有其他限制均在 $T_A=25^\circ C$ 时。

标志	参数	条件	典型	限制 ⁽¹⁾	单位 (限制)
静态性能					
	分辨率			10	Bits (min)
	单调性			10	Bits (min)
INL	积分非线性		± 0.5	± 2	LSB (max)
DNL	微分非线性		+0.08	± 1	LSB (max)
			-0.04	-0.2	LSB (min)
ZE	零代码误差	$I_{OUT} = 0$	+5	+9.3	mV (max)
FSE	满量程误差	$I_{OUT} = 0$	-0.1	-0.75	% FSR (max)
GE	增益误差		-0.2	-1.0	% FSR (max)
ZCED	零码误差漂移		-20		$\mu V/^\circ C$
TC GE	增益误差温度系数		-1.0		ppm/ $^\circ C$
输出特性					
	输出电压范围			0 $V_{REF1,2}$	V (min) V (max)
I_{OZ}	高阻抗输出漏电流 ⁽²⁾			± 1	μA (max)
ZCO	零代码输出	$V_A = 3V, I_{OUT} = 200 \mu A$	5.3		mV
		$V_A = 3V, I_{OUT} = 1 mA$	45		mV
		$V_A = 5V, I_{OUT} = 200 \mu A$	9.3		mV
		$V_A = 5V, I_{OUT} = 1 mA$	34		mV
FSO	满量程输出	$V_A = 3V, I_{OUT} = 200 \mu A$	2.984		V
		$V_A = 3V, I_{OUT} = 1 mA$	2.933		V
		$V_A = 5V, I_{OUT} = 200 \mu A$	4.987		V
		$V_A = 5V, I_{OUT} = 1 mA$	4.955		V
I_{OS}	输出短路电流(拉) ⁽³⁾	$V_A = 3V, V_{OUT} = 0V, \text{Input Code} = 3FFh$	-50		mA
		$V_A = 5V, V_{OUT} = 0V, \text{Input Code} = 3FFh$	-60		mA
I_{OS}	输出短路电流(灌) ⁽³⁾	$V_A = 3V, V_{OUT} = 3V, \text{Input Code} = 000h$	50		mA
		$V_A = 5V, V_{OUT} = 5V, \text{Input Code} = 000h$	70		mA
I_O	每个通道的连续输出电流 ⁽²⁾	$T_A = 105^\circ C$		10	mA (max)
		$T_A = 125^\circ C$		6.5	mA (max)
C_L	最大负载电容	$R_L = \infty$	1500		pF
		$R_L = 2k\Omega$	1500		pF
Z_{OUT}	直流输出阻抗		8		Ω

- (1) 测试限制指定为AOQL (平均输出质量水平)。
(2) 此参数由设计和/或特性指定，未经生产测试。
(3) 此参数不代表DAC可以持续维持的条件。有关每个通道的最大 DAC 输出电流，请参见连续输出电流规范。

电气特性 (续上一页)

以下规格适用于 $V_A=+2.7V$ 至 $+5.5V$ 、 $V_{REF1}=V_{REF2}=V_A$ 、 $C_L=200pF$ 至GND、 $f_{SCLK}=30MHz$ 、输入代码范围12至1011。粗体限制适用于 $T_{MIN} \leq T_A \leq T_{MAX}$ 和除非另有说明，否则所有其他限制均在 $T_A=25^\circ C$ 时。

标志	参数	条件	典型	限制 ⁽¹⁾	单位 (限制)	
参考输入特性						
VREF1,2	输入范围最小值		0.5	2.7	V (min)	
	输入范围最大值			V_A	V (max)	
	输入阻抗		30		kΩ	
逻辑输入特性						
I _{IN}	输入电流 ⁽⁴⁾			±1	μA (max)	
V _{IL}	输入最小电压	V _A = 2.7V to 3.6V	1.0	0.6	V (max)	
		V _A = 4.5V to 5.5V	1.1	0.8	V (max)	
V _{IH}	输入最大电压	V _A = 2.7V to 3.6V	1.4	2.1	V (min)	
		V _A = 4.5V to 5.5V	2.0	2.4	V (min)	
C _{IN}	输入电容 ⁽⁴⁾			3	pF (max)	
电源要求						
V _A	电源电压最小值			2.7	V (min)	
	电源电压最大值			5.5	V (max)	
I _N	电源引脚 V _A 的正常电源电流	f _{SCLK} = 30 MHz, output unloaded	V _A = 2.7V to 3.6V	407	441	μA (max)
			V _A = 4.5V to 5.5V	517	584	μA (max)
	VREF1 或 VREF2 的正常电源电流	f _{SCLK} = 30 MHz, output unloaded	V _A = 2.7V to 3.6V	95	135	μA (max)
			V _A = 4.5V to 5.5V	160	225	μA (max)
I _{ST}	电源引脚 V _A 的静态电源电流	f _{SCLK} = 0, output unloaded	V _A = 2.7V to 3.6V	310		μA
			V _A = 4.5V to 5.5V	335		μA
	VREF1 或 VREF2 的静态电源电流	f _{SCLK} = 0, output unloaded	V _A = 2.7V to 3.6V	95		μA
			V _A = 4.5V to 5.5V	160		μA
I _{PD}	所有 PD 模式的总断电电源电流 ⁽⁴⁾	f _{SCLK} = 30 MHz, \overline{SYNC} = V _A and D _{IN} = 0V after PD mode loaded	V _A = 2.7V to 3.6V	0.2	1.5	μA (max)
			V _A = 4.5V to 5.5V	0.5	3.0	μA (max)
		f _{SCLK} = 0, \overline{SYNC} = V _A and D _{IN} = 0V after PD mode loaded	V _A = 2.7V to 3.6V	0.1	1.0	μA (max)
			V _A = 4.5V to 5.5V	0.2	2.0	μA (max)
P _N	总功耗 (输出空载)	f _{SCLK} = 30 MHz output unloaded	V _A = 2.7V to 3.6V	1.95	3.1	mW (max)
			V _A = 4.5V to 5.5V	4.85	7.2	mW (max)
		f _{SCLK} = 0 output unloaded	V _A = 2.7V to 3.6V	1.68		mW
			V _A = 4.5V to 5.5V	3.80		mW
P _{PD}	所有 PD 模式下的总功耗 ⁽⁴⁾	f _{SCLK} = 30 MHz, \overline{SYNC} = V _A and D _{IN} = 0V after PD mode loaded	V _A = 2.7V to 3.6V	0.6	5.4	μW (max)
			V _A = 4.5V to 5.5V	2.5	16.5	μW (max)
		f _{SCLK} = 0, \overline{SYNC} = V _A and D _{IN} = 0V after PD mode loaded	V _A = 2.7V to 3.6V	0.3	3.6	μW (max)
			V _A = 4.5V to 5.5V	1	11	μW (max)

(4) This parameter is specified by design and/or characterization and is not tested in production.

交流和时序特性

以下规格适用于 $V_A=+2.7V$ 至 $+5.5V$ 、 $V_{REF1}=V_{REF2}=V_A$ 、 $C_L=200pF$ 至GND、 $f_{SCLK}=30MHz$ 、输入代码范围12至1011。粗体限制适用于 $T_{MIN} \leq T_A \leq T_{MAX}$ 和除非另有说明，否则所有其他限制均在 $T_A=25^\circ C$ 时。

标志	参数	条件	典型	限制 (1)	单位 (限制)
f_{SCLK}	SCLK 频率		40	30	MHz (max)
t_s	输出电压稳定时间 ⁽²⁾	输入代码从100h跳变到300h, $R_L = 2k\Omega$, $C_L = 200 pF$	4.5	4.34	μs (max)
SR	输出压摆率		1		V/ μs
GI	毛刺脉冲	Code change from 200h to 1FFh	40		nV-sec
DF	数字馈通		0.5		nV-sec
DC	数字串扰		0.5		nV-sec
CROSS	DAC 到 DAC 串扰		1		nV-sec
MBW	倍增带宽	$V_{REF1,2} = 2.5V \pm 2V_{pp}$	360		kHz
ONSD	输出噪声频谱密度	DAC 代码= 200h, 10kHz	40		nV/sqrt(Hz)
ON	输出噪声	BW = 30kHz	14		μV
t_{WU}	唤醒时间	$V_A = 3V$	3		μsec
		$V_A = 5V$	20		μsec
$1/f_{SCLK}$	SCLK 周期时间		25	33	ns (min)
t_{CH}	SCLK 高电平时间		7	10	ns (min)
t_{CL}	SCLK 低电平时间		7	10	ns (min)
t_{SS}	SCLK 下降沿之前的SYNC 建立时间		3	10	ns (min)
					$1 / f_{SCLK} - 3$
t_{DS}	SCLK 下降沿之前的数据建立时间		1.0	2.5	ns (min)
t_{DH}	SCLK 下降沿后的数据保持时间		1.0	2.5	ns (min)
t_{SH}	SCLK 的第 16 个下降沿后的SYNC 保持时间		0	3	ns (min)
					$1 / f_{SCLK} - 3$
t_{SYNC}	同步高时间		5	15	ns (min)

(1) 测试限制指定为 AOQL (平均输出质量水平)。

(2) 此参数由设计和/或特性指定, 未经生产测试。

时序图

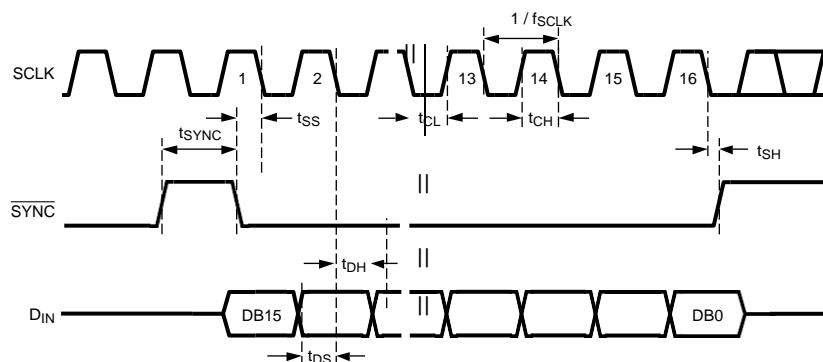


图 1. 串行时序图

规格定义

微分非线性(DNL)是与理想步长1LSB的最大偏差的度量，即 $V_{REF}/1024 = V_A/1024$ 。

DAC 到 DAC 串扰是响应于另一个DAC输出的满量程变化而传输到 DAC 输出的毛刺脉冲。

数字串扰是响应于另一个 DAC 的输入寄存器的满量程变化而传输到中量程 DAC 输出的毛刺脉冲。

数字馈通是当 DAC 输出未更新时从数字输入注入 DAC 模拟输出的能量的量度。它是通过数据总线上的满量程代码变化来测量的。

满量程误差是加载到 DAC 中的满量程代码 (3FFh) 的实际输出电压与 $V_A \times 1023 / 1024$ 的值之间的差异。

增益误差是与传递函数的理想斜率的偏差。它可以从零和满量程误差计算为 $GE = FSE - ZE$ ，其中GE是增益误差，FSE是满量程误差，ZE是零误差。

毛刺脉冲是当 DAC 寄存器的输入代码发生变化时注入模拟输出的能量。它被指定为以纳伏秒为单位的毛刺面积。

积分非线性(INL)是通过输入到输出传递函数的每个单独代码与直线的偏差的度量。任何给定代码与这条直线的偏差都是从该代码值的中心测量的。使用终点法。根据电气表，本产品的INL在有限范围内指定。

最低有效位(LSB)是一个字中所有位中具有最小值或权重的位。这个值是

$$LSB = V_{REF} / 2^n \quad (1)$$

其中 V_{REF} 是该产品的电源电压，“n”是DAC 分辨率（以位为单位），对于CPDA108S085为10。

最大负载电容是 DAC 在保持输出稳定性的情况下可以驱动的最大电容。

单调性是单调的条件，其中 DAC 的输出在输入代码增加时不会减少。

最高有效位(MSB)是一个字中所有位中具有最大值或权重的位。其值为 V_A 的1/2。

倍增带宽是输出幅度低于 $V_{REF1,2}$ 上的输入正弦波3dB时的频率，DAC代码处于满量程。

噪声谱密度是内部产生的随机噪声。它是通过将 DAC 加载到中间量程并测量输出端的噪声来测量的。

电源效率是输出电流与总电源电流之比。输出电流来自电源。电源和输出电流之间的差异是设备在没有负载的情况下消耗的功率。

稳定时间是输入代码更新后输出稳定在最终值的 1/2 LSB以内的时间。

总谐波失真加噪声 (THD+N)是 DAC 输出端的谐波加噪声与应用到 $V_{REF1,2}$ 的理想正弦波的rms电平之比，DAC代码处于中间刻度。

唤醒时间是输出退出掉电模式的时间。这是从 \overline{SYNC} 的上升沿到输出电压偏离掉电电压0V的时间。

零代码误差是输入 000h 代码后 DAC 输出端出现的输出错误或电压。

传输特性

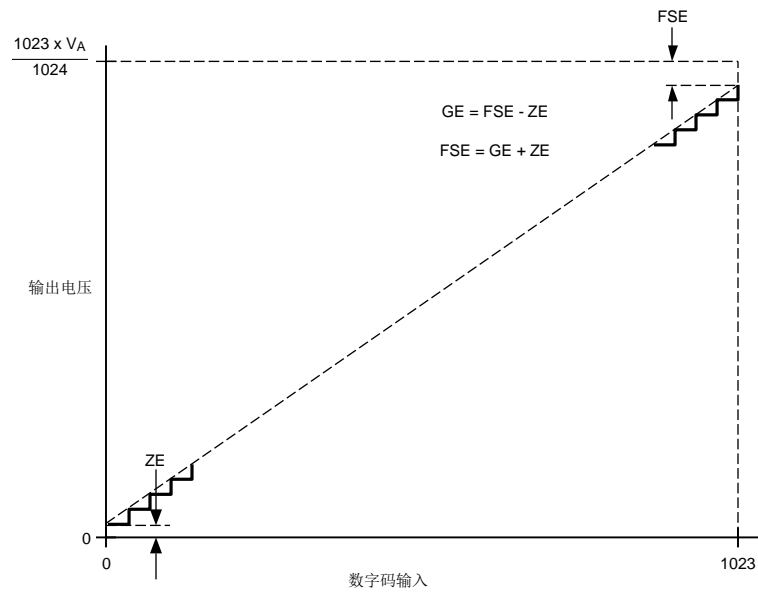


图 2. 输入/输出传输特性

典型性能特征

$V_A = +2.7V$ to $+5.5V$, $V_{REF1,2} = V_A$, $f_{SCLK} = 30$ MHz, $T_A = 25^\circ C$, 除非另有说明

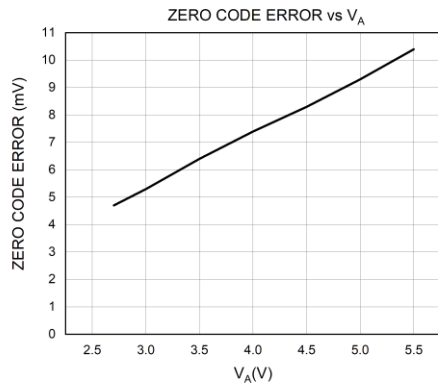


图 3.

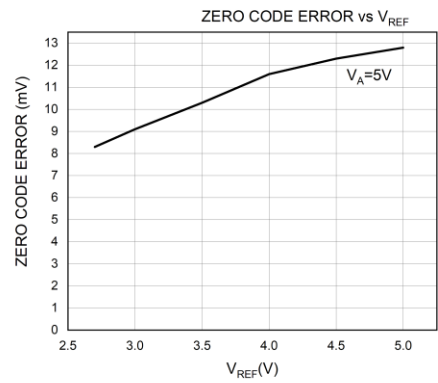


图 4.

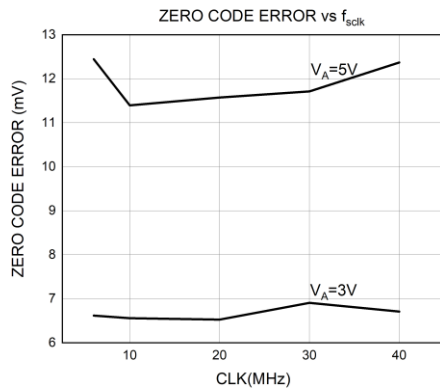


图 5.

功能说明

DAC 架构

CPDA108S085 采用CMOS工艺制造，其架构由开关和电阻串组成，后跟输出缓冲器。对于DAC通道A到D，参考电压在VREF1外部施加，对于DAC通道E到H，参考电压在VREF2处外部施加。

为简单起见，图6中显示了单个电阻串。该串由1024个等值电阻组成，两个电阻的每个结点都有一个开关，外加一个接地开关。加载到DAC寄存器中的代码确定哪个开关闭合，将适当的节点连接到放大器。输入编码是直接二进制，理想输出电压为：

$$V_{OUTA,B,C,D} = V_{REF1} \times (D / 1024) \quad (2)$$

$$V_{OUTE,F,G,H} = V_{REF2} \times (D / 1024)$$

这里

- D是加载到DAC寄存器中的二进制代码的十进制等效值 (3)

D可以取0到1023之间的任何值。此配置可确保DAC是单调的。

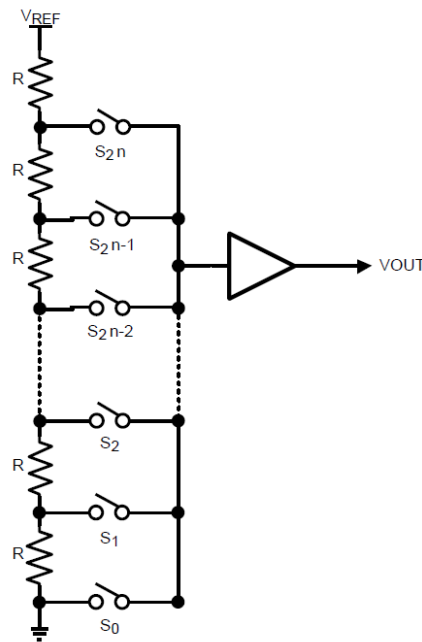


图 6. DAC 电阻串

由于CPDA108S085的所有8个DAC通道都可以独立控制，因此每个通道由一个DAC寄存器和一个10位DAC组成。图7是CPDA108S085中单个通道的简单框图。根据操作模式，写入DAC寄存器的数据会导致10位DAC输出被更新，或者需要额外的命令来更新DAC输出。操作模式的进一步描述可以在串行接口描述中找到。

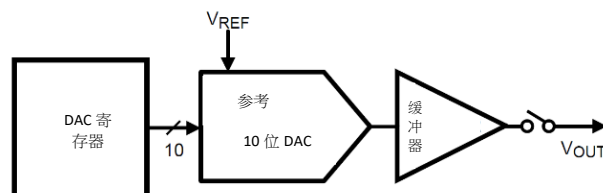


图 7. 单通道框图

输出放大器

输出放大器是轨到轨的，当参考电压为 V_A 时，可提供 $0V$ 至 V_A 的输出电压范围。当输出接近电源轨（在这种情况下为 $0V$ 和 V_A ）时，所有放大器，即使是轨到轨类型，都会表现出线性损失。因此，规定的线性度小于 DAC 的整个输出范围。但是，如果参考值小于 V_A ，则在最低码中只会损失线性度。

输出放大器能够以 $1500pF$ 的电流将 $2k\Omega$ 的负载驱动到地或 V_A 。电气特性中提供了给定负载电流的零码和满量程输出。

参考电压

CPDA108S085使用双外部基准 V_{REF1} 和 V_{REF2} ，分别由通道A、B、C、D和通道E、F、G、H共享。参考引脚没有缓冲，输入阻抗为 $30k\Omega$ 。建议 V_{REF1} 和 V_{REF2} 由低输出阻抗的电压源驱动。参考电压范围为 $0.5V$ 至 V_A ，提供尽可能宽的输出动态范围。

串行接口

三线接口与SPI™、QSPI和MICROWIRE以及大多数DSP兼容，并以高达 $40MHz$ 的时钟速率运行。一个有效的串行帧包含16个SCLK下降沿。有关写入序列的信息，请参见时序图。

写序列从将SYNC线拉低开始。一旦SYNC为低电平，DIN线上的数据就会在SCLK的下降沿输入16位串行输入寄存器。为避免数据进入移位寄存器的时钟错误，重要的是不要在SCLK的下降沿将SYNC拉低（参见时序特性和图8中的SYNC的最小和最大设置时间）。在SCLK的第16个下降沿，最后一个数据位被输入寄存器。通过将SYNC线拉高来结束写序列。一旦SYNC为高电平，就会执行编程功能（DAC通道地址、操作模式和/或寄存器内容的更改）。为避免数据进入移位寄存器的时钟错误，在SCLK的第16和第17个下降沿之间将SYNC拉高至关重要（参见时序特性和图8中SYNC的最小和最大保持时间）。

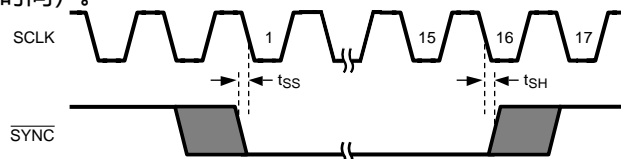


图8. \overline{CS} 建立和保持时间

如果SYNC在SCLK的第15个下降沿之前被拉高，则写入序列被中止，并且已经移入输入寄存器的数据被丢弃。如果SYNC在SCLK的第17个下降沿之后保持低电平，则在DIN上呈现的串行数据将开始在DOUT上输出。有关此操作模式的更多信息，请参阅菊花链操作。在任何一种情况下，SYNC必须在指定的最短时间拉高，然后在SYNC的下降沿启动下一个写序列。

由于DIN缓冲器在高电平时会消耗更多电流，因此在写入序列之间应将其闲置为低电平以最小化功耗。另一方面，SYNC应空置为高电平以避免激活DOUT处于活动状态的菊花链操作。

菊花链操作

菊花链操作允许使用单个串行接口与任意数量的 CPDA108S085 进行通信。只要在写入序列中输入正确数量的数据位（16 位的倍数），SYNC 的上升沿将正确更新系统中的所有 DAC。

为了支持菊花链配置中的多个器件，SCLK 和 SYNC 在所有 CPDA108S085 之间共享，并且链中第一个 DAC 的 DOUT 连接到第二个 DIN。图 9 显示了以菊花链方式连接的三个 CPDA108S085。与单通道写入序列类似，菊花链操作的转换在 SYNC 的下降沿开始，在 SYNC 的上升沿结束。一个链中 n 个设备的有效写入序列需要 n 次 16 个下降沿来移动整个输入数据流通过链。菊花链操作的最大 SCLK 速度为 30MHz。

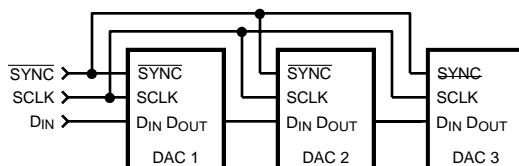


图9. 菊花链配置

CPDA108S085 上提供串行数据输出引脚 DOUT，以允许在系统中以菊花链方式连接多个 CPDA108S085 器件。在写入序列中，DOUT 在 SCLK 的前 14 个下降沿保持低电平，然后在第 15 个下降沿变为高电平。随后，SCLK 的下 16 个下降沿将输出输入 DIN 的前 16 个数据位。图 10 显示了图 30 中三个 CPDA108S085 的时序。在这种情况下，需要 48 个 SCLK 下降沿，然后是一个 SYNC 上升沿，以便为所有三个 CPDA108S085 加载适当的寄存器数据。在 SYNC 的上升沿，编程功能在每个 CPDA108S085 中同时执行。

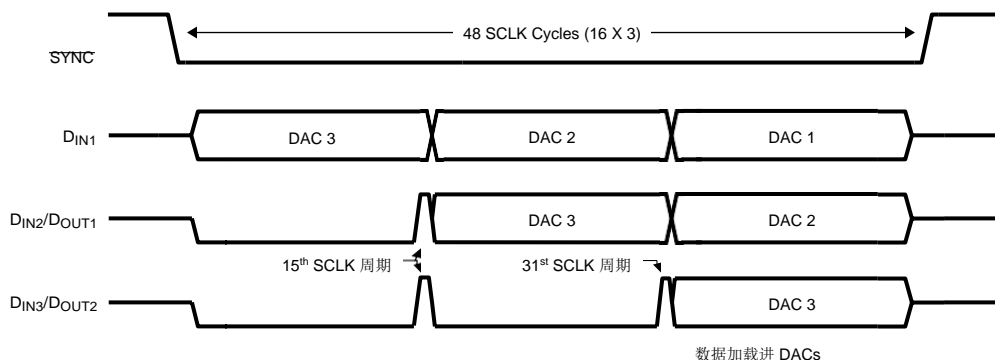


图10. 菊花链时序图

串行输入寄存器

CPDA108S085有两种操作模式以及一些特殊的命令操作。两种操作模式是写寄存器模式 (WRM)和直写模式 (WTM)。对于本文档的其余部分，这些模式将被称为WRM和WTM。特殊命令操作与WRM和WTM是分开的，因为无论当前的操作模式如何都可以调用它们。操作模式由控制寄存器DB15到DB12的前四位控制。有关详细摘要，请参见表1。

表 1. 写寄存器和直写模式

DB[15:12]	DB[11:0]	模式说明
1 0 0 0	X X X X X X X X X X X X	WRM: 可以写入每个 DAC 通道的寄存器，而不会导致其输出发生变化。
1 0 0 1	X X X X X X X X X X X X	WTM: 将数据写入通道的寄存器会导致 DAC 输出发生变化。

当CPDA108S085首次上电时，DAC处于WRM模式。在WRM中，可以写入每个单独的DAC通道的寄存器，而不会导致更新DAC输出。这是通过将DB15设置为“0”，在DB[14:12]中指定要写入的DAC寄存器，并在DB[11:0]中输入新DAC寄存器设置来完成的（参见表2）。CPDA108S085保持不变在WRM中，直到操作模式更改为WTM。通过将DB[15:12]设置为“1001”，操作模式从WRM更改为WTM。在WTM中，将数据写入DAC通道的寄存器会导致DAC的输出也被更新。在WTM中更改DAC通道的寄存器的方式与在WRM中相同。然而，在WTM中，DAC的寄存器和输出在命令完成时更新（参见表2）。同样，CPDA108S085保持在WTM状态，直到通过将DB[15:12]设置为“1000”将操作模式更改为WRM。

表 2. WRM 和 WTM命令的作用

DB15	DB[14:12]	DB[11:0]	Description of Mode
0	0 0 0	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道A 的数据寄存器 WTM: 通道A 的输出由 D[11:0] 中的数据更新
0	0 0 1	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道B 的数据寄存器 WTM: 通道B 的输出由 D[11:0] 中的数据更新
0	0 1 0	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道C 的数据寄存器 WTM: 通道C 的输出由 D[11:0] 中的数据更新
0	0 1 1	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道D 的数据寄存器 WTM: 通道D 的输出由 D[11:0] 中的数据更新
0	1 0 0	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道E 的数据寄存器 WTM: 通道E 的输出由 D[11:0] 中的数据更新
0	1 0 1	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道F 的数据寄存器 WTM: 通道F 的输出由 D[11:0] 中的数据更新
0	1 1 0	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道G 的数据寄存器 WTM: 通道G 的输出由 D[11:0] 中的数据更新
0	1 1 1	D11 D10 ... D2 X X	WRM: D[11:0] 仅写入 通道H 的数据寄存器 WTM: 通道H 的输出由 D[11:0] 中的数据更新

如前所述，无论操作模式如何，都可以随时执行特殊命令操作。有三种特殊的命令操作。通过将数据位DB[15:12]设置为“1010”来执行第一个命令。这允许用户将多个DAC输出同时更新为各自控制寄存器中当前加载的值。如果用户希望每个DAC输出处于不同的输出电压，但仍让所有DAC输出同时更改为适当的值，则此命令非常有用（参见表3）。

第二个特殊命令允许用户使用单个写入帧更改通道A的DAC输出。通过将数据位DB[15:12]设置为“1011”并将数据位DB[11:0]设置为所需的控制寄存器值来执行该命令。它还具有使其他通道的DAC输出也更新为其当前控制寄存器值的额外好处。用户可以选择执行此命令来保存写入序列。例如，用户可能希望同时更新多个DAC输出，包括通

道A。为了以最少的写入指令完成此任务，用户将在WRM中操作时更改除通道A之外的所有DAC通道的控制寄存器值。最后的写入指令将用于执行特殊命令“通道A写入模式”。除了更新通道A的控制寄存器和输出为新值之外，所有其他通道也将更新。在此写入指令结束时，CPDA108S085仍将在WRM中运行（参见表3）。

第三个特殊命令允许用户将所有DAC控制寄存器和输出设置为相同电平。该命令通常被称为“广播”模式，因为相同的数据位同时被广播到所有通道。该命令通过将数据位DB[15:12]设置为“1100”并将数据位DB[11:0]设置为用户希望广播到所有DAC控制寄存器的值来执行。执行命令后，每个DAC输出都会更新为新的控制寄存器值。此命令经常用于将所有DAC输出设置为某个已知电压，例如0V、VREF/2或满量程。可以在表3中找到命令的摘要。

表 3. 特殊指令操作

DB[15:12]	DB[11:0]	模式说明
1 0 1 0	X X X X H G F E D C B A	更新选择：在 DB[7:0] 中选择为“1”的通道的 DAC 输出同时更新为其各自控制寄存器中的值。
1 0 1 1	D11 D10 ... D3 D2 X X	通道 A 写入：通道 A 的控制寄存器和 DAC 输出更新为 DB[11:0] 中的数据。其他七个通道的输出也根据它们各自的控制寄存器值进行更新。
1 1 0 0	D11 D10 ... D3 D2 X X	广播：DB[11:0]中的数据同时写入所有通道的控制寄存器和DAC输出。

上电复位

上电复位电路在上电期间控制八个DAC的输出电压。上电后，DAC寄存器填充零，输出电压设置为0V。输出保持在0V，直到产生有效的写序列。

掉电模式

CPDA108S085具有三种断电模式，可以选择不同的输出终端（见表4）。在所有通道断电的情况下，电源电流在3V时降至0.1μA，在5V时降至0.2μA。通过在DB[7:0]中用“1”选择要关闭的通道，可以单独关闭单个通道或同时关闭多个通道。三种不同的输出终端包括高输出阻抗、100kΩ和2.5kΩ。

在任何断电模式下，输出放大器、电阻串和其他线性电路都会关闭。然而，偏置发生器只有在所有通道都处于断电模式时才会关闭。掉电时DAC寄存器的内容不受影响。因此，每个DAC寄存器在CPDA108S085断电之前保持其值，除非在指示它从断电中恢复的写入序列期间更改它。在SYNC高电平空闲、DIN低电平空闲和SCLK禁用的掉电模式下实现了最低功耗。退出断电的时间（唤醒时间）在3V时通常为3μs，在5V时为20μs。

表 4. 掉电模式

DB[15:12]	DB[11:8]	7	6	5	4	3	2	1	0	输出阻抗
1 1 0 1	X X X X	H	G	F	E	D	C	B	A	高阻抗输出
1 1 1 0	X X X X	H	G	F	E	D	C	B	A	100 kΩ 输出
1 1 1 1	X X X X	H	G	F	E	D	C	B	A	2.5 kΩ 输出

应用信息

CPDA108S085 编程示例

本节将介绍对串行输入寄存器进行编程的分步说明。

同时更新 DAC 输出

当CPDA108S085首次上电时，DAC在写寄存器模式(WRM)下运行。在WRM下操作允许用户对多个DAC通道的寄存器进行编程，而不会导致更新DAC输出。例如，以下是将通道A设置为满量程输出、通道B设置为四分之三满量程、通道C设置为半量程、通道D设置为四分之一满量程并同时更新所有DAC输出的步骤。

如前所述，CPDA108S085在WRM中上电。如果设备之前以直写模式(WTM)运行，则需要额外的步骤将DAC设置为WRM。首先，需要将DAC寄存器编程为所需的值。要将通道A设置为满量程输出，请将“0FFC”写入控制寄存器。这将更新通道A的数据寄存器，而不更新通道A的输出。其次，通过将“1C00”写入控制寄存器，将通道B设置为四分之三满量程的输出。这将更新通道B的数据寄存器。再一次，通道B和通道A的输出将不会更新，因为DAC在WRM下运行。第三，通过将“2800”写入控制寄存器，将通道C设置为半刻度。第四，通过将“3400”写入控制寄存器，将通道D设置为四分之一满量程。最后，通过将“A00F”写入控制寄存器来同时更新所有四个DAC通道。此过程允许用户通过五个步骤同时更新四个通道。

由于通道A是要更新的DAC之一，因此可以通过最后写入通道A来保存一个命令步骤。这是通过首先写入通道B、C和D并使用特殊命令“通道A写入”来更新通道A的DAC寄存器和输出来完成的。此特殊命令的额外好处是在更新通道A的同时更新所有DAC输出。通过此命令序列，用户能够通过四个步骤同时更新四个通道。可以在表3中找到该命令的摘要。

独立更新 DAC 输出

如果CPDA108S085当前在WRM模式下运行，请将“9XXX”写入控制寄存器，将运行模式更改为WTM。一旦DAC在WTM中运行，任何DAC通道都可以一步更新。例如，如果设计要求将通道G设置为半刻度，用户可以将“6800”写入控制寄存器，通道G的数据寄存器和DAC输出将被更新。同样，如果需要将通道F的输出设置为满量程，则需要将“5FFC”写入控制寄存器。通道A是唯一具有特殊命令的通道，该命令允许在一个命令中更新其DAC输出，而不管操作模式如何。将“BFFF”写入控制寄存器可以一步完成将通道A的DAC输出设置为满量程。

将参考电压用作电源

虽然CPDA108S085的简单性意味着易于使用，但重要的是要认识到从参考输入($V_{REF1,2}$)到DAC输出的路径将具有零电源抑制比(PSRR)。因此，有必要为 $V_{REF1,2}$ 提供无噪声电源电压。为了利用CPDA108S085的全动态范围，电源引脚(V_A)和 $V_{REF1,2}$ 可以连接在一起并共享相同的电源电压。由于CPDA108S085的功耗非常低，因此可以使用参考源作为参考输入和/或电源电压。与电压调节器相比，使用参考源的优势在于准确度和稳定性。也可以使用一些低噪声稳压器。下面列出了CPDA108S085的一些参考和电源选项。

LM4132

LM4132在整个温度范围内具有 $\pm 0.05\%$ 的精度，是作为CPDA108S085参考源的不错选择。如果需要0V至4.095V的输出范围，则4.096V版本非常有用。使用 $4.7\mu\text{F}$ 电容绕过LM4132电压输入引脚和使用 $4.7\mu\text{F}$ 电容绕过电压输出引脚将提高稳定性并降低输出噪声。LM4132采用节省空间的5引脚SOT23。

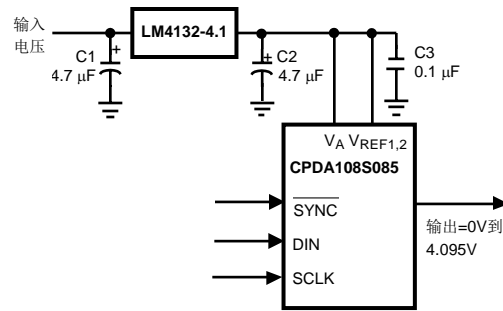


图 11. LM4132作为电压源

LM4050

LM4050并联基准具有±0.1%的精度，也是CPDA108S085基准的不错选择。它提供 4.096V和5V版本，采用节省空间的3引脚SOT23封装。

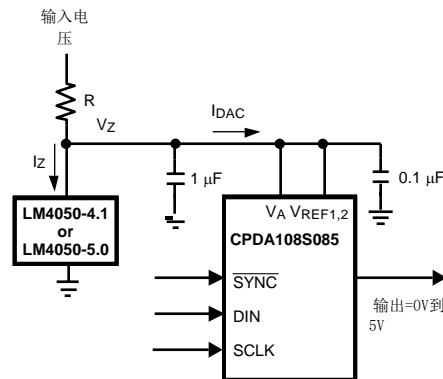


图12. LM4050 作为电压源

必须选择电路中的最小电阻值，以使通过 LM4050 的最大电流不超过其 15 mA 额定值。最大电流的条件包括输入电压处于最大值、LM4050 电压处于最小值以及 CPDA108S085 汲取零电流。最大电阻值必须允许 LM4050 吸收超过其用于调节的最小电流加上 CPDA108S085 完全运行时的最大电流。最小电流的条件包括输入电压处于最小值、LM4050 电压处于最大值、电阻值处于最大值（由于容差）以及 CPDA108S085 消耗其最大电流。这些条件可以概括为 $R(\min) = (V_{IN}(\max) - V_Z(\min)) / I_Z(\max)$ (4)

和

$$R(\max) = (V_{IN}(\min) - V_Z(\max)) / ((I_{DAC}(\max) + I_Z(\min)))$$

这里

- $V_Z(\min)$ 和 $V_Z(\max)$ 是标称LM4050 输出电压±LM4050输出容差在温度范围内
- $I_Z(\max)$ 是通过LM4050的最大允许电流， $I_Z(\min)$ 是LM4050正确调节所需的最小电流
- $I_{DAC}(\max)$ 是CPDA108S085的最大供电电流

(5)

LP3985

LP3985是一款低噪声、超低压差稳压器，在整个温度范围内具有±3%的精度。对于不需要CPDA108S085精密基准的应用，它是一个不错的选择。它提供3.0V、3.3V和5V版本等，在低频下具有30μV的低噪声规格。由于低频噪声相对难以过滤，因此该规范对于某些应用可能很重要 LP3985 采用节省空间的5引脚SOT-23和5凸点DSBGA 封装

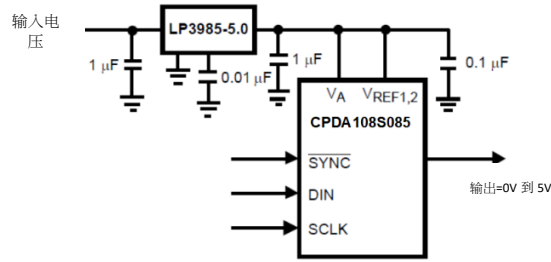


图13. 使用 LP3985 稳压器

LP3985输入需要 $1.0\mu\text{F}$ 的输入电容，无需任何ESR要求，而输出需要 $1.0\mu\text{F}$ 的陶瓷电容，ESR要求为 $5\text{m}\Omega$ 至 $500\text{m}\Omega$ 。需要仔细解释和理解电容器规格以确保正确的设备操作。

LP2980

LP2980是一款超低压差稳压器，在整个温度范围内具有 $\pm 0.5\%$ 或 $\pm 1.0\%$ 的精度，具体取决于等级。它提供 3.0V 、 3.3V 和 5V 版本等。

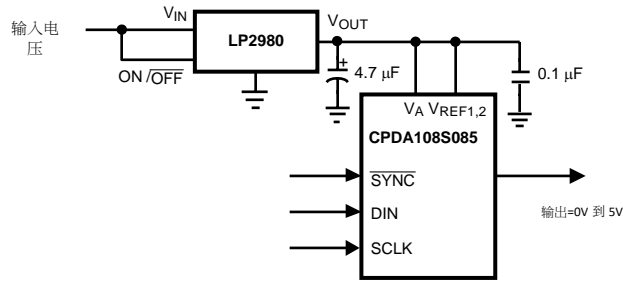


图 14. 使用 LP2980 稳压器

与任何低压差稳压器一样，LP2980需要一个输出电容器以实现环路稳定性。该输出电容在整个温度范围内必须至少为 $1.0\mu\text{F}$ ，但 $2.2\mu\text{F}$ 或更高的值将提供更好的性能。该电容的ESR应在LP2980数据表中指定的范围内。表面贴装固体钽电容器提供了小尺寸和低ESR的良好组合。陶瓷电容器因其体积小而具有吸引力，但其ESR值通常太低，无法与LP2980一起使用。铝电解电容器通常不是一个好的选择，因为它们的尺寸大并且在低温下具有高ESR值。

双极操作

CPDA108S085 设计用于单电源操作，因此具有单极性输出。但是，可以通过电路实现双极输出。该电路将提供±5伏的输出电压范围。如果放大器电源限制在 ±5V，则应使用轨到轨放大器。

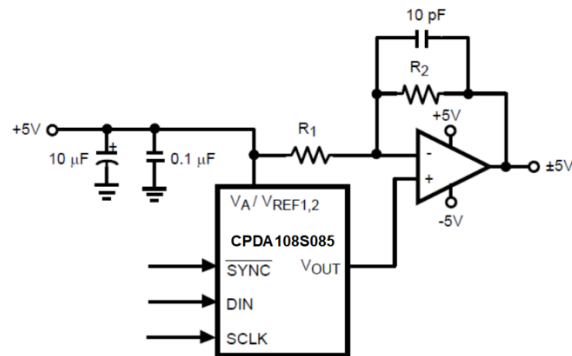


图 15. 双极操作

对于任何代码，该电路的输出电压被发现为

$$V_o = (V_A \times (D / 1024) \times ((R_1 + R_2) / R_1) - V_A \times R_2 / R_1) \quad (6)$$

$$V_o = (10 \times D / 1024) - 5V$$

这里

- D是十进制形式的输入代码。 $V_A=5V$ 且 $R_1=R_2$ (7)

适用于该应用的轨到轨放大器列表在 中列出。

表 5. 一些轨到轨放大器

放大器	封装	典型值 (V_{os})	典型值 (I_{supply})
LMP7701	SOT23-5	±37 µV	0.79 mA
LMV841	SOT23-5	-17 µV	1.11 mA
LMC7111	SOT23-5	900 µV	25 µA
LM7301	SOT23-5	30 µV	620 µA
LM8261	SOT23-5	700 µV	1 mA

可变电流源输出

CPDA108S085是一款电压输出 DAC，但可以通过添加运算放大器轻松转换为电流输出。在图16中，CPDA108S085的一个通道被转换为能够提供高达40mA电流的可变电流源。

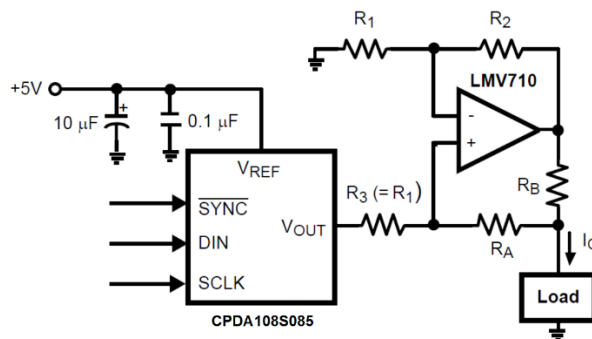


图 16. 可变电流源

对于任何 DAC 代码，该电路 (IO) 的输出电流被发现为

$$I_o = (V_{REF} \times (D / 1024) \times (R_2) / (R_1 \times R_B))$$

这里

- D 是十进制形式的输入代码
- $R_2 = R_A + R_B$

(8)

应用电路

下图是 CPDA108S085 在典型应用电路中的示例。这些电路是基本的，通常需要针对特定情况进行修改。

工业应用

图17显示了CPDA108S085在工业环境中控制几个不同的电路。通道A显示为ADC101S625提供参考电压，ADC101S625是TI的通用模数转换器(ADC)之一。ADC121S625的基准电压可设置为0.2V至5.5V的任何电压，从而提供尽可能宽的动态范围。通常，ADC121S625将监控传感器，并受益于ADC的参考电压可调。通道B为传感器提供驱动或电源电压。通过使传感器电源电压可调，传感器的输出可以优化到监控它的ADC的输入电平。通道C被定义为调整系统中放大器级的偏移或增益。通道D配置有运算放大器，以提供可调电流源。能够将CPDA108S085的八个通道之一转换为电流输出，因此无需将单独的电流输出DAC添加到电路中。通道E与运算放大器一起为需要以地为中心的控制电压的设备提供双极输出摆幅。通道F和G用于设置范围检测器的上限和下限。通道H保留用于提供电压控制或用作电压设定点。

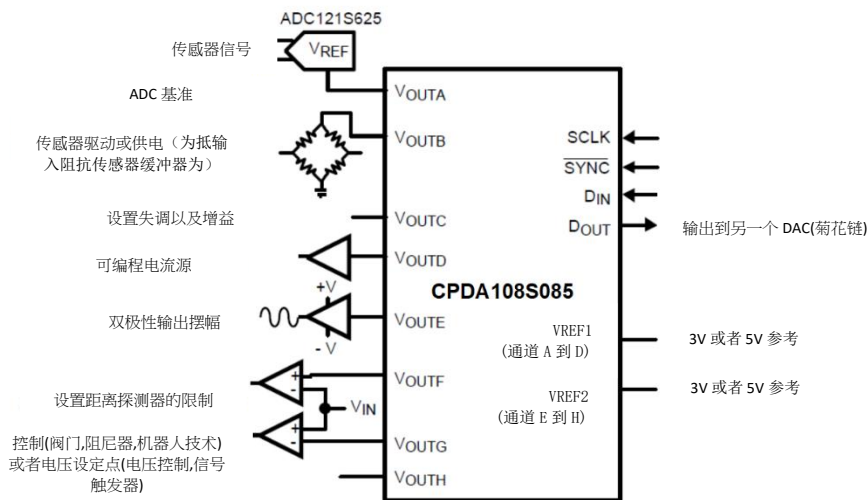


图17. 工业应用

ADC 参考

图39显示了CPDA108S085的通道A，为桥式传感器提供驱动或电源电压。通过使传感器电源电压可调，传感器的输出可以优化到监控它的 ADC 的输入电平。传感器的输出由差分增益为1的固定增益放大器级放大+2(RF/RI)。这种放大器配置的优点是桥式传感器的输出具有高输入阻抗。缺点是共模抑制比(CMRR)较差。桥式传感器的共模电压(VCM)是通道A的DAC输出的一半。VCM由放大器级放大1V/V，因此成为ADC121S705输入的偏置电压。CPDA108S085的通道B为ADC121S705提供参考电压。ADC121S705的基准电压可设置为1V至5V的任何电压，提供尽可能宽的动态范围。

通道A和B的参考电压由外部5V电源供电。由于传感器电源电压和ADC的参考电压共用5V电源，因此5V电源值的波动对ADC的数字输出代码的影响很小。这种类型的配置通常被称为“比率度量”设计。例如，5V电源增加5%将导致传感器电源电压增加5%。这会导致传感器的增益或灵敏度增加5%。放大器级的增益不受电源电压变化的影响。另一方面，ADC121S705的参考电压也增加了5%。这会导致ADC的最低有效位(LSB)的大小增加5%。由于传感器的增益增加了5%，ADC的LSB大小也增加了5%，因此对电路性能没有净影响。假设放大器增益设置得足够低，以允许传感器输出增加5%。否则，传感器输出电平的增加可能会导致放大器的输出削波。

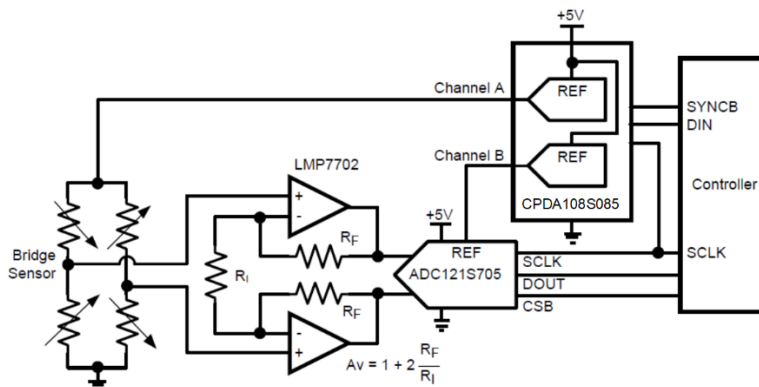


图18. 驱动 ADC 参考

可编程衰减器

显示了用作单象限乘法器的CPDA108S085的通道之一。在这种配置中，可以将AC或DC信号驱动到其中一个参考引脚。DAC的SPI接口可用于将信号数字衰减至0dB（满量程）至0V的任何电平。这是在不给信号增加任何明显噪声水平的情况下完成的。放大器级显示为输入信号需要放大的应用的参考。请注意此应用中的交流信号在被放大之前是如何交流耦合到放大器的。一个单独的偏置电压用于将CPDA108S085的基准输入的共模电压设置为 $V_A/2$ ，从而允许最大可能的输入摆幅。 $V_{REF1,2}$ 的乘法带宽为360kHz， V_{CM} 为2.5V，峰峰值信号摆幅为2V。

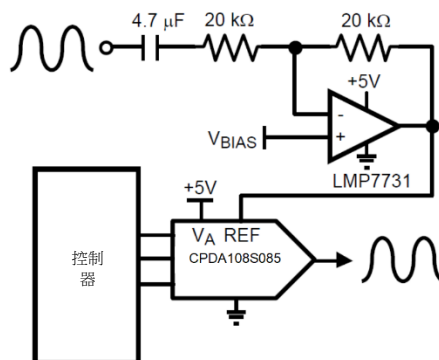


图19. 可编程衰减器

DSP/微处理器接口

将 CPDA108S085 连接到微处理器和DSP非常简单。提供以下指南以加快设计过程。

ADSP-2101/ADSP2103 接口

图20显示了CPDA108S085和ADSP-2101/ADSP2103之间的串行接口。应将DSP设置为在SPORT发送交替指令模式下运行。它通过SPORT控制寄存器进行编程，并应配置为内部时钟操作、低电平有效指令和16位字长。在启用SPORT模式后，通过向Tx 寄存器写入一个字开始发送。

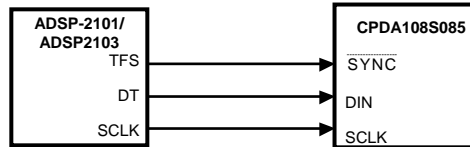


图20. ADSP-2101/2103接口

80C51/80L51接口

CPDA108S085和80C51/80L51微控制器之间的串行接口如图21所示。SYNC 信号来自微控制器上的位可编程引脚。此处显示的示例使用端口线P3.3。当数据传输到CPDA108S085时，这条线被拉低。由于 80C51/80L51 传输8位字节，因此在传输周期中仅出现8个时钟下降沿。要将数据加载到DAC，P3.3线必须在前8位传输后保持低电平。启动第二个写周期以传输第二个数据字节，之后端口线 P3.3变为高电平。80C51/80L51发送例程必须认识到80C51/80L51以LSB在前传输数据，而CPDA108S085 需要以MSB 在前的数据。

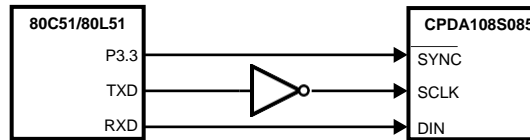


图21. 80C51/80L51接口

68HC11 接口

CPDA108S085和68HC11微控制器之间的串行接口如图22所示。CPDA108S085的SYNC线由端口线（图中的PC7）驱动，类似于80C51/80L51。68HC11 应将其 CPOL 位配置为 0，并将其 CPHA 位配置为 1。此配置导致MOSI 输出上的数据在 SCLK 的下降沿有效。PC7被拉低以将数据传输到DAC。68HC11使用8个时钟下降沿以8位字节传输数据。数据首先使用MSB传输。PC7必须在前8位传输后保持低电平。启动第二个写周期以将第二个数据字节传输到DAC，之后PC7 应被拉高以结束写序列。

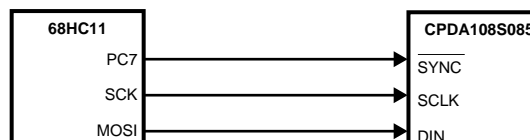


图 22. 68HC11 接口

微线接口

图23显示了Microwire兼容设备和CPDA108S085之间的接口。数据在SK信号的上升沿输出。因此，在驱动CPDA108S085的SCLK之前，需要反转Microwire器件的SK。

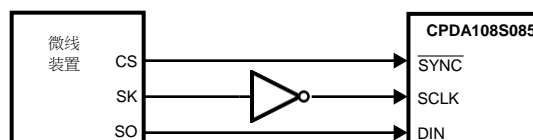


图 23. 微线接口

布局、接地和旁路

为获得最佳精度和最小噪声，包含CPDA108S085的印刷电路板应具有单独的模拟和数字区域。这些区域由模拟和数字电源平面的位置定义。这两个平面应位于同一板层。如果数字返回电流不流过模拟接地区域，则首选单个接地层。单个接地平面设计通常会利用“隔离”技术来防止模拟和数字接地电流的混合。仅当围栏技术不足时才应使用单独的接地层。单独的接地层必须连接在一个地方，最好靠近 CPDA108S085。需要特别注意确保具有快速边沿速率的数字信号不会通过分离的接地层。它们必须始终在其迹线下方具有连续的返回路径。

为获得最佳性能，CPDA108S085电源应使用至少一个 $1\mu\text{F}$ 和一个 $0.1\mu\text{F}$ 的电容进行旁路。 $0.1\mu\text{F}$ 电容需要放置在器件电源引脚的正下方。 $1\mu\text{F}$ 或更大值的电容可以是钽电容，而 $0.1\mu\text{F}$ 电容需要是低ESL和低ESR的陶瓷电容。如果一个低ESL和低ESR的陶瓷电容用于 $1\mu\text{F}$ 值，并且可以直接放置在电源引脚上，则可以省去 $0.1\mu\text{F}$ 电容。这种性质的电容器通常跨越与 $0.1\mu\text{F}$ 电容器相同的频谱，因此无需额外的电容器。CPDA108S085的电源只能用于模拟电路。

还建议避免模拟和数字信号的交叉。这有助于最大限度地减少来自耦合到敏感模拟信号（如参考引脚和 DAC 输出）的数字信号转换的噪声量。

单击下面可查看定价，库存，交付和生命周期等信息

[>>MCT\(南京模数\)](#)