

Compact 系列 CPLD 器件数据手册

(DS03001, Version 1.4)

(2020.8.6)

深圳市紫光同创电子有限公司

版权所有 侵权必究

修订记录

日期	修订版本	描述
2018.8.24	V0.1	初始发布
2019.6.14	V1.0	<ol style="list-style-type: none"> 1. 增加D型器件说明以及器件封装信息，增加SSBG256以及MBG324封装 2. 修改“表1 Compact系列CPLD器件资源”4K器件的逻辑资源以及所有器件的嵌入式Flash容量 3. 修改全局专用时钟管脚数最多为8个 4. 说明支持的热插拔等级为2级 5. 增加输出延迟功能，修改支持的最大延迟为3100ps 6. 修改片上振荡器的输出精度为±5.5% 7. 更新双启动描述，D型器件特别支持嵌入式Flash自加载双启动功能 8. 更新直流和交流特性 9. 更新器件的上电复位时间为2.5ms 10. 嵌入式Flash自加载更名为自主自加载
2019.8.22	V1.1	<ol style="list-style-type: none"> 1. 删除RSDS电平和SLVS电平 2. 增加嵌入式Flash总容量说明 3. 更新封装信息 4. PGC1K器件的IO bank统计区分L型器件和G型器件 5. 从封装角度更新IO bank分布和顶视图
2019.11.9	V1.2	<ol style="list-style-type: none"> 1. 修正器件的FF数量和PGC1K的分布式ram大小 2. 删除表25 配置模式交流特性的上电复位时间，增加器件上电初始化时间 3. 修正MBG324封装的尺寸 4. 修正IO Delay的最大延迟值，增加延迟步进参数

日期	修订版本	描述
2020.4.1	V1.3	<ol style="list-style-type: none"> 1.1 主要特征和表 8增加支持RSDS类差分标准 修改表 1的注释, 完善对用户可用的嵌入式Flash空间和嵌入式Flash最大容量的定义 修改表 1分布式ram容量的统计单位为Kbits 修正表 1PGC7K的嵌入式flash最大容量 修改2.3章节全局时钟的描述 增加2.5章节OSC输出频点非连续的说明 完善2.7章节嵌入式flash供电电源说明 完善2.8章节IO的状态 修改2.10章节UID的操作方式, 只支持读操作, 不支持写操作 增加表 8的LVDS输入和输出的备注, 修改MIPI输入的VCCIO 增加表 9 I/O延迟单元的步进延时 增加表 10 OSC输出频率 更新表 12极限工作电压的最小值 修正表 16的V_{PDNEXT} 修正表 18 LVTTTL33的直流特性 增加表 19 LVDS直流特性的V_{ID}指标 增加图 4, 图 5, 图 6差分电平标准的电压波形图 增加表 26 PGC1KG的编程擦除电流 增加表 28的全局时钟动态切换维持时间 修改表 33 IO Buffer性能的MIPI接口性能为900Mbps 增加表 33 MIPI性能的注释 增加表 34LVDS1:2的性能 删除表 28, 表 34器件速度等级-7 增加免责声明 删除图 1的速度等级-7 修改表 3, 增加2篇用户指南 删除使用操作规程及注意事项, 运输与储存, 开箱与检查, 质量保障与售后服务等章节 表 29 PLL交流特性 增加复位信号RST的脉冲宽度
2020.8.6	V1.4	<ol style="list-style-type: none"> 增加PGC10KD器件信息, 表 1 Compact系列CPLD器件资源增加PGC10K资源信息, 表 2 CPLD封装与I/O数量增加PGC10KD-MBG484封装信息 表 1增加备注分别描述PGC1KG和PGC1KL的用户可用的嵌入式Flash最大容量 表 1描述DRM资源时增加存储容量的信息 删除表 1 Compact系列CPLD器件资源的I/O Bank信息, 请参考各器件的封装手册 更新表 2 CPLD封装与I/O数量, 删除PGC4KD-MBG400, 增加支持从并配置模式的器件说明 增加图 2 PGC1KL bank分布顶视图, 表 7增加PGC10K和备注信息 在2.4.1IO Buffer (IOB) 中完善I/O BANK电源供电的说明 增加表 11 CPLD器件的OSC精度列表 删除2.6嵌入式硬核的APB总线性能, 另见《Compact系列CPLD嵌入式硬核用户指南》 完善表 13 推荐的器件工作条件的备注2 更改表 17 热插拔电气参数的I_{DK}的最大值和最小值的单位 更新表 29 PLL交流特性的f_{PPD}的参数, 小数分频时其范围是20MHz至40MHz

目录

1	COMPACT 系列 CPLD 总体介绍	7
1.1	主要特征	8
1.2	器件资源与封装信息	9
1.3	器件编号内容和意义	10
1.4	参考文档	10
2	COMPACT 系列 CPLD 功能说明	12
2.1	可配置逻辑模块 (CLM)	12
2.2	专用存储模块 (DRM)	12
2.3	时钟	13
2.4	I/O 单元	14
2.5	片上振荡器	17
2.6	嵌入式硬核	18
2.7	嵌入式 Flash	20
2.8	上电复位电路 (POR)	20
2.9	配置与测试	20
2.10	UID (Unique Identification)	21
3	直流特性	22
3.1	器件允许的极限工作条件	22
3.2	推荐的工作条件	22
3.3	ESD 及 Latch Up 指标	22
3.4	电源爬升时间	22
3.5	上电复位电压标准	23
3.6	热插拔电气参数	23
3.7	单端 I/O 直流特性	23
3.8	差分 I/O 电气特性	23
3.9	输入直流特性	26
3.10	静态电流	27
3.11	嵌入式 Flash 编程和擦除电流	27
4	交流特性	28
4.1	DRM 的开关特性	28
4.2	时钟交流特性	28
4.3	PLL 交流特性	28
4.4	配置模式交流特性	29
4.5	I ² C 接口交流特性	30
4.6	硬核 SPI 接口交流特性	30
4.7	IO Buffer 性能	31
4.8	高速数据传输性能	31
4.9	主自加载时间	31
5	联系方式	32
	免责声明	33

图目录

图 1 Compact 系列 CPLD 器件命名.....	10
图 2 PGC1KL bank 分布顶视图	15
图 3 PGC1KG/2K/4K/7K/10K bank 分布顶视图.....	15
图 4 LVDS\BLVDS\LVPECL33 电压波形.....	24
图 5 MIPI 接收端电压波形.....	25
图 6 MIPI 发送端电压波形.....	26

表目录

表 1 Compact 系列 CPLD 器件资源.....	9
表 2 CPLD 封装与 I/O 数量.....	9
表 3 Compact 系列 CPLD 文档列表.....	10
表 4 DRM 配置列表	12
表 5 双口 RAM 模式混合数据位宽列表	13
表 6 简单双口 RAM 模式混合数据位宽列表	13
表 7 Compact 系列 CPLD 器件 Bank 资源分布	15
表 8 Compact 系列 CPLD 支持的 I/O 标准	16
表 9 I/O 延迟单元的步进延时	17
表 10 OSC 输出频率	17
表 11 CPLD 器件的 OSC 精度列表	18
表 12 CPLD 允许的极限工作条件	22
表 13 推荐的器件工作条件	22
表 14 ESD 及 Latch Up 指标.....	22
表 15 电源爬升时间	22
表 16 上电复位电压标准 ^{1,2}	23
表 17 热插拔电气参数	23
表 18 单端 I/O 直流特性.....	23
表 19 LVDS 直流特性	24
表 20 BLVDS 直流特性	24
表 21 LVPECL33 直流特性	24
表 22 MIPI 接收端直流特性.....	25
表 23 MIPI 发送端直流特性.....	26
表 24 推荐工作条件下的输入直流特性	26
表 25 静态电流.....	27
表 26 嵌入式 Flash 编程和擦除电流 ^{1,2}	27
表 27 DRM 的开关特性	28
表 28 时钟交流特性	28
表 29 PLL 交流特性	28
表 30 配置模式交流特性	29
表 31 I ² C 接口交流特性.....	30
表 32 硬核 SPI 接口交流特性	30
表 33 IO Buffer 性能.....	31
表 34 高速数据传输性能列表	31
表 35 主自加载时间 ¹	31

缩略语清单

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
CPLD	Complex Programmable Logic Device	复杂可编程逻辑器件
CLM	Configurable Logic Module	可配置逻辑模块
DRM	Dedicated RAM Module	专用RAM存储模块
IDDR	Input Double Data Rate	双倍数据率输入
ODDR	Output Double Data Rate	双倍数据率输出
APB	Advanced Peripheral Bus	高级外围总线
POR	Power-On Reset	上电复位电路
ESD	Electro-Static Discharge	静电释放
CRAM	Configurable RAM	配置系统存储空间
NW	Normal Write	普通写模式
TW	Transparent Write	透明写模式
RBW	Read Before Write	先读后写模式

本文档主要描述了深圳市紫光同创电子有限公司（以下简称紫光同创）Compact 系列 CPLD 器件的产品型号与资源规模列表、功能说明，以及直流和交流特性等内容，能让用户对 CPLD 器件有全面的了解，方便用户进行器件选型。

1 Compact 系列 CPLD 总体介绍

Compact 系列器件是采用 55nm 工艺制造的低成本、高密度 IO 并具有非易失性的 CPLD 产品，采用先进的封装技术，提供上电瞬间启动功能；其中 LUT4 容量涵盖 1300~9900；包括有专用存储模块（DRM），多样的片上时钟资源，多功能的 I/O 资源，丰富的布线资源，并集成了 SPI, I²C 和定时器/计数器等硬核。Compact 系列 CPLD 还支持多种配置模式，支持远程升级和双启动功能，同时提供 UID（Unique Identification）等功能以保护用户的设计安全。

Compact 系列 CPLD 器件包含 G（通用型）、L（低功耗）和 D（支持主自加载双启动功能）三种版本，支持两个速度等级-5 和-6，其中-6 为最快等级。G 型和 D 型器件支持外部供电电压 V_{CC} 为 2.5V 或 3.3V，经过内部 LDO 电路产生内核电压，内核电压 $V_{CC_{CORE}}$ 是 1.2 V；L 型器件只支持 V_{CC} 为 1.2V， $V_{CC_{CORE}}$ 与 V_{CC} 相同。CPLD 器件的每个 I/O Bank 电源由其对应的 V_{CCIO} 单独供电，支持 1.2V、1.5V、1.8V、2.5V 和 3.3V。

1.1 主要特征

- 灵活的架构
 - 逻辑资源 1300-9900 个等效 LUT4
 - 用户 I/O 最多达到 384 个
- 多功能的 I/O
 - 支持不同类型的 I/O 接口
 - LVCMOS33/LVCMOS25/LVCMOS18 /LVCMOS15/ LVCMOS12
 - LVTTL33
 - PCI33
 - LVDS/MLVDS/LVPECL33 /BLVDS25/RSDS
 - MIPI
 - 支持 2 级热插拔
 - 可选的内部差分输入终端匹配电阻 100 Ω
 - 可编程的摆率
 - 可编程的弱上拉或弱下拉属性
 - 包含输入、输出和三态寄存器
 - 支持 IDDR (1:2) 以及 ODDR (2:1)
 - 包含 I/O 输入输出延迟单元
- 专用存储模块
 - 单个 DRM 提供 9Kbits 存储空间
 - 支持多种工作模式,包括双口(DP)RAM, 简单双口(SDP)RAM, 单口(SP) RAM 或 ROM 模式, 以及 FIFO 模式
 - 双口 RAM 和简单双口 RAM 支持双端口混合数据位宽
 - 支持字节使能功能
- 支持高速数据传输
 - OSERDES 支持 4:1, 7:1, 8:1
 - ISERDES 支持 1:4, 1:7, 1:8
- 时钟资源
 - 8 条全局时钟线和 8 条全局信号线, 支持最高 400MHz
 - 4 个 I/O 时钟网络, 支持最高 600MHz
 - 支持最多 2 个 PLL
- 多种配置方式及应用
 - 支持 JTAG 配置
 - 支持主自加载
 - 支持主 SPI 配置
 - 支持从 SPI 配置
 - 支持从 I²C 配置
 - 支持从并配置
 - 支持双启动功能
 - 支持远程升级
 - 支持压缩位流
- 嵌入式硬核
 - 2 个 I²C 硬核
 - 1 个 SPI 硬核
 - 1 个定时器/计数器
 - 1 个片上振荡器
- 应用领域
 - 消费类电子产品
 - 计算与存储
 - 无线通讯
 - 工业控制系统
 - 自动驾驶系统

1.2 器件资源与封装信息

Compact 系列 CPLD 器件具有不同的资源规模。不同类型的 CPLD 的资源列表如表 1 所示：

表 1 Compact 系列 CPLD 器件资源

资源名称		PGC1K	PGC2K	PGC4K	PGC7K	PGC10K
CLM	LUT5	1064	2024	3968	5920	8256
	等效LUT4	1276	2428	4761	7104	9907
	FF	1596	3036	5952	8880	12384
	分布式 ram (Kbits)	11	16	39	56	78
DRM	9K ¹	7	8	11	26	45
	最大容量(Kbits)	63	72	99	234	405
PLL		1	1	2	2	2
用户可用的嵌入式Flash 最大容量 (Kbits) ²		80 ³	80	1520	2070	3016
嵌入式Flash最大容量 (Kbits) ⁴		664	664	2560	3616	5120
硬 核	I ² C	2	2	2	2	2
	SPI	1	1	1	1	1
	定时器/计数器	1	1	1	1	1
片上振荡器		1	1	1	1	1
是否支持MIPI D-PHY		是	是	是	是	是

1. 每个 DRM 的容量是 9 Kbits
2. 用户可用的嵌入式 Flash 最大容量是指，除去一套不包含初始化数据的普通位流剩余的普通存储器空间大小
3. PGC1KL 的用户可用的嵌入式 Flash 最大容量为 310Kbits，PGC1KG 的用户可用的嵌入式 Flash 最大容量为 80Kbits
4. 嵌入式 Flash 最大容量是指普通存储器的空间大小，用户可用来存储位流或其他用户数据等

CPLD 器件的封装信息如表 2 所示。

表 2 CPLD 封装与 I/O 数量

器件 封装信息	PGC1KL	PGC1KG	PGC2KL	PGC2KG	PGC4KL	PGC4KD	PGC7KD	PGC10KD
UWG36 (2.5mm*2.5mm, 0.4mm)	29/3 ¹							
UWG49 (3.2mm*3.2mm, 0.4mm)			39/5 ¹					
UWG81 (3.8mm*3.8mm, 0.4mm)					64/10 ¹			
LPG100 (14mm*14mm, 0.5mm)		80/4 ¹		80/4 ¹				
LPG144 (20mm*20mm, 0.5mm)		112/4 ¹		112/4 ¹		115/9 ¹	115/9 ¹	
SSBG256			207/14 ^{1,2}		207/14 ^{1,2}			

器件 封装信息	PGC1KL	PGC1KG	PGC2KL	PGC2KG	PGC4KL	PGC4KD	PGC7KD	PGC10KD
(9mm*9mm, 0.5mm)								
MBG256 (14mm*14mm, 0.8mm)		207/14 ^{1,2}		207/14 ^{1,2}		207/18 ^{1,2}	207/19 ¹	
MBG324 (15mm*15mm, 0.8mm)						280/18 ^{1,2}		
MBG332 (17mm*17mm, 0.8mm)						275/18 ^{1,2}	279/21 ¹	
MBG400 (17mm*17mm, 0.8mm)							336/21 ^{1,2}	
MBG484 (19mm*19mm, 0.8mm)								384/24 ^{1,2}
FBG256 (17mm*17mm, 1.0mm)		207/14 ^{1,2}		207/14 ^{1,2}		207/18 ^{1,2}		
FBG484 (23mm*23mm, 1.0mm)							335/21 ^{1,2}	

1. X/Y 表示 X 个用户 I/O, Y 对真差分输出管脚
2. 这些器件支持从并配置模式

1.3 器件编号内容和意义

Compact 系列 CPLD 器件的编号内容和意义如图 1 所示。

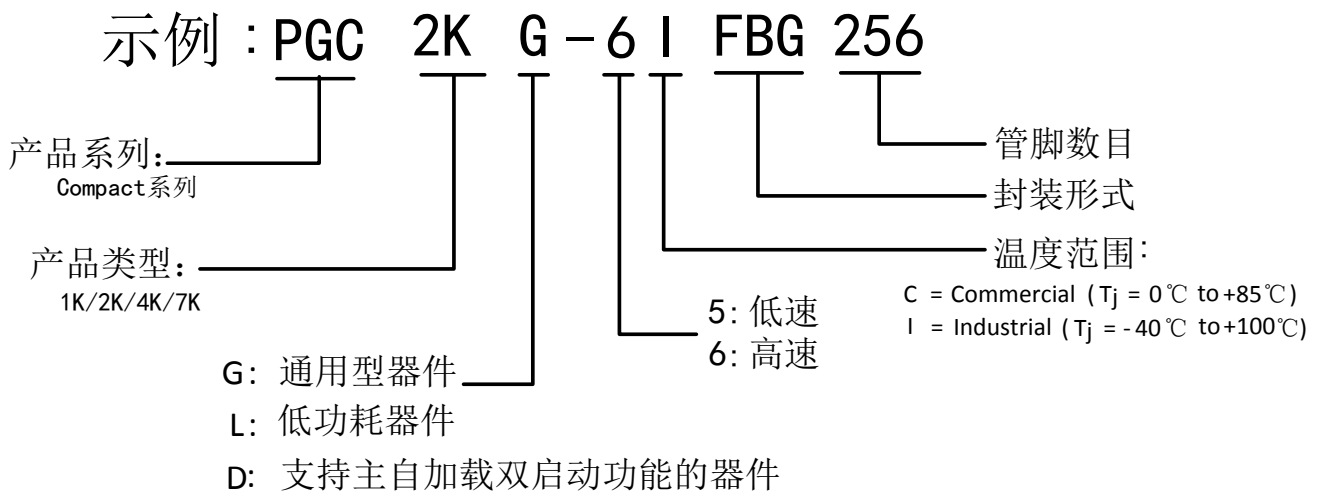


图 1 Compact 系列 CPLD 器件命名

1.4 参考文档

表 3 Compact 系列 CPLD 文档列表

文档编号	文档名称
UG030001	《Compact系列CPLD可配置逻辑模块（CLM）用户指南》
UG030002	《Compact系列CPLD专用RAM模块（DRM）用户指南》

文档编号	文档名称
UG030003	《Compact系列CPLD时钟资源（Clock&PLL）用户指南》
UG030004	《Compact系列CPLD配置（Configuration）用户指南》
UG030005	《Compact系列CPLD输入输出接口（IO）用户指南》
UG030006	《Compact系列CPLD嵌入式Flash（EFlash）用户指南》
UG030007	《Compact系列CPLD嵌入式硬核用户指南》
UG030008	《Compact系列GTP用户指南》
UG030009	《Compact系列单板硬件设计用户指南》

2 Compact 系列 CPLD 功能说明

2.1 可配置逻辑模块 (CLM)

CLM (Configurable Logic Module, 可配置逻辑模块) 是 Compact 系列 CPLD 器件的基本逻辑单元, 每个 CLM 包含 4 个 LUT5、6 个寄存器、位扩展功能选择器、快速进位逻辑以及各自独立的 4 条级联链, 其中级联链包括快速进位链 (Carry Chain), 复位/置位控制级联链 (RS Chain), 时钟使能控制级联链 (CE Chain)和移位寄存器数据级联链 (SR Chain)。

每个 CLM 中 2 个 LUT5 可以实现 1 个 LUT6, 2 个 LUT6 可以实现 1 个 LUT7。相邻的两个 CLM 可以实现 1 个 LUT8 逻辑。

CPLD 的 CLM 有两种类型:

- CLMA, 可实现逻辑、算术、移位寄存器以及 ROM 功能
- CLMS, 在 CLMA 实现功能基础上增加分布式 RAM 功能

CLM 可以配置成不同的功能模式:

- 逻辑功能模式
- 算术功能模式
- ROM 存储器模式
- 分布式 RAM 存储器模式
- 多路数据选择器
- 输出寄存器

详细信息请查看《UG030001_Compact 系列 CPLD 可配置逻辑模块 (CLM) 用户指南》。

2.2 专用存储模块 (DRM)

Compact 系列 CPLD 器件包含最多 45 个 DRM, 每个 DRM 有 9Kbits 存储单元, 以及输入寄存器和输出寄存器。

➤ 多种工作模式

DRM 支持多种工作模式, 包括双口 RAM, 简单双口 RAM, 单口 RAM 或 ROM 模式, 以及 FIFO 模式。表 4 给出了 CPLD 的 DRM 支持的配置模式。

表 4 DRM 配置列表

DRM模式	单口RAM	双口RAM	简单双口RAM	FIFO
存储模式	8K*1	8K*1	8K*1	8K*1
	4K*2	4K*2	4K*2	4K*2
	2K*4	2K*4	2K*4	2K*4

	1K*9(8)	1K*9(8)	1K*9(8)	1K*9(8)
	512*18(16)	N/A	512*18(16)	512*18(16)

➤ 支持混合数据位宽

DRM 在双口 RAM 和简单双口 RAM 模式下支持双端口混合数据位宽。

表 5 双口 RAM 模式混合数据位宽列表

A 端口	B 端口				
	8K x 1	4K x 2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

表 6 简单双口 RAM 模式混合数据位宽列表

读端口	写端口						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

➤ 支持字节使能

DRM 支持写操作的字节使能功能，即通过使能信号实现对选定数据字节的写入，同时屏蔽同一地址索引的其它字节的写入。

➤ 可选的输出寄存器

针对数据输出端口，DRM 特别提供了可选的输出寄存器，以取得更好的时序性能。

➤ DRM 级联扩展

多个 DRM 可以通过级联扩展的方式组合成更大的双口 RAM, 简单双口 RAM, 单口 RAM 或 ROM 以及 FIFO。对此，DRM 提供额外的 3bits 地址扩展，用于深度扩展的应用。

详细信息请查看《UG030002_Compact 系列 CPLD 专用 RAM 模块（DRM）用户指南》。

2.3 时钟

Compact 系列 CPLD 器件有最多 8 对专用时钟差分输入管脚，这些管脚可以接收差分输入信号也可以接收单端输入信号。当单端时钟信号接入时，使用差分信号的 P 端。作为时钟输入，这些管脚用来驱动时钟线，当这些管脚不需要驱动时钟线时，也可以作为通用 I/O 使用。

➤ 全局时钟网络

全局时钟网络支持 8 个全局时钟以及 8 个全局信号，8 个全局信号也可用作全局时钟使用。

全局时钟可以为器件内的各种资源提供时钟，如 CLM, DRM 和 IO Logic。全局时钟支持 400MHz 的时钟频率。全局时钟支持时钟动态使能和动态切换功能。

全局信号用来作为全局控制信号，如时钟使能信号，同步/异步清零、复位或者输出使能信号。

➤ I/O时钟网络

I/O时钟网络有 4 个，BANK0 和 BANK2 附近各有 2 个。时钟信号可以通过 I/O 时钟到达 IO Logic，作为信号的高速采样时钟。

I/O 时钟具有频率高（600MHz）和频偏小的特点。I/O 时钟支持动态使能的功能。

➤ PLL

Compact 系列 CPLD 器件最多有 2 个 PLL。PLL 是 CPLD 提供时钟资源的核心子系统，主要功能有时钟频率综合，降低时钟偏移，调整时钟相位以及低功耗管理等。

PLL 的输入时钟支持从外部 I/O 输入和内部互联输入时钟。支持两个输入时钟进行动态切换。PLL 的反馈时钟支持从外部 I/O 输入和内部互联输入。

PLL 支持多个时钟输出，每个时钟输出具有独立的分频器，支持 1-128 分频；每个时钟输出可以级联，PLL 之间也可以级联；每个时钟输出具有可选的动态时钟使能控制；PLL 还支持精度为 16 位的小数分频时钟输出，可以让用户产生非整数的输出时钟。小数分频计算方法和使用限制详见《UG030003_Compact 系列 CPLD 时钟资源（Clock&PLL）用户指南》。

PLL 支持静态配置和动态控制时钟相位两种方式。其中，动态调节 PLL 的相位时，可以用 APB 接口改写，或者通过端口来控制。PLL 可以动态连续实现相位逐渐递增或者递减，且相位调节过程中，被调节的时钟输出没有毛刺。

PLL 支持待机（Standby）模式，即在设计中不需要用到 PLL 时，可以让 PLL 处于下电状态，以节省功耗。

PLL 支持用户通过 APB 接口对 PLL 工作参数进行动态地改变，为用户动态配置 PLL 提供另一种方式。详细信息可查看《UG030003_Compact 系列 CPLD 时钟资源（Clock&PLL）用户指南》。

2.4 I/O 单元

2.4.1 IO Buffer (IOB)

IO Buffer 按照不同器件规模有不同数量的 I/O Bank（详见表 7），各器件的 bank 分布如图 2 和图 3 所示。

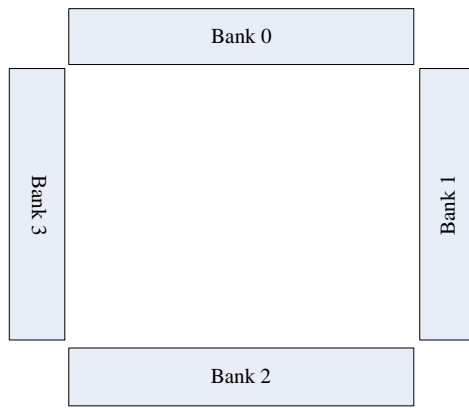


图 2 PGC1KL bank 分布顶视图

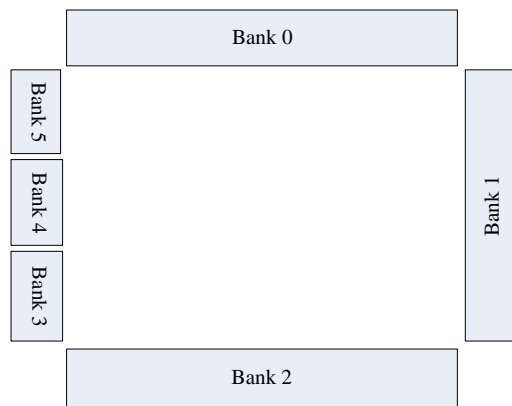


图 3 PGC1KG/2K/4K/7K/10K bank 分布顶视图

表 7 Compact 系列 CPLD 器件 Bank 资源分布

I/O Bank资源	PGC1KL ¹	PGC1KG	PGC2K ¹	PGC4K ¹	PGC7K	PGC10K
I/O Banks 左	1	3	3	3	3	3
I/O Banks 右	1	1	1	1	1	1
I/O Banks 上	1	1	1	1	1	1
I/O Banks 下	1	1	1	1	1	1
I/O Banks 总数	4	6	6	6	6	6

1. UWG 封装的器件只引出 3 个 bank 的 I/O，详细信息请见封装手册

每个 bank 独立支持 1.2V-3.3V bank 电压，整个 bank 中的 IO 不使用时，bank 电源可以悬空或连接正常的工作电压，建议接 V_{CC}。每个 bank 支持多种单端和差分接口标准，以适应不同的应用场景。IO Buffer 功能强大，可灵活配置 I/O 标准、输出驱动能力、摆率、输入迟滞和总线保持状态等。此外，IO Buffer 还支持热插拔属性，防止芯片由于泄漏电流过大而损坏；支持内部差分输入终端匹配电阻 100Ω，支持 LVDS 和 MIPI 电平标准。

Compact 系列 CPLD 器件的所有 I/O 都支持差分输入，但只有器件下侧（Bank2）的 I/O 支持内部差分输入终端匹配电阻。上侧（Bank0）的部分 I/O 支持真差分输出（定义为 DIFFIO 的管脚支持真差分输出，具体管脚定义请见 PK 系列封装手册）。CPLD 支持的 I/O 标准如表 8 所示。

表 8 Compact 系列 CPLD 支持的 I/O 标准

I/O标准	I/O典型工作电压	位置	备注
输入单端标准			
LVTTL33	3.3 V	上下左右	
LVC MOS	3.3/2.5/1.8/1.5/1.2 V	上下左右	
PCI33	3.3 V	下	
输入差分标准			
LVDS	3.3/2.5 V	上下左右	只有下面 (BANK2) 的差分对支持内部终端匹配电阻
BLVDS	3.3/2.5 V	上下左右	
MLVDS	3.3/2.5 V	上下左右	
RS DS	3.3/2.5 V	上下左右	
LVPECL33	3.3/2.5 V	上下左右	
MIPI(D-PHY)	1.2 V	上下左右	只有下面 (BANK2) 的差分对支持内部终端匹配电阻
输出单端标准			
LVTTL33	3.3 V	上下左右	
LVC MOS	3.3/2.5/1.8/1.5/1.2 V	上下左右	
PCI33	3.3 V	下	
输出差分标准			
LVDS	3.3/2.5 V	上	真差分, 只有功能名称为DIFFIO的管脚支持, 详见封装手册
BLVDS	2.5 V	上下左右	LVC MOS模拟
MLVDS	2.5 V	上下左右	LVC MOS模拟
RS DS	2.5 V	上下左右	LVC MOS模拟
LVPECL33	3.3 V	上下左右	LVC MOS模拟
MIPI(D-PHY)	2.5 V	上	
双向电平标准			
LVTTL33	3.3 V	上下左右	
LVC MOS	3.3/2.5/1.8/1.5/1.2 V	上下左右	

2.4.2 IO Logic (IOL)

IO Logic 主要包含以下功能:

- 输入、输出、三态组合逻辑
- 输入寄存器 (触发器/锁存器), 输出寄存器 (触发器) 和三态寄存器 (触发器)
- IDDR (1:2) 和 ODDR (2:1), 其中 ODDR 包括输出和三态的 ODDR

2.4.3 I/O 输入输出延迟单元

CPLD 的 I/O 输入延迟功能和输出延迟功能分别由同一个延迟单元单独实现。所有 I/O 均支持输入和输出延迟的静态配置，但只有器件下侧的 I/O 支持动态可调输入延迟，所有 I/O 都不支持动态可调输出延迟。

表 9 I/O 延迟单元的步进延时

符号	说明	最小值	典型值	最大值
T _{IODELAY}	每个输入/输出延迟步进的延时	55 ps	79 ps	125 ps

2.4.4 高速数据传输

I/O 单元通过与 ISERDES 和 OSERDES 模块配合使用，可以实现高速数据的收发。

- ISERDES: 针对高速接口，支持1:4, 1:7, 1:8
- OSERDES: 针对高速接口，支持4:1, 7:1, 8:1

所有 Bank 都支持 IDDR/ODDR 和输入/输出/三态寄存器。针对高速接口应用，下侧的 Bank 支持 ISERDES，上侧的 Bank 支持 OSERDES。

2.4.5 热插拔

Compact 系列 CPLD 器件支持 2 级热插拔功能。每个 IO Buffer 都支持热插拔功能，以防止当器件供电电压低于外部输入信号电压时，电流从信号管脚流入器件衬底，导致 latch-up 产生。

详细信息请查看《UG030005_Compact 系列 CPLD 输入输出接口 (IO) 用户指南》。

2.5 片上振荡器

每个 Compact 系列 CPLD 器件都有一个片上振荡器 (OSC)。OSC 的输出可以通过编程互联到全局时钟网络或者互联到 PLL 作为 PLL 的参考时钟。OSC 的输出还可以为配置系统提供可编程配置时钟，作为主配置时钟使用。OSC 的输出也可以为嵌入式 Flash 提供固定频率时钟。

用户可通过例化 GTP_OSC_E2 进行 OSC 的时钟分频。OSC 的本征频率为 266MHz，整数分频系数范围为 2-128，OSC 输出频率范围为 2.08MHz-133MHz，这些频点是非连续的，默认值为 2.08MHz。当 OSC 输出的时钟作为用户时钟时，可输出的频率如表 10 所示。

表 10 OSC 输出频率

OSC 输出频率 (分频系数), 单位 MHz							
2.08(128)	2.09(127)	2.11(126)	2.13(125)	2.15(124)	2.16(123)	2.18(122)	2.20(121)

OSC 输出频率（分频系数），单位 MHz							
2.22(120)	2.24(119)	2.25(118)	2.27(117)	2.29(116)	2.31(115)	2.33(114)	2.35(113)
2.38(112)	2.40(111)	2.42(110)	2.44(109)	2.46(108)	2.49(107)	2.51(106)	2.53(105)
2.56(104)	2.58(103)	2.61(102)	2.63(101)	2.66(100)	2.69(99)	2.71(98)	2.74(97)
2.77(96)	2.80(95)	2.83(94)	2.86(93)	2.89(92)	2.92(91)	2.96(90)	2.99(89)
3.02(88)	3.06(87)	3.09(86)	3.13(85)	3.17(84)	3.20(83)	3.24(82)	3.28(81)
3.33(80)	3.37(79)	3.41(78)	3.45(77)	3.50(76)	3.55(75)	3.59(74)	3.64(73)
3.69(72)	3.75(71)	3.80(70)	3.86(69)	3.91(68)	3.97(67)	4.03(66)	4.09(65)
4.16(64)	4.22(63)	4.29(62)	4.36(61)	4.43(60)	4.51(59)	4.59(58)	4.67(57)
4.75(56)	4.84(55)	4.93(54)	5.02(53)	5.12(52)	5.22(51)	5.32(50)	5.43(49)
5.54(48)	5.66(47)	5.78(46)	5.91(45)	6.05(44)	6.19(43)	6.33(42)	6.49(41)
6.65(40)	6.82(39)	7.00(38)	7.19(37)	7.39(36)	7.60(35)	7.82(34)	8.06(33)
8.31(32)	8.58(31)	8.87(30)	9.17(29)	9.50(28)	9.85(27)	10.23(26)	10.64(25)
11.08(24)	11.57(23)	12.09(22)	12.67(21)	13.30(20)	14.00(19)	14.78(18)	15.65(17)
16.63(16)	17.73(15)	19.00(14)	20.46(13)	22.17(12)	24.18(11)	26.60(10)	29.56(9)
33.25(8)	38.00(7)	44.33(6)	53.20(5)	66.50(4)	88.67(3)	133.00(2)	

Compact 系列 CPLD 各器件的 OSC 的精度如表 11 所示。

表 11 CPLD 器件的 OSC 精度列表

温度等级	器件	PGC1KL	PGC1KG	PGC2KL	PGC2KG	PGC4KL	PGC4KD	PGC7KD	PGC10KD
	商业级 (C)		±5.5%	±10%	±5.5%	±10%	±5.5%	±10%	±10%
工业级 (I)		±10%	±10%	±10%	±10%	±10%	±10%	±10%	±10%

详细信息可查看《UG030003_Compact 系列 CPLD 时钟资源 (Clock&PLL) 用户指南》。

2.6 嵌入式硬核

Compact 系列 CPLD 器件内嵌了多个硬核，如 I²C、SPI 和定时器/计数器。用户可通过 APB 接口访问这些硬核。

2.6.1 I²C 硬核

每个 CPLD 器件都包含 2 个 I²C 硬核，每个 I²C 硬核都可以配置为主设备和从设备。当 I²C 硬核被配置为主设备时，它就可以通过 I²C 总线接口控制其他设备；当它做为从设备时，它可以为 I²C 主

设备提供扩展 I/O。

I²C 硬核主要支持如下功能：

- 可配置为主设备或从设备，支持主从操作
- 7-bit 和 10-bit 寻址
- 多个主设备仲裁
- 支持快速模式/标准模式 I²C 总线协议，最高 400kHz 的数据传输速度
- 8-bit APB 总线的用户接口
- 支持软复位
- 支持中断
- 支持全呼地址

2.6.2 SPI 硬核

每个 CPLD 器件都包含 1 个 SPI 硬核，它可以配置为主设备或从设备。当它做为主设备时，它可以通过 SPI 总线去控制其他带有 SPI 接口的芯片；当它做为从设备时，它可以当做外部 SPI 主设备的接口。SPI 硬核支持如下功能：

- 可配置为主设备或从设备，支持主从操作
- 支持中断
- 双缓冲数据寄存器
- 极性和相位可编程的串行时钟
- 数据传输支持最低位先发或最高位先发
- 8-bit APB 总线的用户接口
- 最多控制 8 个从设备

2.6.3 定时器/计数器硬核

每个 CPLD 器件都提供了一个通用的，双向 16-bit 的定时器/计数器硬核。它有独立的输出比较单元并支持脉宽调制。该硬核支持如下功能：

- 支持如下工作模式
 - 看门狗
 - 自动清零定时器
 - 快速脉宽调制
 - 相位和频率校正脉宽调制

- 可编程的时钟输入
- 支持中断请求
- 自动重加载
- 支持时间戳
- 8-bit APB 总线的用户接口

详细信息可查看《UG030007_Compact 系列 CPLD 嵌入式硬核用户指南》。

2.7 嵌入式 Flash

Compact 系列 CPLD 器件包含了一个嵌入式 Flash，它可以用来存储配置信息，或者为用户提供通用的 Flash 存储空间。嵌入式 Flash 有如下特点：

- 供电电压 1.2V，由 VCC_{CORE} 提供
- 存储空间最高可达 5120 Kbits
- 至少 10 万次擦写操作
- 自加寻址
- 支持 JTAG, I²C, SPI 和 APB 接口

详细信息可查看《UG030006_Compact 系列 CPLD 嵌入式 Flash (EFlash) 用户指南》。

2.8 上电复位电路 (POR)

Compact 系列 CPLD 器件具有上电复位电路 (POR)，它在器件上电时和工作期间监控器件的 VCC_{CORE} 和 $VCCIO0$ 。上电开始后，当 POR 电路检测到 VCC_{CORE} 和 $VCCIO0$ 达到 V_{PUP} （如表 16 所示）后，器件就会开始进行初始化。

复用 I/O 可通过设置特征控制位来设置成配置 I/O 或用户 I/O。所有 I/O 在上电期间为低电平；在配置前和配置期间，用户 I/O 呈弱下拉，配置 I/O 呈弱上拉或其固有状态；在配置完成进入用户模式后，用户 I/O 才释放给用户使用。所有 I/O 在不同阶段的状态详见《UG030004_Compact 系列 CPLD 配置 (Configuration) 用户指南》。

进入用户模式后，POR 电路继续监控 VCC_{CORE} 。如果 VCC_{CORE} 降到 V_{PDN} 指定的电压，芯片不能保证正确工作；一旦发生这种情况，POR 电路复位整个芯片，并再次监控 VCC_{CORE} 和 $VCCIO0$ 。

2.9 配置与测试

➤ 配置

Compact 系列 CPLD 器件包含多种配置接口，JTAG、SPI 和 I²C。其中，JTAG 支持 IEEE 1149.1

边界扫描规范和 IEEE 1532 系统内配置规范。在这些配置接口的支持下，可以有多种模式来配置 Compact 器件。

- 主自加载
- JTAG 模式
- 主 SPI 模式
- 从 SPI 模式
- 从 I²C 模式
- 从并模式（不是所有器件都支持，支持的器件请见表 2 CPLD 封装与 I/O 数量）

器件上电完成后，开始进行器件的初始化操作，然后选择配置模式；不同的配置模式有不同的配置接口，配置模式确定后，对应的管脚就被设置为配置管脚，然后进行位流的加载；完成位流的加载后，进行 CRC 校验；CRC 校验成功后，进入用户模式。

所有的配置管脚都是复用的，当一些配置管脚没有被用来做配置功能时进入用户模式后，它们就可以用来做通用 I/O。

CPLD 器件支持压缩位流。

CPLD 器件支持回读功能，用来从 CRAM 里读出配置数据。在回读的过程中并不影响系统的正常工作。同时也支持禁止回读，保护用户信息安全。

CPLD 器件支持双启动功能。

CPLD 器件支持远程升级功能。

➤ 边界扫描测试

Compact 系列 CPLD 器件集成了边界扫描单元，它支持 IEEE 1149.1，用户可以通过 JTAG 进行访问。JTAG 包含 4 个信号，TDI，TDO，TCK 和 TMS。

器件内部的每个 I/O 都附加了一个边界扫描单元，这些边界扫描单元在器件内部通过输入输出管脚相互串联起来。测试数据从 TDI 端口进入，通过串行移位的方式访问每个 I/O，然后从 TDO 流出，通过分析测试响应，可以实现待测电路的故障诊断。

JTAG 的端口由 VCCIO0 供电，支持 LVCMOS33/ LVCMOS25/ LVCMOS18/ LVCMOS15/ LVCMOS12。详细信息可查看《UG030004_Compact 系列 CPLD 配置（Configuration）用户指南》。

2.10 UID（Unique Identification）

每个 Compact 系列的 CPLD 器件都有唯一的 UID，它可以用来跟踪信息或者保证 IP 的安全性。UID 的位宽是 64 位，只读不可写。UID 可以通过片内 UID 接口或者片内 APB 接口进行读操作，也可以通过 SPI，I²C 或者 JTAG 接口进行读操作。

详细信息可查看《UG030004_Compact 系列 CPLD 配置（Configuration）用户指南》。

3 直流特性

3.1 器件允许的极限工作条件

Compact 系列 CPLD 器件允许的极限工作条件如表 12 所示：

表 12 CPLD 允许的极限工作条件

参数说明 ^{1,2}	L 型 (1.2V)	G 型/D 型 (2.5V/3.3V)
外部供电电压 V _{CC}	-0.5 V ~ 1.32 V	-0.5 V ~ 3.75 V
I/O Bank 电压 V _{CCIO}	-0.5 V ~ 3.75 V	-0.5 V ~ 3.75 V
I/O 三态电压 ³	-0.5 V ~ 3.75 V	-0.5 V ~ 3.75 V
输入 I/O 的电压 ³	-0.5 V ~ 3.75 V	-0.5 V ~ 3.75 V
存储环境温度 (T _a)	-55 °C ~ 125 °C	-55 °C ~ 125 °C
结温 T _J	-40 °C ~ 125 °C	-40 °C ~ 125 °C

1. 超出上表所限制范围会导致器件永久损坏
2. 所有电压值都是以 GND 为参考
3. 下冲至 -2V 允许的承受时间小于 20ns, 上冲至 (V_{IHM}MAX+2)V 允许的承受时间小于 20ns

3.2 推荐的工作条件

表 13 推荐的器件工作条件

符号	说明	最小值	典型值	最大值
V _{CC} ¹	L 型器件的外部供电电压	1.14 V	1.2 V	1.26 V
	G 型/D 型器件的外部供电电压	2.375 V	2.5V/3.3 V	3.465 V
V _{CCIO} ^{1,2}	I/O Bank 电压	1.14 V	--	3.465 V
T _J	商业级的工作结温	0 °C	--	85 °C
	工业级的工作结温	-40 °C	--	100 °C

1. 相同的电源要连接到一起。例如，如果 V_{CCIO} 和 V_{CC} 是相同的电压值，它们必须来自相同的电源
2. 制板时，没有用到的 I/O Bank 的 V_{CCIO} 管脚可以悬空也可以供电，建议连到 V_{CC}；为了保证芯片正常工作，V_{CCIO0} 必须正常供电

3.3 ESD 及 Latch Up 指标

表 14 ESD 及 Latch Up 指标

ESD (HBM)	ESD (CDM)	Latch-up
±2000 V	±500 V	±100 mA

3.4 电源爬升时间

表 15 电源爬升时间

符号	说明	最小值	典型值	最大值
T _{VCCR}	V _{CC} 的爬升时间	0.20 ms	--	100.0 ms
T _{VCCIOR}	I/O Bank 电压的爬升时间	0.20 ms	--	100.0 ms

V_{CC} 和各个 bank 的 V_{CCIO} 没有上电顺序要求

3.5 上电复位电压标准

表 16 上电复位电压标准^{1,2}

符号	说明	最小值	典型值	最大值
V _{PUP}	上电复位触发电平（监控 VCC _{CORE} 和 VCCIO0）	0.9 V	--	1.06 V
V _{PUPEXT}	上电复位触发电平（监控 V _{CC} ）	1.5 V	--	2.1 V
V _{PDN}	掉电复位触发电平（监控 VCC _{CORE} ）	0.75 V	--	0.93 V
V _{PDNEXT}	掉电复位触发电平（监控 V _{CC} ）	1.6 V	--	1.85 V

1. L 版器件内部没有 LDO，VCC_{CORE} 和 V_{CC} 相同；G/D 版器件的 VCC_{CORE} 由 V_{CC} 通过 LDO 产生
2. V_{PUPEXT} 和 V_{PDNEXT} 只针对 G/D 版器件

3.6 热插拔电气参数

表 17 热插拔电气参数

符号	说明	条件	最小值	最大值
I _{DK}	热插拔时输入或者输出的漏电流	0 < V _{IN} < V _{IH} (Max)	-1000 μA	+1000 μA

3.7 单端 I/O 直流特性

表 18 单端 I/O 直流特性

电平标准	V _{IL} (V)		V _{IH} (V)		V _{OL} 最大值 (V)	V _{OH} 最小值 (V)	I _{OL} (mA)	I _{OH} (mA)
	最小值	最大值	最小值	最大值				
PCI33	-0.3	0.3VCCIO	0.5VCCIO	3.465	0.1VCCIO	0.9VCCIO	1.5	-0.5
LVC MOS33 LVC MOS33D LV TTL33	-0.3	0.8	2.0	3.465	0.4	VCCIO-0.4	4	-4
8							-8	
12							-12	
16							-16	
LVC MOS25 LVC MOS25D	-0.3	0.7	1.7	3.465	0.4	VCCIO-0.4	4	-4
8							-8	
12							-12	
LVC MOS18	-0.3	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4	4	-4
8							-8	
12							-12	
LVC MOS15	-0.3	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4	4	-4
8							-8	
LVC MOS12	-0.3	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4	2	-2
6							-6	

3.8 差分 I/O 电气特性

LVDS, BLVDS 和 LVPECL33 的主要电气参数定义如图 4 所示。

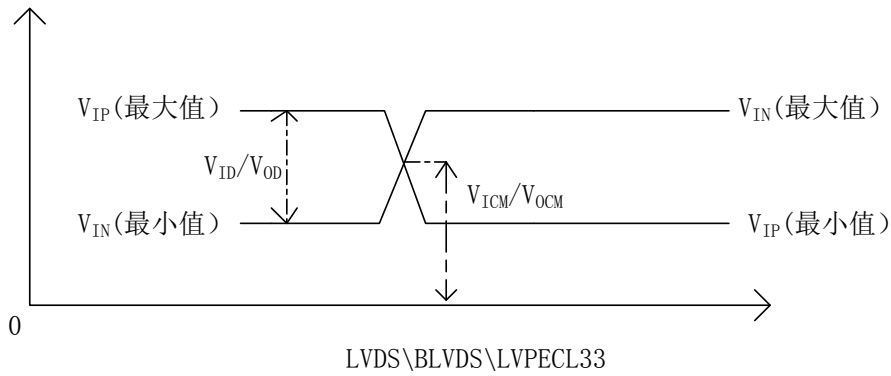


图 4 LVDS\BLVDS\LVPECL33 电压波形

3.8.1 LVDS 直流特性

表 19 LVDS 直流特性

符号	符号描述	测试条件	最小值	典型值	最大值
V_{IP}, V_{IN}	输入电压	$V_{CCIO} = 3.3V$	0	--	2.605V
		$V_{CCIO} = 2.5V$	0	--	2.05V
V_{ID}	输入差模电压		$\pm 100\text{ mV}$	--	--
V_{ICM}	输入共模电压	$V_{CCIO} = 3.3\text{ V}$	0.4 V	--	2.4V
		$V_{CCIO} = 2.5\text{ V}$	0.4 V	--	1.9V
V_{OD}	输出差模电压	$(V_{op} - V_{on}), R_t = 100\ \Omega$	245 mV	350 mV	455 mV
ΔV_{OD}	V_{OD} 变化范围		--	--	50 mV
V_{OCM}	输出共模电压	$(V_{op} + V_{on})/2, R_t = 100\ \Omega$	1.0 V	1.2 V	1.4 V
ΔV_{OCM}	V_{OCM} 变化范围		--	--	50 mV

3.8.2 BLVDS 直流特性

表 20 BLVDS 直流特性

符号	符号描述	最小值	典型值	最大值
V_{ICM}	输入共模电压	0.4V	--	1.9V
V_{OD}	输出差模电压	230 mV	--	460 mV
V_{OCM}	输出共模电压	1.1V	--	1.4V
R_{left}	左侧终端电阻	40 Ω	--	100 Ω
R_{right}	右侧终端电阻	40 Ω	--	100 Ω
R_S	驱动器串行电阻	--	80 Ω	--

3.8.3 LVPECL33 直流特性

表 21 LVPECL33 直流特性

符号	符号描述	最小值	典型值	最大值
V_{ICM}	输入共模电压	0.4V	--	2.4V
V_{OD}	输出差模电压	0.78V	--	1.0V

符号	符号描述	最小值	典型值	最大值
V_{OCM}	输出共模电压	1.3V	--	2.1V
R_S	驱动器串行电阻	--	100 Ω	--
R_P	驱动器并行电阻	--	200 Ω	--
R_T	接收器终端电阻	--	100 Ω	--

3.8.4 MIPI 直流特性

Compact 系列 CPLD 器件支持 MIPI D-PHY 的单向 HS (High Speed) 和双向 LP (Low Power) 的输入和输出。MIPI 接收端的电气参数定义如图 5 所示。

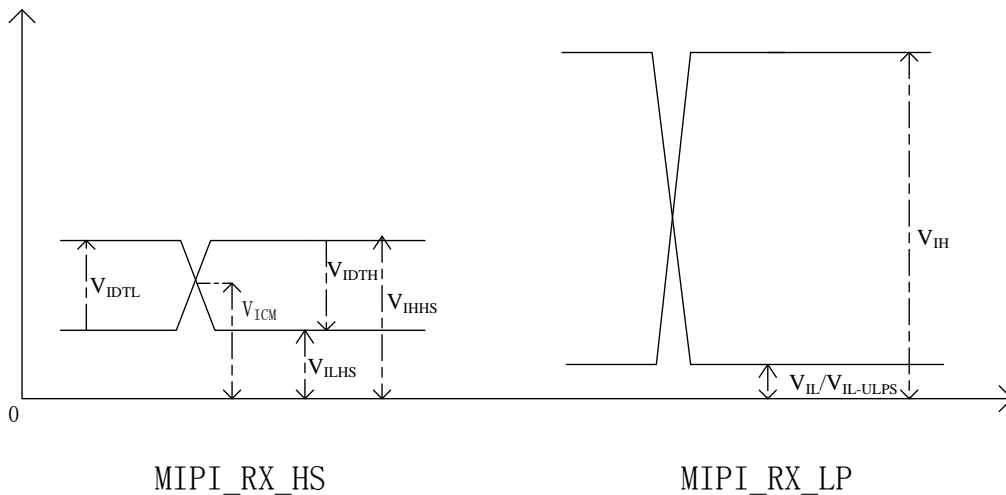


图 5 MIPI 接收端电压波形

表 22 是 MIPI 接收端的直流特性。

表 22 MIPI 接收端直流特性

符号	符号描述	最小值	典型值	最大值
High Speed RX				
V_{ICM}	HS 接收共模电压	70 mV	--	330 mV
V_{CCIO}	I/O Bank电压	--	1.2 V	--
V_{IDTH}	差分输入高电平阈值	--	--	70 mV
V_{IDTL}	差分输入低电平阈值	-70 mV	--	--
V_{IHHS}	单端输入高电平	--	--	460 mV
V_{ILHS}	单端输入低电平	-40 mV	--	--
$V_{TERM-EN}$	终端匹配使能的单端电压阈值	--	--	450 mV
Z_{ID}	差分输入阻抗	80 Ω	100 Ω	125 Ω
Low Power RX				
V_{IH}	输入高电平的电压值	880 mV	--	--
V_{CCIO}	I/O Bank电压	--	1.2 V	--
V_{IL}	输入低电平的电压值	--	--	550 mV
$V_{IL-ULPS}$	输入低电平的电压值 (超低功耗模式)	--	--	300 mV
V_{HYST}	输入迟滞	25 mV	--	--

表 23 是 MIPI 发送端的直流特性。MIPI 发送端的电气参数定义如图 6 所示。

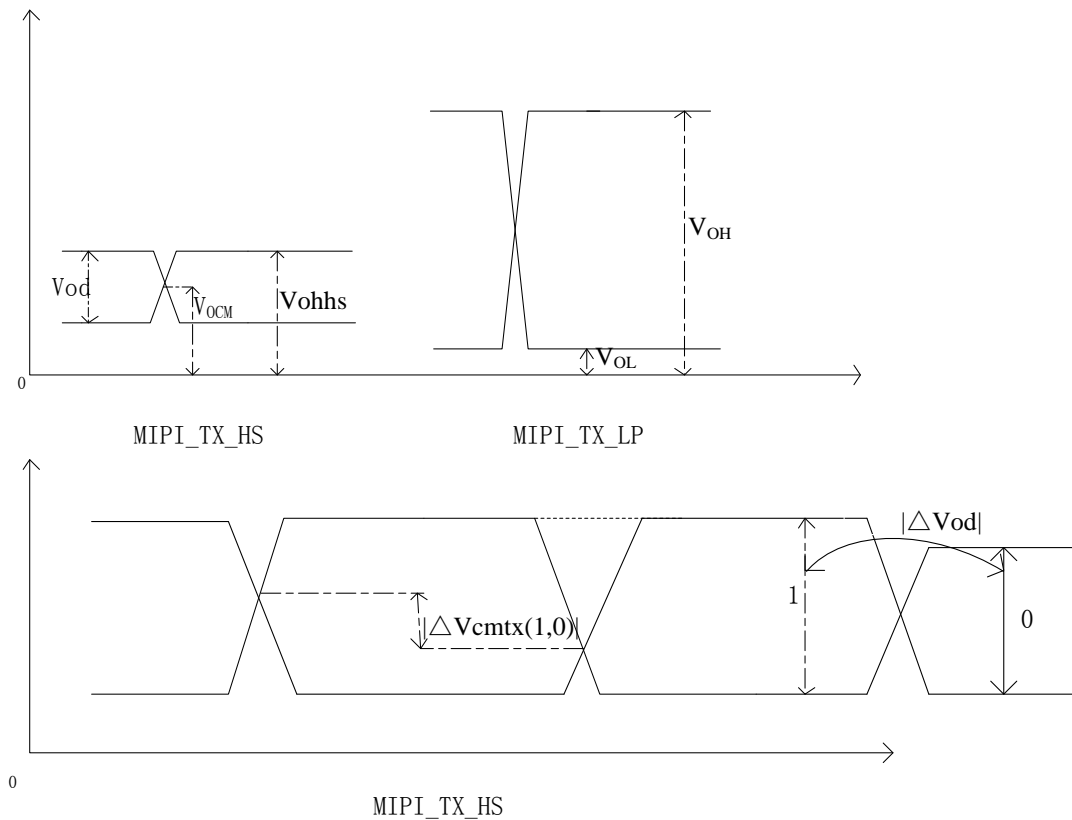


图 6 MIPI 发送端电压波形

表 23 MIPI 发送端直流特性

符号	符号描述	最小值	典型值	最大值
High Speed TX				
V_{ocm}	HS 输出共模电压	150 mV	200 mV	250 mV
VCCIO	I/O Bank电压	--	2.5 V	--
$ \Delta V_{cmx(1,0)} $	差分1和差分0的输出共模电压的差异	--	--	5 mV
$ V_{od} $	输出差模电压	140 mV	200 mV	270 mV
$ \Delta V_{od} $	差分1和差分0的输出差模电压的差异	--	--	10 mV
Vohhs	HS输出高电平	--	--	360 mV
Z_{os}	单端输出阻抗	40 Ω	50 Ω	62.5 Ω
ΔZ_{os}	单端输出阻抗的差异	--	--	10%
Low Power TX				
V_{oh}	输出高电平	1.1 V	1.2 V	1.3 V
VCCIO	I/O Bank电压	--	1.2 V	--
V_{ol}	输出低电平	-50 mV	--	50 mV
Z_{olp}	LP模式输出阻抗	110 Ω	--	--

3.9 输入直流特性

表 24 推荐工作条件下的输入直流特性

符号	说明	条件	最小值	典型值	最大值
I_{IL}	输入低电平时的漏电流	$0 \leq V_{IN} \leq (VCCIO - 0.2V)$	-10 μA	--	10 μA
I_{IH}	输入高电平时的漏电流	$(VCCIO - 0.2V) < V_{IN} \leq 3.6V$	--	--	175 μA

符号	说明	条件	最小值	典型值	最大值
C_{IN}	管脚输入电容	25°C, 信号频率 1MHz	--	--	10 pF
I_{PU}	I/O 上拉电流	$0 \leq V_{IN} \leq 0.7V_{CCIO}$	-30 μ A	--	-310 μ A
I_{PD}	I/O 下拉电流	$V_{IL}(\text{Max}) \leq V_{IN} \leq V_{CCIO}$	30 μ A	--	310 μ A
I_{BKL}	总线保持低的维持电流	$V_{IN} = V_{IL}(\text{Max})$	30 μ A	--	--
I_{BKH}	总线保持高的维持电流	$V_{IN} = 0.7 V_{CCIO}$	-30 μ A	--	--
I_{BKLOD}	总线保持低的过驱动电流	$0 \leq V_{IN} \leq V_{CCIO}$	--	--	310 μ A
I_{BKHOD}	总线保持高的过驱动电流	$0 \leq V_{IN} \leq V_{CCIO}$	--	--	-310 μ A
V_{BKV}	总线保持的阈值		$V_{IL}(\text{Max})$	--	$V_{IH}(\text{Min})$

3.10 静态电流

在环境温度是 25°C，器件未配置的条件下，静态电流如表 25 所示。

表 25 静态电流

符号	说明	器件	电流值
I_{VCC}	外部供电电源电流	PGC1KL	3 mA
		PGC1KG	4.6 mA
		PGC2KL	4 mA
		PGC2KG	4.6 mA
		PGC4KL	4.6 mA
		PGC4KD	7.2 mA
		PGC7KD	9 mA
I_{CCIO}	I/O Bank 电流, I/O Bank 电压为 2.5V	所有器件	0 mA

3.11 嵌入式 Flash 编程和擦除电流

表 26 嵌入式 Flash 编程和擦除电流^{1,2}

符号	说明	器件	电流值
I_{VCC}	外部供电电源电流	PGC1KL	--
		PGC1KG	8.4 mA
		PGC2KL	--
		PGC2KG	--
		PGC4KL	--
		PGC4KD	--
		PGC7KD	--
I_{CCIO}	I/O Bank 电流, I/O Bank 电压为 2.5V	所有器件	0 mA

1. 位流功能为跑马灯
2. 测试条件为常温 25°C, $V_{CCIO}=2.5V$, JTAG 接口频率 15MHz

4 交流特性

4.1 DRM 的开关特性

表 27 DRM 的开关特性

符号	说明	速度等级		单位
		-5	-6	
F _{MAX_DRM}	单个 DRM, NW 模式	--	280	MHz
	单个 DRM, TW 模式	--	280	MHz
	单个 DRM, RBW 模式	--	200	MHz
	单个 DRM, FIFO 模式	--	280	MHz

4.2 时钟交流特性

表 28 时钟交流特性

参数说明	-5			-6		
	最小值	典型值	最大值	最小值	典型值	最大值
全局时钟频率	--	--	--	--	--	400MHz
全局时钟脉冲宽度	--	--	--	0.5 ns	--	--
全局时钟偏斜	--	--	--	--	--	800 ps
全局时钟占空比	--	--	--	45%	50%	55%
全局时钟动态切换维持时间	--	--	--	2(T _{CLKIN0} +T _{CLKIN1})	--	--
I/O时钟频率	--	--	--	--	--	600MHz
I/O时钟偏斜	--	--	--	--	--	35 ps
I/O时钟占空比	--	--	--	43%	50%	57%

4.3 PLL 交流特性

表 29 PLL 交流特性

符号	符号描述	测试条件	最小值	典型值	最大值
f _{IN}	输入时钟频率		10 MHz	--	500 MHz
f _{OUT}	输出时钟频率		3.125 MHz	--	600 MHz
f _{OUT-CAS} ¹	级联输出时钟频率 (1级)		0.0244 MHz	--	600 MHz
f _{VCO}	VCO工作频率范围 (G/D)		400 MHz	--	1200 MHz
	VCO工作频率范围 (L)		400 MHz	--	800 MHz
f _{PFD}	PFD工作频率范围 (整数分频)		10 MHz	--	500 MHz
	PFD工作频率范围 (小数分频)		20MHz	--	40MHz
t _{DUTY}	输出时钟占空比		45%	50%	55%
t _{JITTER}	输入时钟Cycle-to-Cycle抖动	f _{PFD} ≥ 20 MHz	--	--	0.01 UI _{PP}
		f _{PFD} < 20 MHz	--	--	500 ps p-p
t _{OJITTER}	输出时钟周期抖动	f _{OUT} ≥ 100 MHz	--	--	155 ps p-p

符号	符号描述	测试条件	最小值	典型值	最大值
	(整数分频)	$f_{OUT} < 100 \text{ MHz}$	--	--	0.008 UIPP
	输出时钟Cycle-to-Cycle抖动 (整数分频)	$f_{OUT} \geq 100 \text{ MHz}$	--	--	185 ps p-p
		$f_{OUT} < 100 \text{ MHz}$	--	--	0.010UIPP
	输出时钟周期抖动 (小数分频)	$f_{OUT} \geq 100 \text{ MHz}$	--	--	235ps p-p
		$f_{OUT} < 100 \text{ MHz}$	--	--	0.13UIPP
	输出时钟Cycle-to-Cycle抖动 (小数分频)	$f_{OUT} \geq 100 \text{ MHz}$	--	--	235ps p-p
		$f_{OUT} < 100 \text{ MHz}$	--	--	0.13UIPP
	输出时钟相位抖动 (整数分频)	$f_{PFD} \geq 100 \text{ MHz}$	--	--	165 ps p-p
$f_{PFD} < 100 \text{ MHz}$		--	--	0.012 UIPP	
t_{PH}	相移精度		-6% T_{vco}	--	+6% T_{vco}
t_{LOCK}	PLL锁定时间		--	--	5 ms
t_{UNLOCK}	PLL失锁时间		--	--	50 ns
t_{RST}	复位信号RST脉冲宽度		10 ns	--	--

1. 每增加一级级联，在上一级输出时钟基础上除以 128

4.4 配置模式交流特性

表 30 配置模式交流特性

配置模式	说明	最小值	典型值	最大值
JTAG	TCK频率	--	--	50 MHz
	TCK低脉冲宽度	10 ns	--	--
	TCK高脉冲宽度	10 ns	--	--
	TMS/TDI建立时间 (TCK上升沿)	3 ns	--	--
	TMS/TDI保持时间 (TCK上升沿)	2 ns	--	--
	TCK下降沿到TDO输出有效	--	--	8 ns
主SPI	SCK初始频率	--	--	2.08 MHz
	SCK频率 (高速模式)	--	--	53.2 MHz
	SCK频率 (低速模式, SPI Flash时钟下降沿到数据输出有效最大为5ns)	--	--	29.55 MHz
	SCK频率 (低速模式, SPI Flash时钟下降沿到数据输出有效最大为6ns)	--	--	26.6 MHz
	SCK频率 (低速模式, SPI Flash时钟下降沿到数据输出有效最大为7ns)	--	--	26.6 MHz
	SCK频率 (低速模式, SPI Flash时钟下降沿到数据输出有效最大为8ns)	--	--	24.18 MHz
	SCK占空比	45%	50%	55%
	SCK频率偏差	--	--	5%

配置模式	说明	最小值	典型值	最大值
	MISO建立时间 (SCK上升沿)	10 ns	--	--
	MISO保持时间 (SCK上升沿)	0 ns	--	--
	MISO建立时间 (SCK下降沿)	9 ns	--	--
	MISO保持时间 (SCK下降沿)	0 ns	--	--
	SCK下降沿到MOSI输出有效	--	--	4 ns
	SCK下降沿到CS_N输出有效	--	--	4 ns
从SPI	SCK频率	--	--	100 MHz
	SCK低脉冲宽度	5 ns	--	--
	SCK高脉冲宽度	5 ns	--	--
	MOSI建立时间 (SCK上升沿)	3 ns	--	--
	MOSI保持时间 (SCK上升沿)	2 ns	--	--
	SCK下降沿到MISO输出有效	--	--	10 ns
复位脉冲宽度		384 ns	--	--
器件上电初始化时间 (器件完成上电到完成初始化的时间)		--	--	600 us
器件初始化完成到SCK输出的延时		400 ns	--	--

4.5 I²C 接口交流特性

表 31 I²C 接口交流特性

说明 ¹	标准模式		快速模式	
	最小值	最大值	最小值	最大值
SCL频率	--	100 kHz	--	400 kHz
SCL低脉冲宽度	4.7 μs	--	1.3 μs	--
SCL高脉冲宽度	4 μs	--	0.6 μs	--

1. 其他参数以 I²C 协议为准

4.6 硬核 SPI 接口交流特性

表 32 硬核 SPI 接口交流特性

说明	快速模式	
	最小值	最大值
SCK频率 ¹	--	45 MHz

1. 配置模式的性能指标请见表 30 配置模式交流特性

4.7 IO Buffer 性能

表 33 IO Buffer 性能

电平标准	最高速度
LVDS ¹	1.2 Gbps (600 MHz)
MIPI ²	900 Mbps (450 MHz)
BLVDS25	300 Mbps (150 MHz)
MLVDS25	300 Mbps (150 MHz)
LVPECL33	300 Mbps (150 MHz)
LVTTL33	300 Mbps (150 MHz)
LVC MOS33	300 Mbps (150 MHz)
LVC MOS25	300 Mbps (150 MHz)
LVC MOS18	300 Mbps (150 MHz)
LVC MOS15	300 Mbps (150 MHz)
LVC MOS12	200 Mbps (100 MHz)
PCI33	66 MHz

1. G/D 型器件支持这样的性能
2. L 型器件支持这样的性能

4.8 高速数据传输性能

表 34 高速数据传输性能列表

高速数据传输应用	传输速率 (Mbps)	
	-5	-6
LVDS 2: 1	--	400
LVDS 4: 1	--	700
LVDS 7: 1	--	770
LVDS 8: 1	--	800
MIPI D-PHY	--	900

4.9 主自加载时间

表 35 主自加载时间¹

器件	加载时间 ¹
PGC1K	1.3 ms
PGC2K	1.3 ms
PGC4K	2.4 ms
PGC7K	3.8 ms

1. 自加载时间是指从 CPLD 初始化结束到进入用户模式所用的时间

5 联系方式

公司名称：深圳市紫光同创电子有限公司

公司地址：深圳市南山区高新技术产业园高新南一道 15 号

电话 Tel: 86-755-66886188-8617

传真 Fax: 86-755-86363368

邮编 Zip: 518057

电子邮件 Email: marketing@pangomicro.com

网址 Web Site: <http://www.pangomicro.com>

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。

单击下面可查看定价，库存，交付和生命周期等信息

[>>PANGOMICRO](#)