

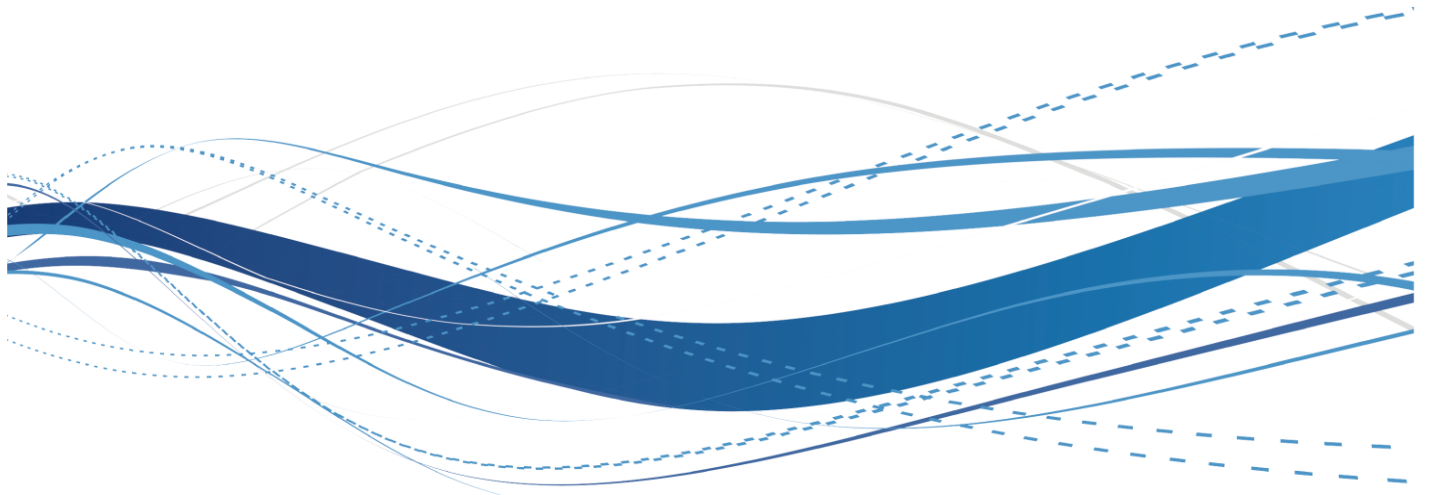


深圳市英蓓特科技公司

# EM-TF-SOM-AM5728

## 硬件用户手册

V1.0



## 版权声明

- ◆ EM-TF-SOM-AM5728 评估板及其相关知识产权由深圳市英蓓特科技有限公司所有。
- ◆ 本文档由深圳市英蓓特科技有限公司版权所有，并保留一切权利，在未经英蓓特公司书面许可的情况下，不得以任何形式来修改、分发或复制本文档的任何部分。

## 免责声明

- ◆ 产品所提供的程序源代码、软件、资料文档等，深圳市英蓓特有限公司不提供任何类型的担保；不论是明确的，还是隐含的，包括但不限于合适特定用途的保证，全部的风险，由使用者来承担。

## 通过认证

- ◆ EM-TF-SOM-AM5728 已通过 **XXX** 认证。

## 版本记录

版本	描述	作者	日期
V1.0	初版	Peng Wang	2018.7.1

## 目录

版本记录.....	3
目录 .....	4
<b>第 1 章 产品概述.....</b>	<b>5</b>
1.1 产品简介.....	5
1.2 系统框图.....	5
1.3 配置清单.....	6
1.4 产品特性.....	6
1.5 元件位置介绍.....	6
1.6 产品尺寸(单位:MM).....	7
<b>第 2 章 硬件系统简介 .....</b>	<b>9</b>
2.1 EM-TF-SOM-AM5728 最小系统 .....	9
2.1.1 CPU.....	9
2.1.2 存储.....	11
2.1.3 电源管理.....	12
2.1.4 系统配置介绍和 BOOT SEL.....	12
2.2 接口详述.....	15
2.2.1 BTB 接口.....	15
2.3 散热设计 (选配) .....	29
2.3.1 散热器简介.....	29
<b>第 3 章 附录.....</b>	<b>31</b>
3.1 EM-TF-SOM-AM5728 3D 图片 .....	31
3.2 软件 .....	错误! 未定义书签。
<b>第 4 章 技术支持和保修服务 .....</b>	<b>34</b>
4.1 技术支持.....	34
4.2 保修服务.....	34
<b>第 5 章 联系方式.....</b>	<b>35</b>

# 第1章 产品概述

## 1.1 产品简介

EM-TF-SOM-AM5728 是英蓓特面向于医疗仪器、工业控制、通信等领域推出的一款基于 TI AM5728 的核心板，EM-TF-SOM-AM5728 PCB 尺寸为 70mm\*55mm,12 层板设计。

EM-TF-SOM-AM5728 的应用场景非常广泛，小巧的外形尺寸能够满足更多产品的空间需求，同时它的 Cortex®-A15 双核处理器能带给产品强大的处理能力，丰富的硬件接口资源能够满足包括游戏外设、家庭和工业自动化、消费类医疗器械、打印机、智能收费系统、智能售货机、称重系统、教育终端、高级玩具等在内的各个领域的不同需求。

## 1.2 系统框图

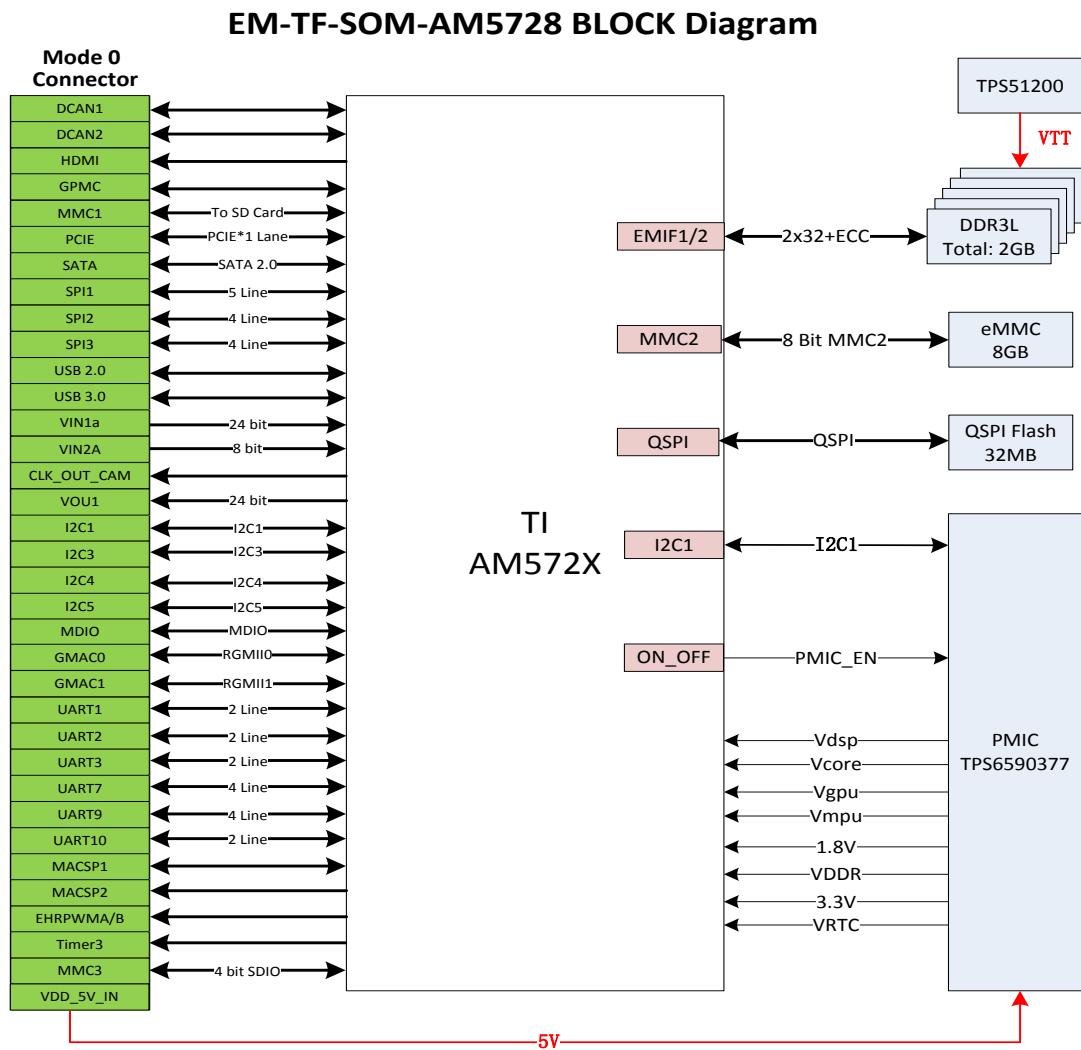


图 1-1 EM-TF-SOM-AM5728 系统框图

## 1.3 配置清单

- ◆ 1X EM-TF-SOM-AM5728 核心板.
- ◆ 1X 快速使用指南.

## 1.4 产品特性

- ◆ **电气特性**
  - ◆ 工作温度: -40~85°C (工业级)
  - ◆ 供电电源: 5V/2A
  - ◆ 工作湿度: 20%~90% (无凝结)
- ◆ **板载硬件资源**
  - ◆ 2GB DDR3L SDRAM & ECC DDR3L
  - ◆ 8GB eMMC Flash
  - ◆ 32MB QSPI Flash
  - ◆ 2 路 LED, 其中 LED1 为状态指示灯, LED2 为电源指示灯
  - ◆ 1 路 JTAG 接口 (可选, 默认不焊)
  - ◆ 4 路 80 Pin 0.5mm 间距 BTB 接口

## 1.5 元件位置介绍

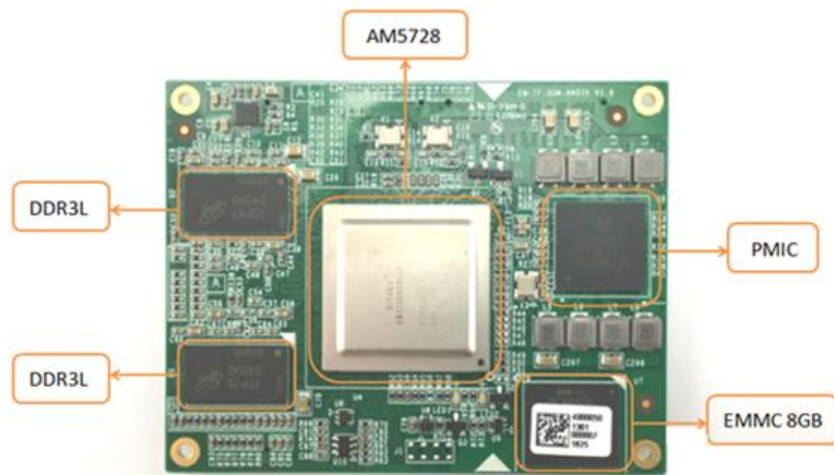


图 1 -2 EM-TF-SOM-AM5728 TOP

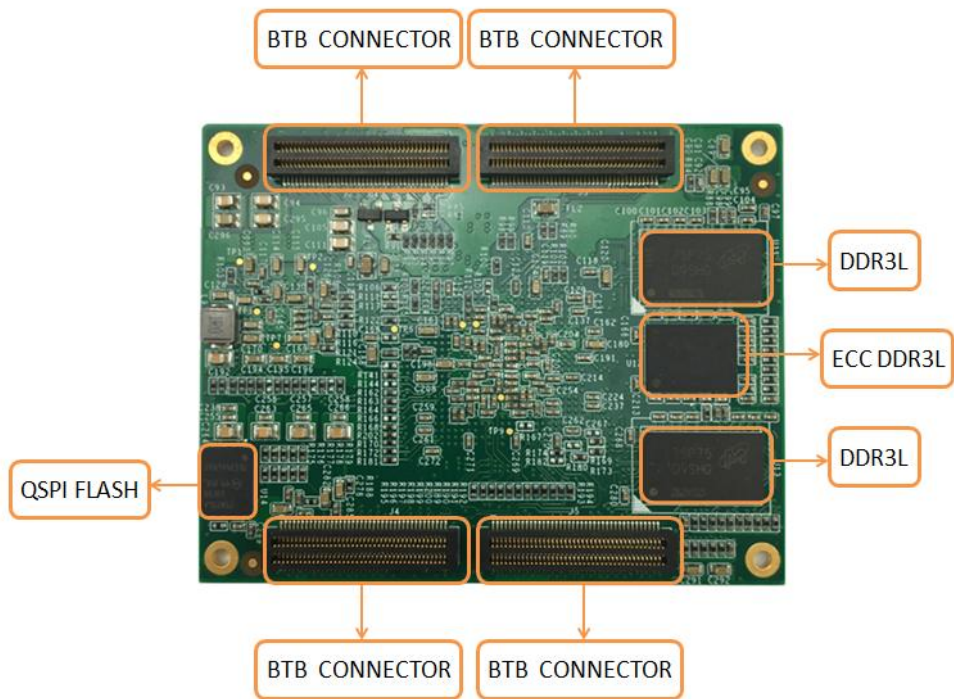


图 1-3 EM-TF-SOM-AM5728 Bottom

## 1.6 产品尺寸(单位:mm)

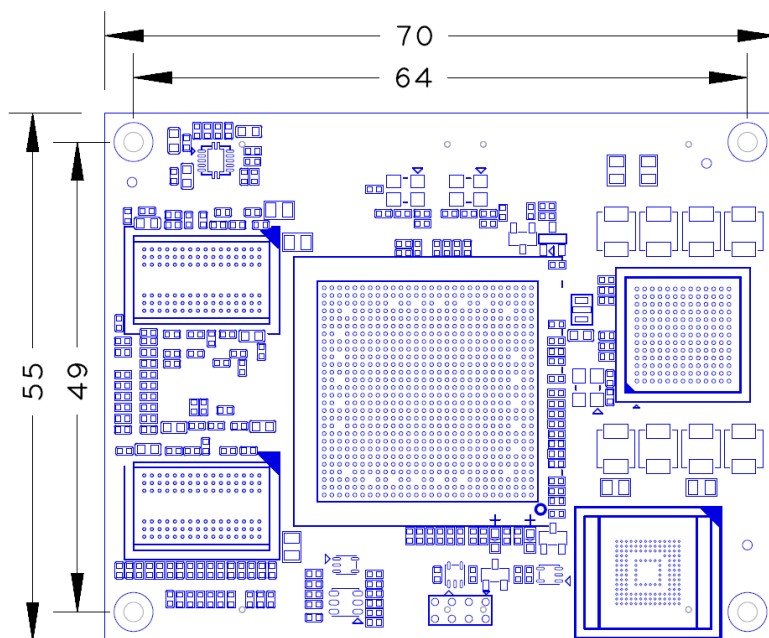


图 1-4 产品尺寸图 (Top)

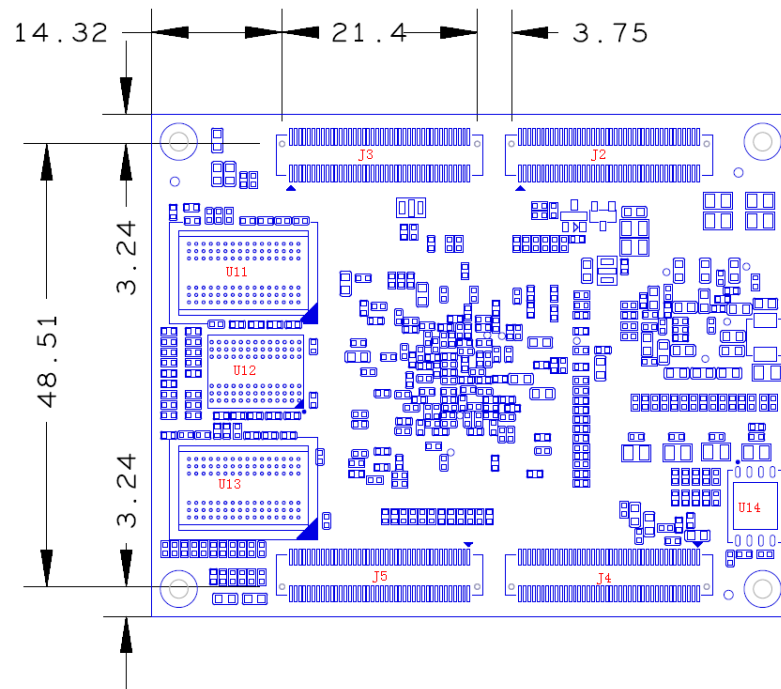


图 1-5 产品尺寸图 (Bottom)

注：公差±0.12mm



## 第2章 硬件系统简介

本章节将主要对 EM-TF-SOM-AM5728 硬件系统的结构、扩展和外围接口进行详细说明。

### 2.1 EM-TF-SOM-AM5728 最小系统

EM-TF-SOM-AM5728 硬件系统的最小系统由 CPU、Memory 和 Power Management 组成，本节主要介绍这 3 大部分。

#### 2.1.1 CPU

##### ◆ CPU 简介

EM-TF-SOM-AM5728 使用 TI 的 AM5728 作为 CPU，而 AM5728 是 TI AM572x 系列中的一员，该系列高性能处理器基于 ARM Cortex™-A15 内核。AM572x Sitara ARM 应用处理器旨在满足现代嵌入式产品对于处理性能的强烈需求。AM572x 器件通过其极具灵活性的全集成混合处理器解决方案，可实现较高的处理性能。此外，这些器件不但具有可编程视频处理功能，还融合了高度集成的外设集。每个 AM572x 器件都具有加密加速功能。

##### ◆ CPU 特性：

- ◆ ARM® Cortex®-A15 双核微处理器子系统
  - 主频 1.5GHZ
- ◆ 多达 2 个 C66x™浮点 VLIW DSP
  - 对象代码与 C67x™和 C64x+™完全兼容
  - 每周期最多 32 次 16 x 16 位定点乘法
  - 主频 750MHZ
- ◆ 片上 L3 RAM 高达 2.5MB
- ◆ 双 DDR3/DDR3L 存储器接口(EMIF)模块
  - 最高支持 DDR3-1066
  - 每 EMIF 支持高达 2GB
- ◆ ARM® Cortex®-M4 双核协处理器
- ◆ 图像和视频加速器高清(IVA-HD)子系统
- ◆ 显示子系统
  - 全高清视频 (1920×1080p, 60fps)
  - 多个视频输入和视频输出
  - 2D 和 3D 图形
  - 具有 DMA 引擎和多达 3 条管线的显示控制器
  - HDMI™编码器：兼容 HDMI1.4a 和 DVI 1.0

- ◆ 2 个双核可编程实时单元和工业通信子系统(PRU-ICSS)
- ◆ 2D 图形加速器(BB2D)子系统
  - Vivante™ GC320 内核
- ◆ 视频处理引擎(VPE)
- ◆ 双核 PowerVR® SGX544™ 3D GPU
- ◆ 硬件加密加速器
  - AES、SHA、RNG、DES 和 3DES
- ◆ 三个视频输入端口(VIP)模块
- ◆ 通用存储器控制器(GPMC)
- ◆ 增强直接存储器存取(EDMA)控制器
- ◆ 2 端口千兆以太网(GMAC)
- ◆ 16 个 32 位通用定时器
- ◆ 32 位 MPU 看门狗定时器
- ◆ 5 个内部集成电路(I2C)端口
- ◆ HDQ™/1-Wire®接口
- ◆ 10 个可配置 通用串行异步收发器(UART)/红外数据协会(IrDA)/信道冲激响应(CIR)模块
- ◆ 4 个多通道串行外设接口(MCSPI)
- ◆ 四路 SPI 接口(QSPI)
- ◆ 第 2 代串行高级技术附件(SATA)接口
- ◆ 8 个多通道音频串行端口(McASP)模块
- ◆ 超高速 USB3.0 双角色设备
- ◆ 高速 USB2.0 双角色设备
- ◆ 4 个多媒体卡/安全数字/安全数字输入输出接口(MMC/SD/SDIO)
- ◆ 带有两个 5Gbps 通道的 PCI-Express® 3.0 子系统
  - 1 个与第 2 代兼容的双通道端口
  - 或 2 个与第 2 代兼容的单通道端口
- ◆ 双控制器局域网(DCAN)模块
  - CAN2.0B 协议
- ◆ 多达 247 个通用 I/O (GPIO)引脚
- ◆ 电源、复位和时钟管理
- ◆ 片上调试, 采用 CTool 技术
- ◆ 28nmCMOS 技术

- ◆ 23mm× 23mm 、0.8mm 间距、760 引脚 BGA (ABC)

- ◆ CPU 资源框图

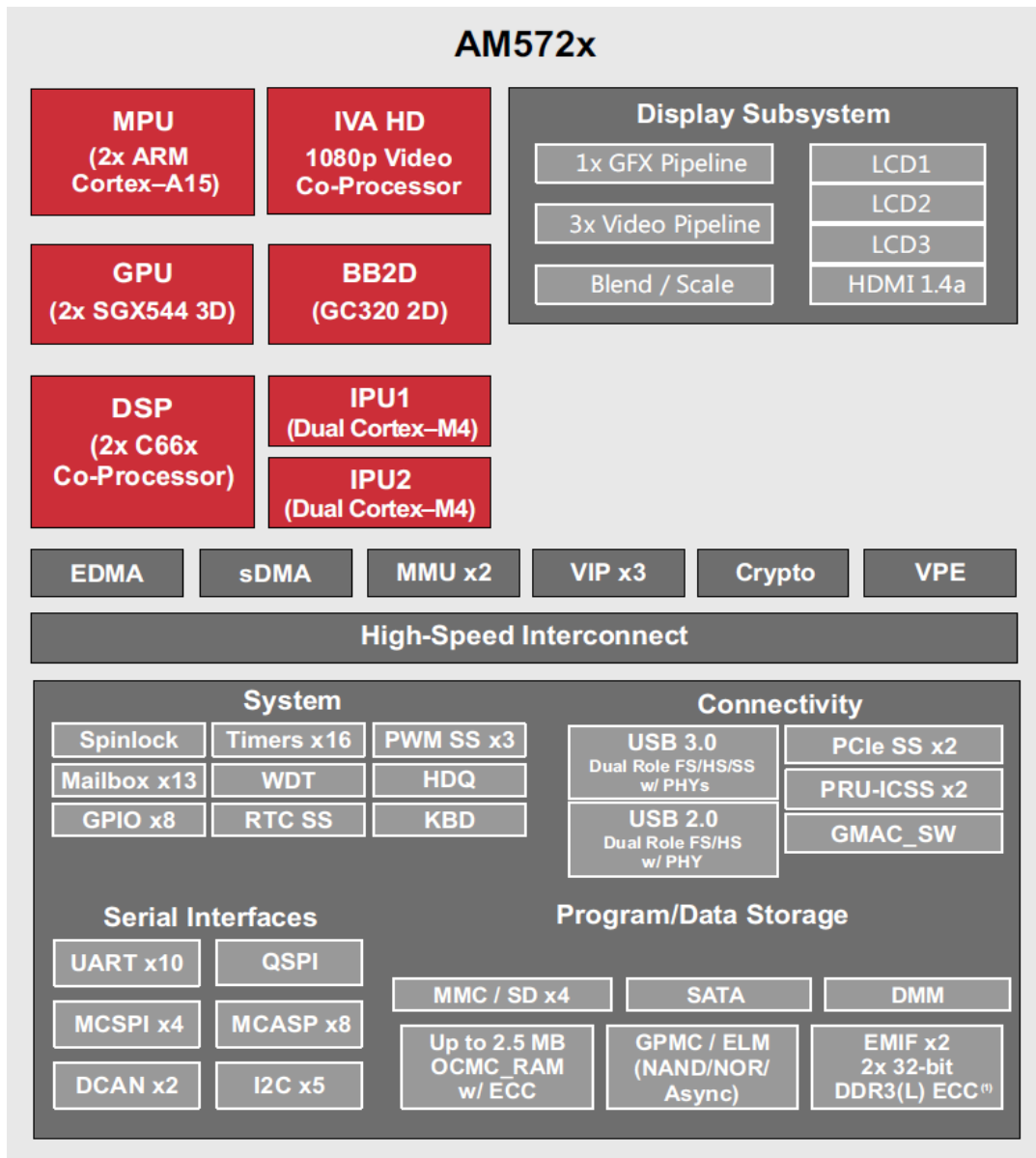


图 2-1 CPU 功能框图

## 2.1.2 存储

- ◆ DDR

AM572x 提供了 2 个内存控制器，EMIF1、EMIF2 用于扩展外部动态存储空间，EMIF1 提供了一个 32 位数据通道，还提供了一个 ECC DDR 通道，用于数据校验。EMIF2 提供另一个 32 位数据通道，EM-TF-SOM-AM5728 板上使用 4 颗 256Meg\*16 的 DDR3L SDRAM 颗粒，可以提供 2GB 的外部 RAM 访问空间，另外还使用了一颗 128MB 的 DDR3L 颗粒用于 ECC 校验。

- ◆ SPI Flash

EM-TF-SOM-AM5728 板载一颗大小为 32MB 的 QSPI Flash。该 QSPI 可以作为运行软件系统的启动盘，也可以作为普通的高速存储设备存储数据。

#### ◆ eMMC Flash

AM572x 提供了 4 路 MMC 接口，可支持存储卡和 eMMC 存储器，EM-TF-SOM-AM5728 板载一颗大小为 8GB 的 eMMC Flash，使用 MMC2 总线。

### 2.1.3 电源管理

EM-TF-SOM-AM5728 板载了电源管理芯片 TPS6590377，该芯片是 TI 专门针对 AM572x 推出的一款高性能 PMIC，包含了多路电源输出，可以支持 AM572x 需要的各路电源。EM-TF-SOM-AM5728 电源默认配置是上电直接启动。

EM-TF-SOM-AM5728 主电源通过 BTB 连接器 J4 的 Pin P1、P3、P5、P7、P9、P11 (VDD\_5V) 供电，推荐输入电压 5V，最低输入电压 4.3V，最高 5.25V，当输入电压正常时，PowerGood 绿色电源指示灯 LED2 常亮，表明 PMIC 各路输出电压正常。

### 2.1.4 系统配置介绍和 BOOT SEL

在系统上电复位时，需要正确配置 AM5728 中功能引脚 Sysboot[15:0]的电平状态，来引导系统的正常启动。

#### ◆ Sysboot Pads

表 2-1 Sysboot 引脚描述

Pad	Description
Sysboot[15]	Must be pulled to VDD for proper device operation .
Sysboot[14]	Must be pulled to GND for proper device operation.
Sysboot[13:10]	Used to configure the GPMC interface when booting from XIP/NAND memory connected to GPMC. (表 2-2)
Sysboot[9:8]	Selects the SYS_CLK1 clock speed.
Sysboot[7:6]	Sector offset for the location of the redundant SBL images in QSPI.
Sysboot[5:0]	Select interfaces or devices for the booting list.

表 2-2 Sysboot[13:6]配置说明

Pad	Description	Value	Configuration
Sysboot[13]	Bus Width	0b0	8-bit
		0b1	16-bit
Sysboot[12:11]	A/D-muxed/non-muxed Device on CS0	0b00	Non-muxed device
		0b01	A/D-muxed device

Sysboot[10]	Wait-pin Monitoring for Read Accesses	0b0	Disabled
		0b1	Enabled
Sysboot[9:8]	SYS_CLK1 Speed	0b00	Reserved
		0b01	20 MHz
		0b10	27 MHz
		0b11	19.2 MHz
Sysboot[7:6]	Offset Between Redundant Images	0b00	64 KiB
		0b01	128 KiB
		0b10	256 KiB
		0b11	512 KiB

表 2-3 Booting Devices Order

sysboot[5:0]	First Device	Second Device	Third Device
0b000000	USB	eMMC	
0b000001	USB		
0b000010	USB	SD	eMMC
0b000011	USB	SATA	SD
0b000100	USB	UART	XIP
0b000101	SD	XIP	
0b000110	SD	QSPI_1	
0b000111	SD	QSPI_4	
0b001010	SD	Fast XIP	
0b010000	USB		
0b010011	UART		
0b010100	SD	USB	
0b010101	SD	USB	
0b010110	SD	USB	
0b010111	SD	USB	
0b011000	SD	USB	
0b011001	SD	USB	
0b011010	SD	USB	

0b011011	SD	USB	
0b100000	eMMC	USB	
0b100001	NAND	USB	
0b100010	SD	eMMC	USB
0b100011	SATA	SD	USB
0b100100	XIP	USB	UART
0b100101	XIP	SD	USB
0b100110	QSPI_1	SD	USB
0b100111	QSPI_4	SD	USB
0b110000	SD		
0b110100	SATA		
0b110101	XIP		
0b110110	QSPI_1		
0b110111	QSPI_4		
0b111000	eMMC		
0b111001	NAND		
0b111010	Fast XIP		
0b111011	eMMC (boot part.)		

#### ◆ EM-TF-SOM-AM5728 Sysboot 配置

表 2-4 EM-TF-SOM-AM5728 Sysboot 配置

Pad	Recommend Configuration	EM-TF-SOM-AM5728 Configuration	Baseboard Recommend Configuration
sysboot[15]	Pull up	Pull up	NC
sysboot[14]	Pull down	NC	Pull down
sysboot[13:10]	Pull down	NC	Pull down
sysboot[9]	Pull down	NC	Pull down
sysboot[8]	Pull up	Pull up	NC
sysboot[7:6]	Pull down	NC	Pull down
sysboot[5:0]	详见表2-3配置	Pull up	详见表2-3配置

注：Sysboot[15:0]信号可以复用为 gpmc\_ad[15:0]，已经全部从连接器引出，请参考表 2-4 推荐配置进行配置。所有上拉电阻均为 100K，下拉电阻建议使用 1K 电阻。Sysboot[5:0]中如需配置成下拉状态，建议使用 1K 电阻,用户需要使用到这些引脚的复用功能时，请注意上下拉的状态。

## 2.2 接口详述

本节将详细描述 EM-TF-SOM-AM5728 上各外围扩展功能单元的组成结构、工作原理、接口定义、使用规范等内容，使用户对板子有更深入的理解。

### 2.2.1 BTB 接口

#### ◆ 连接器规格(单位: mm)

EM-TF-SOM-AM5728 使用四个 BTB 连接器 (母座), 母座高度 3mm, 底板使用相配套的 BTB 连接器 (公座), 整套连接器的合高为 5mm。

#### ◆ 核心板使用 BTB 连接器规格

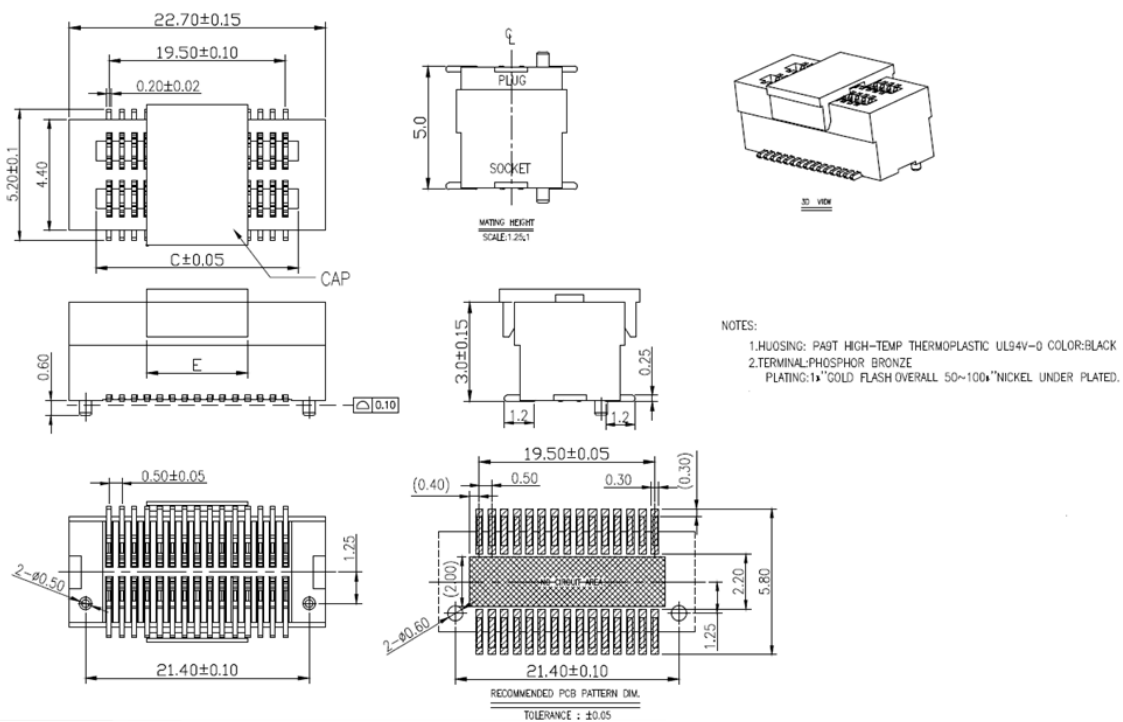


图 2-2 连接器母座尺寸图

#### ◆ 底板配套的 BTB 连接器公座规格如下:

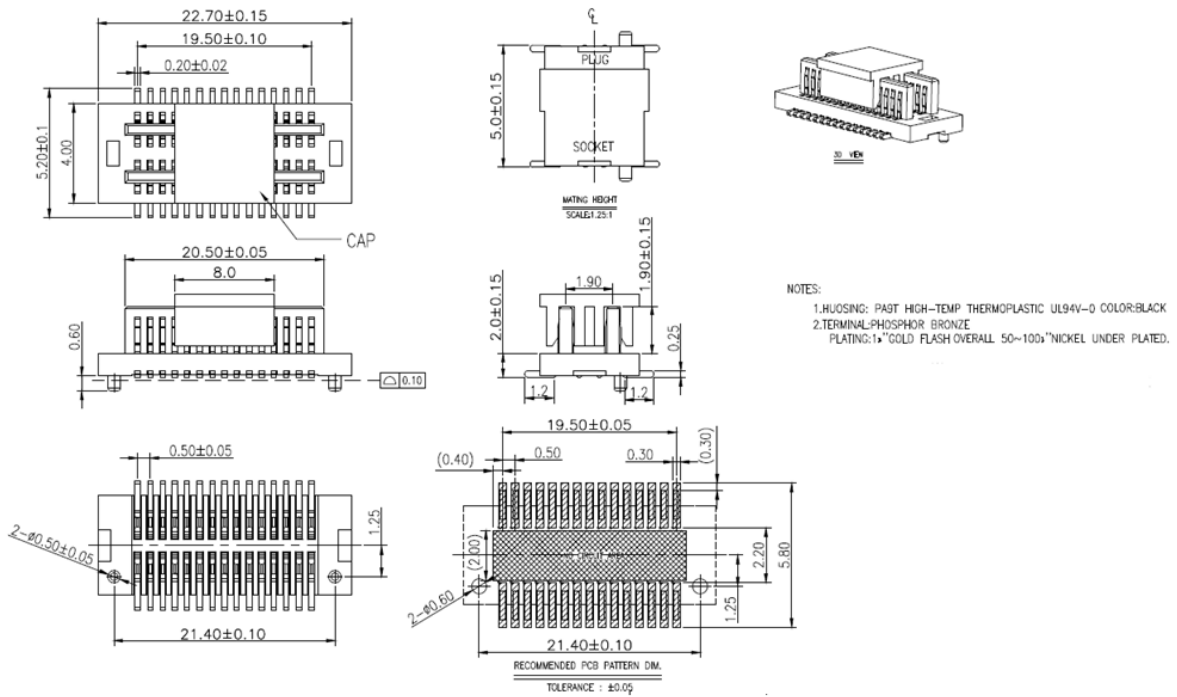


图 2-3 连接器公座尺寸图

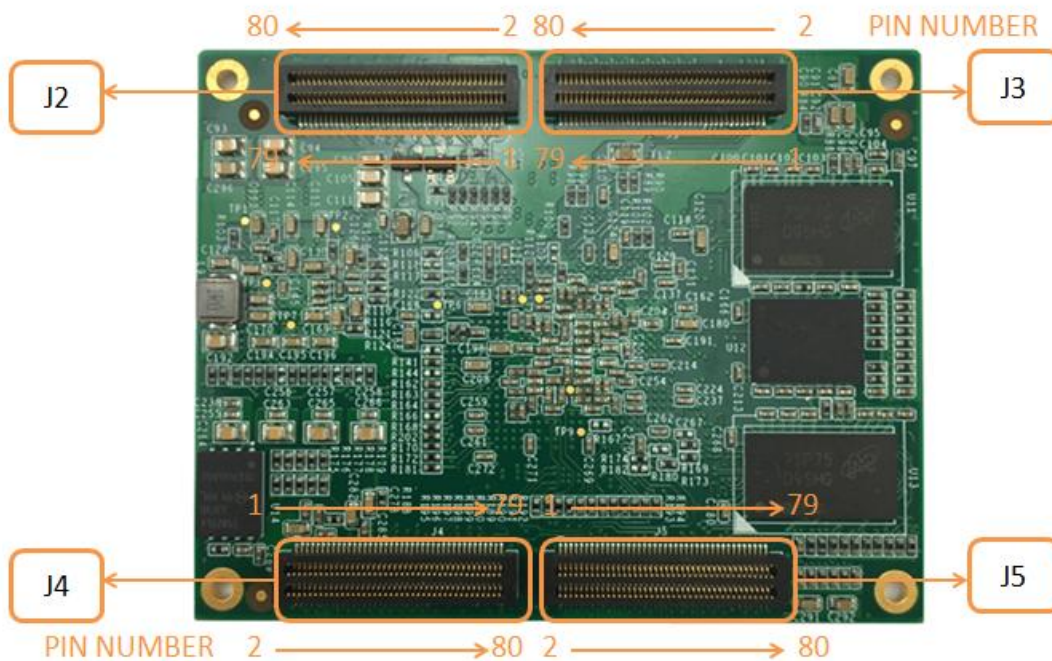


图 2-4 核心板 BTB 连接器位置图



◆ BTB 连接器接口定义

EM-TF-SOM-AM5728 核心板接口引脚定义如下表所示。EM-TF-SOM-AM5728 核心板引脚功能均符合 TI 关于 IO 的设定，以下引脚定义为核心板的默认配置，请勿轻易修改，否则可能和出厂驱动冲突。如有疑问，请联系英蓓特销售或者技术支持。

表 2-7:核心板 J2, J3, J4, J5 的接口定义

J2						
Pin	Name	In/Out	Default function	Voltage	Description	CPU Pin
1	GND		GND		GND	
2	GND		GND		GND	
3	VIN1A_DE0	I	Camera	3.3V	Video Input 1 Data Enable input	AD9
4	RGMII0_TXC	O	RGMII	3.3V	RGMII0 Transmit Clock	W9
5	VIN1A_HSYNCO	I	Camera	3.3V	Video Input 1 Port A Horizontal Sync input	AE9
6	RGMII0_TXCTL	O	RGMII	3.3V	RGMII0 Transmit Enable	V9
7	VIN1A_VSYNCO	I	Camera	3.3V	Video Input 1 Port A Vertical Sync input	AF8
8	RGMII0_TXD3	O	RGMII	3.3V	RGMII0 Transmit Data	V7
9	VIN1A_CLK0	I	Camera	3.3V	Video Input 1 Port A Clock input.	AG8
10	RGMII0_TXD2	O	RGMII	3.3V	RGMII0 Transmit Data	U7
11	VIN1A_FLD0	I	Camera	3.3V	Video Input 1 Port A Field ID input	AF9
12	RGMII0_TXD1	O	RGMII	3.3V	RGMII0 Transmit Data	V6
13	GND		GND		GND	
14	RGMII0_TXD0	O	RGMII	3.3V	RGMII0 Transmit Data	U6
15	VIN1A_D0	I	Camera	3.3V	Video Input 1 Port A Data input	AE8
16	GND		GND		GND	
17	VIN1A_D2	I	Camera	3.3V	Video Input 1 Port A Data input	AG7
18	RGMII0_RXC	I	RGMII	3.3V	RGMII0 Receive Clock	U5
19	VIN1A_D3	I	Camera	3.3V	Video Input 1 Port A Data input	AH6
20	RGMII0_RXCTL	I	RGMII	3.3V	RGMII0 Receive Control	V5
21	VIN1A_D1	I	Camera	3.3V	Video Input 1 Port A Data input	AD8
22	RGMII0_RXD3	I	RGMII	3.3V	RGMII0 Receive Data	V4
23	VIN1A_D6	I	Camera	3.3V	Video Input 1 Port A Data input	AG6
24	RGMII0_RXD2	I	RGMII	3.3V	RGMII0 Receive Data	V3

25	VIN1A_D5	I	Camera	3.3V	Video Input 1 Port A Data input	AH5
26	RGMII0_RXD1	I	RGMII	3.3V	RGMII0 Receive Data	Y2
27	VIN1A_D11	I	Camera	3.3V	Video Input 1 Port A Data input	AG5
28	RGMII0_RXD0	I	RGMII	3.3V	RGMII0 Receive Data	W2
29	VIN1A_D7	I	Camera	3.3V	Video Input 1 Port A Data input	AH4
30	GND		GND		GND	
31	VIN1A_D8	I	Camera	3.3V	Video Input 1 Port A Data input	AG4
32	MDIO_D	I/O	MDIO	3.3V	MDIO Data	U4
33	VIN1A_D4	I	Camera	3.3V	Video Input 1 Port A Data input	AH3
34	MDIO_CLK	O	MDIO	3.3V	MDIO Clock	V1
35	VIN1A_D13	I	Camera	3.3V	Video Input 1 Port A Data input	AF6
36	GPIO4_18	I/O	GPIO	3.3V	General Purpose Input Output	E14
37	VIN1A_D10	I	Camera	3.3V	Video Input 1 Port A Data input	AG3
38	GPIO6_4	I/O	GPIO	3.3V	General Purpose Input Output	A13
39	VIN1A_D9	I	Camera	3.3V	Video Input 1 Port A Data input	AG2
40	GPIO4_12	I/O	GPIO	3.3V	General Purpose Input Output	F6
41	VIN1A_D21	I	Camera	3.3V	Video Input 1 Port A Data input	AE6
42	GPIO4_9	I/O	GPIO	3.3V	General Purpose Input Output	F5
43	VIN1A_D18	I	Camera	3.3V	Video Input 1 Port A Data input	AE5
44	GPIO5_18	I/O	GPIO	3.3V	General Purpose Input Output	V2
45	VIN1A_D12	I	Camera	3.3V	Video Input 1 Port A Data input	AF2
46	GPIO5_19	I/O	GPIO	3.3V	General Purpose Input Output	Y1
47	VIN1A_D15	I	Camera	3.3V	Video Input 1 Port A Data input	AF4
48	I2C5_SDA	I/O	I2C	3.3V	I2C5 Data I/O	AA3
49	VIN1A_D16	I	Camera	3.3V	Video Input 1 Port A Data input	AF1
50	I2C5_SCL	I/O	I2C	3.3V	I2C5 Clock I/O	AB9
51	VIN1A_D14	I	Camera	3.3V	Video Input 1 Port A Data input	AF3
52	GND		GND		GND	
53	VIN1A_D19	I	Camera	3.3V	Video Input 1 Port A Data input	AE1
54	RGMII1_RXC	I	RGMII	3.3V	RGMII1 Receive Clock	C5
55	VIN1A_D17	I	Camera	3.3V	Video Input 1 Port A Data input	AE3
56	RGMII1_RXCTL	I	RGMII	3.3V	RGMII1 Receive Control	A3

57	VIN1A_D22	I	Camera	3.3V	Video Input 1 Port A Data input	AD2
58	RGMII1_RXD0	I	RGMII	3.3V	RGMII1 Receive Data	A4
59	VIN1A_D20	I	Camera	3.3V	Video Input 1 Port A Data input	AE2
60	RGMII1_RXD1	I	RGMII	3.3V	RGMII1 Receive Data	B5
61	VIN1A_D23	I	Camera	3.3V	Video Input 1 Port A Data input	AD3
62	RGMII1_RXD2	I	RGMII	3.3V	RGMII1 Receive Data	B4
63	GND		GND		GND	
64	RGMII1_RXD3	I	RGMII	3.3V	RGMII1 Receive Data	B3
65	MMC1_DATA0	I/O	MMC	3.3V	mmc1 preferred as uSD	AA6
66	GND		GND		GND	
67	MMC1_DATA1	I/O	MMC	3.3V	mmc1 preferred as uSD	Y4
68	RGMII1_TXCTL	O	RGMII	3.3V	RGMII1 Transmit Enable	C2
69	MMC1_DATA2	I/O	MMC	3.3V	mmc1 preferred as uSD	AA5
70	RGMII1_TXC	O	RGMII	3.3V	RGMII1 Transmit Clock	D5
71	MMC1_DATA3	I/O	MMC	3.3V	mmc1 preferred as uSD	Y3
72	RGMII1_TXD0	O	RGMII	3.3V	RGMII1 Transmit Data	D6
73	MMC1_CMD	I/O	MMC	3.3V	mmc1 preferred as uSD	Y6
74	RGMII1_TXD1	O	RGMII	3.3V	RGMII1 Transmit Data	B2
75	MMC1_CLK	O	MMC	3.3V	mmc1 preferred as uSD	W6
76	RGMII1_TXD2	O	RGMII	3.3V	RGMII1 Transmit Data	C4
77	MMC1_SDCD	I	MMC	3.3V	mmc1 preferred as uSD	W7
78	RGMII1_TXD3	O	RGMII	3.3V	RGMII1 Transmit Data	C3
79	GND		GND			
80	GND		GND			

J3						
Pin	Name	In/Out	Default function	Voltage	Description	CPU Pin
1	GND		GND		GND	
2	GND		GND		GND	
3	UART9_TXD	O	UART	3.3V	UART9 Transmit Data Output	C27
4	GPIO7_8	I/O	GPIO	3.3V	General Purpose Input Output	F16

5	UART9_RXD	I	UART	3.3V	UART9 Receive Data Input	E25
6	GPIO7_11	I/O	GPIO	3.3V	General Purpose Input Output	A22
7	UART9_RTSN	O	UART	3.3V	UART9 request to send active low	AA4
8	GPIO7_10	I/O	GPIO	3.3V	General Purpose Input Output	A24
9	UART9_CTSN	I	UART	3.3V	UART9 clear to send active low	AB3
10	GPIO7_7	I/O	GPIO	3.3V	General Purpose Input Output	A25
11	UART3_TXD	I	UART	3.3V	UART3 Transmit Data Output	C28
12	GPIO7_9	I/O	GPIO	3.3V	General Purpose Input Output	B25
13	UART3_RXD	O	UART	3.3V	UART3 Receive Data Input	D27
14	GPIO6_19	I/O	GPIO	3.3V	General Purpose Input Output	B26
15	UART2_TXD	O	UART	3.3V	UART2 Transmit Data Output	D26
16	GPIO6_5	I/O	GPIO	3.3V	General Purpose Input Output	G14
17	UART2_RXD	I	UART	3.3V	UART2 Receive Data Input	D28
18	GND		GND		GND	
19	UART1_TXD	O	UART	3.3V	UART1 Transmit Data Output	C26
20	HDMI_DDC_HPD	I	HDMI	3.3V	HDMI display hot plug detect	B21
21	UART1_RXD	I	UART	3.3V	UART1 Receive Data Input	B27
22	HDMI_DDC_CEC	I/O	HDMI	3.3V	HDMI consumer electronic control	B20
23	GND		GND	3.3V	GND	
24	HDMI_DDC_SDA	I/O	HDMI	3.3V	HDMI display data channel data	F17
25	SPI3_D1	I/O	SPI	3.3V	SPI3 Data I/O.	A21
26	HDMI_DDC_SCL	O	HDMI	3.3V	HDMI display data channel clock	C25
27	SPI3_SCLK	I/O	SPI	3.3V	SPI3 Clock I/O	C18
28	GND		GND		GND	
29	SPI3_CS0	I/O	SPI	3.3V	SPI3 Chip Select I/O	D17
30	HDMI_DATA2P	O	HDMI		HDMI data 2 differential signal	AH19
31	SPI3_D0	I/O	SPI	3.3V	SPI3 Data I/O	G16
32	HDMI_DATA2N	O	HDMI		HDMI data 2 differential signal	AG19
33	GPIO5_10	I/O	GPIO	3.3V	General Purpose Input Output	B12
34	GND		GND		GND	
35	TIMER4	I/O	TIMER	3.3V	PWM output/event trigger input	D12
36	HDMI_DATA1P	O	HDMI		HDMI data 1 differential signal	AH18

37	GND		GND		GND	
38	HDMI_DATA1N	O	HDMI		HDMI data 1 differential signal	AG18
39	PCIE_REFCLKN	I	PCIE		External REFCLKN in	AH15
40	GND		GND		GND	
41	PCIE_REFCLKP	I	PCIE		External REFCLKP in	AG15
42	HDMI_DATA0P	O	HDMI		HDMI data 0 differential signal	AH17
43	GND		GND		GND	
44	HDMI_DATA0N	O	HDMI		HDMI data 0 differential signal	AG17
45	PCIE_RXN0	I	PCIE		PCIE1_PHY_RX Receive Data Lane 0	AG13
46	GND		GND		GND	C26
47	PCIE_RXP0	I	PCIE		PCIE1_PHY_RX Receive Data Lane 0	AH13
48	HDMI_CLKP	O	HDMI		HDMI clock differential signal	AH16
49	GND		GND		GND	
50	HDMI_CLKN	O	HDMI		HDMI clock differential signal	AG16
51	PCIE_TXN0	O	PCIE		PCIE1_PHY_TX Transmit Data Lane 0	AG14
52	GND		GND		GND	D27
53	PCIE_TXP0	O	PCIE		PCIE1_PHY_TX Transmit Data Lane 0	AH14
54	USB1_DRVVBUS	O	USB	3.3V	USB1 Drive VBUS signal	AB10
55	GND		GND			
56	USB1_DM	I/O	USB		USB1 USB2.0 differential signal pair	AC12
57	PCIE_RXN1	I	PCIE		PCIE2_PHY_RX Receive Data Lane 1	AG11
58	USB1_DP	I/O	USB		USB1 USB2.0 differential signal pair	AD12
59	PCIE_RXP1	I	PCIE		PCIE2_PHY_RX Receive Data Lane 1	AH11
60	GND		GND		GND	E25
61	GND		GND		GND	
62	USB_RXN0	I	USB		USB1 USB3.0 receiver negative lane	AF12
63	PCIE_TXN1	O	PCIE		PCIE2_PHY_TX Transmit Data Lane 1	AH14
64	USB_RXP0	I	USB		USB1 USB3.0 receiver positive lane	AE12
65	PCIE_TXP1	O	PCIE		PCIE2_PHY_TX Transmit Data Lane 1	AH12
66	GND		GND		GND	C18
67	GND		GND		GND	
68	USB_TXN0	O	USB		USB1 USB3.0 transmitter negative	AC11

					lane	
69	SATA1_TXN0	O	SATA		SATA differential transmitter lane 0	AG10
70	USB_TXP0	O	USB		USB1 USB3.0 transmitter positive lane	AD11
71	SATA1_TXP0	O	SATA		SATA differential transmitter lane 0	AH10
72	GND		GND		GND	D17
73	GND		GND		GND	
74	USB2_DRVVBUS	O	USB	3.3V	USB2 Drive VBUS signal	AC10
75	SATA1_RXN0	I	SATA		SATA differential receiver lane 0	AH9
76	USB2_DM	I/O	USB		USB2 USB2.0 differential signal pair	AF11
77	SATA1_RXP0	I	SATA		SATA differential receiver lane 0	AG9
78	USB2_DP	I/O	USB		USB2 USB2.0 differential signal pair	AE11
79	GND		GND		GND	
80	GND		GND		GND	

J4						
Pin	Name	In/Out	Default function	Voltage	Description	CPU Pin
1	VDD_5V	Power	Power	5V	Power in	
2	GND		GND		GND	
3	VDD_5V	Power	Power	5V	Power in	
4	GPMC_CLK	O	GPMC	3.3V	GPMC Clock output	P7
5	VDD_5V	Power	Power	5V	Power in	
6	GPMC_BEN0	O	GPMC	3.3V	GPMC lower-byte enable active low	N6
7	VDD_5V	Power	Power	5V	Power in	
8	GPMC_OEN_REN	O	GPMC	3.3V	GPMC output enable active low or read enable	M5
9	VDD_5V	Power	Power	5V	Power in	
10	GPMC_BEN1	O	GPMC	3.3V	GPMC upper-byte enable active low	M4
11	VDD_5V	Power	Power	5V	Power in	
12	GPMC_ADV_N_ALE	O	GPMC	3.3V	GPMC address valid active low or address latch enable	N1
13	GND		GND		GND	
14	GPMC_WAIT0	I	GPMC	3.3V	GPMC external indication of wait 0	N2

15	GND		GND		GND	
16	GPMC_WEN	O	GPMC	3.3V	GPMC write enable active low	M3
17	GND		GND		GND	
18	GND		GND		GND	
19	GPMC_CS3	O	GPMC	3.3V	GPMC Chip Select 3 (active low)	P1
20	GPMC_AD1	I/O	GPMC	3.3V	GPMC Data 1 in A/D nonmultiplexed mode and additionally Address 2 in A/D multiplexed mode	M2
21	GPMC_CS0	O	GPMC	3.3V	GPMC Chip Select 0 (active low)	T1
22	GPMC_AD8	I/O	GPMC	3.3V	GPMC Data 8 in A/D nonmultiplexed mode and additionally Address 9 in A/D multiplexed mode	L1
23	GPMC_A7	O	GPMC	3.3V	GPMC address 7 in A/D nonmultiplexed mode	P5
24	GPMC_AD3	I/O	GPMC	3.3V	GPMC Data 3 in A/D nonmultiplexed mode and additionally Address 4 in A/D multiplexed mode	M1
25	GPMC_A9	O	GPMC	3.3V	GPMC address 9 in A/D nonmultiplexed mode	R4
26	GPMC_AD7	I/O	GPMC	3.3V	GPMC Data 7 in A/D nonmultiplexed mode and additionally Address 8 in A/D multiplexed mode	L2
27	GPMC_A6	O	GPMC	3.3V	GPMC address 6 in A/D nonmultiplexed mode	R5
28	GPMC_AD9	I/O	GPMC	3.3V	GPMC Data 9 in A/D nonmultiplexed mode and additionally Address 10 in A/D multiplexed mode	K2
29	GPMC_A2	O	GPMC	3.3V	GPMC address 2 in A/D nonmultiplexed mode	T6
30	GPMC_AD10	I/O	GPMC	3.3V	GPMC Data 10 in A/D nonmultiplexed mode and additionally Address 11 in A/D multiplexed mode	J1
31	GPMC_A12	O	GPMC	3.3V	GPMC address 12 in A/D nonmultiplexed mode	P4
32	GPMC_AD6	I/O	GPMC	3.3V	GPMC Data 6 in A/D nonmultiplexed mode and additionally Address 7 in A/D multiplexed mode	L3
33	GPMC_A0	O	GPMC	3.3V	GPMC address 0 in A/D nonmultiplexed mode	R6
34	GPMC_AD11	I/O	GPMC	3.3V	GPMC Data 11 in A/D nonmultiplexed	J2

					mode and additionally Address 12 in A/D multiplexed mode	
35	GPMC_A4	O	GPMC	3.3V	GPMC address 4 in A/D nonmultiplexed mode	P6
36	GPMC_AD5	I/O	GPMC	3.3V	GPMC Data 5 in A/D nonmultiplexed mode and additionally Address 6 in A/D multiplexed mode	L4
37	GPMC_A8	O	GPMC	3.3V	GPMC address 8 in A/D nonmultiplexed mode	N7
38	GPMC_AD12	I/O	GPMC	3.3V	GPMC Data 12 in A/D nonmultiplexed mode and additionally Address 13 in A/D multiplexed mode	H1
39	GPMC_A3	O	GPMC	3.3V	GPMC address 3 in A/D nonmultiplexed mode	T7
40	GPMC_AD2	I/O	GPMC	3.3V	GPMC Data 2 in A/D nonmultiplexed mode and additionally Address 3 in A/D multiplexed mode	L5
41	GPMC_A10	O	GPMC	3.3V	GPMC address 10 in A/D nonmultiplexed mode	N9
42	GPMC_AD13	I/O	GPMC	3.3V	GPMC Data 13 in A/D nonmultiplexed mode and additionally Address 14 in A/D multiplexed mode	J3
43	GPMC_A11	O	GPMC	3.3V	GPMC address 11 in A/D nonmultiplexed mode	P9
44	GPMC_AD14	I/O	GPMC	3.3V	GPMC Data 14 in A/D nonmultiplexed mode and additionally Address 15 in A/D multiplexed mode	H2
45	GPMC_A5	O	GPMC	3.3V	GPMC address 5 in A/D nonmultiplexed mode	R9
46	GPMC_AD15	I/O	GPMC	3.3V	GPMC Data 15 in A/D nonmultiplexed mode and additionally Address 16 in A/D multiplexed mode	H3
47	GPMC_A1	O	GPMC	3.3V	GPMC address 1 in A/D nonmultiplexed mode	T9
48	GPMC_AD0	I/O	GPMC	3.3V	GPMC Data 0 in A/D nonmultiplexed mode and additionally Address 1 in A/D multiplexed mode	M6
49	GND		GND		GND	
50	GPMC_AD4	I/O	GPMC	3.3V	GPMC Data 4 in A/D nonmultiplexed mode and additionally Address 5 in A/D multiplexed mode	L6
51	POWER_GOOD_EX	O		3.3V	PMIC Power Good signal, active high	



					indicate that the System power is good, This pin was pulled up with resistor on the board, and drive current was less than 1mA.	
52	GND		GND		GND	
53	GPIO5_12	I/O	GPIO	3.3V	General Purpose Input Output	B13
54	VIN2A_HSYNCO	I	Camera	3.3V	Video Input 2 Port A Horizontal Sync input	G1
55	GPIO4_17	I/O	GPIO	3.3V	General Purpose Input Output	A12
56	VIN2A_VSYNCO	I	Camera	3.3V	Video Input 2 Port A Vertical Sync input	G6
57	GPIO5_11	I/O	GPIO	3.3V	General Purpose Input Output	A11
58	VIN2A_CLK0	I	Camera	3.3V	Video Input 2 Port A Clock input	E1
59	POWERON	I		5V	reserved	
60	VIN2A_DE0	I	Camera	3.3V	Video Input 2 Port A Data Enable input	G2
61	PMIC_RESET_IN	I		1.8V	reserved	
62	VIN2A_FLD0	I	Camera	3.3V	Video Input 2 Port A Field ID input	H7
63	GND		GND		GND	
64	VIN2A_D6	I	Camera	3.3V	Video Input 2 Port A Data input	C1
65	GPIO4_11	O	GPIO	3.3V	General Purpose Input Output	D3
66	VIN2A_D4	I	Camera	3.3V	Video Input 2 Port A Data input	D2
67	GPIO4_10	O	GPIO	3.3V	General Purpose Input Output	E6
68	VIN2A_D2	I	Camera	3.3V	Video Input 2 Port A Data input	D1
69	GND		GND		GND	
70	VIN2A_D0	I	Camera	3.3V	Video Input 2 Port A Data input	F2
71	GPIO6_6	I/O	GPIO	3.3V	General Purpose Input Output	F14
72	VIN2A_D3	I	Camera	3.3V	Video Input 2 Port A Data input	E2
73	GPIO5_4	I/O	GPIO	3.3V	General Purpose Input Output	G13
74	VIN2A_D1	I	Camera	3.3V	Video Input 2 Port A Data input	F3
75	GND		GND		GND	
76	VIN2A_D5	I	Camera	3.3V	Video Input 2 Port A Data input	F4
77	CLKOUT3	O	Camera	3.3V	Device Clock output 3.	C23
78	VIN2A_D7	I	Camera	3.3V	Video Input 2 Port A Data input	E4

79	GND		GND		GND	
80	GND		GND		GND	

J5						
Pin	Name	In/Out	Default function	Voltage	Description	CPU Pin
1	GND		GND		GND	
2	GND		GND		GND	
3	I2C3_SCL	O	I2C	3.3V	I2C3 Clock	AB4
4	VOUT1_D7	O	Video Out	3.3V	Video Output 1 Data output	E7
5	I2C3_SDA	I/O	I2C	3.3V	I2C3 Data I/O	AC5
6	VOUT1_D10	O	Video Out	3.3V	Video Output 1 Data output	D7
7	GPIO1_24	I/O	GPIO	3.3V	General Purpose Input Output	AB8
8	VOUT1_D13	O	Video Out	3.3V	Video Output 1 Data output	C6
9	ECAP3	O	PWM	3.3V	ECAP3 Capture PWM Output	AB5
10	VOUT1_D15	O	Video Out	3.3V	Video Output 1 Data output	C7
11	GPIO7_15	I/O	GPIO	3.3V	General Purpose Input Output	B22
12	VOUT1_D12	O	Video Out	3.3V	Video Output 1 Data output	A5
13	GPIO7_17	I/O	GPIO	3.3V	General Purpose Input Output	B24
14	VOUT1_D16	O	Video Out	3.3V	Video Output 1 Data output	B7
15	GPIO7_16	I/O	GPIO	3.3V	General Purpose Input Output	G17
16	VOUT1_D6	O	Video Out	3.3V	Video Output 1 Data output	F8
17	GPIO7_14	I/O	GPIO	3.3V	General Purpose Input Output	A26
18	VOUT1_D17	O	Video Out	3.3V	Video Output 1 Data output	B8
19	UART7_TXD	O	UART	3.3V	UART7 Transmit Data Output	F15
20	VOUT1_D18	O	Video Out	3.3V	Video Output 1 Data output	A7
21	UART7_RXD	I	UART	3.3V	UART7 Receive Data Input	B18
22	VOUT1_D19	O	Video Out	3.3V	Video Output 1 Data output	A8
23	UART7_RTSN	O	UART	3.3V	UART7 request to send active low	C17
24	VOUT1_D23	O	Video Out	3.3V	Video Output 1 Data output	A10
25	UART7_CTSN	I	UART	3.3V	UART7 clear to send active low	B19
26	VOUT1_D22	O	Video Out	3.3V	Video Output 1 Data output	B9

27	GND		GND		GND	
28	VOUT1_D21	O	Video Out	3.3V	Video Output 1 Data output	A9
29	MMC3_DATA2	I/O	MMC	3.3V	MMC3 data bit 2	AC9
30	VOUT1_D14	O	Video Out	3.3V	Video Output 1 Data output	C8
31	MMC3_DATA0	I/O	MMC	3.3V	MMC3 data bit 0	AC7
32	VOUT1_D11	O	Video Out	3.3V	Video Output 1 Data output	D8
33	MMC3_DATA1	I/O	MMC	3.3V	MMC3 data bit 1	AC6
34	VOUT1_D20	O	Video Out	3.3V	Video Output 1 Data output	C9
35	MMC3_CMD	I/O	MMC	3.3V	MMC3 command	AC4
36	VOUT1_D9	O	Video Out	3.3V	Video Output 1 Data output	D9
37	MMC3_DATA3	I/O	MMC	3.3V	MMC3 data bit 3	AC3
38	VOUT1_D8	O	Video Out	3.3V	Video Output 1 Data output	E8
39	MMC3_CLK	O	MMC	3.3V	MMC3 clock	AD4
40	GND		GND		GND	
41	GND		GND		GND	
42	VOUT1_HSYNC	O	Video Out	3.3V	Video Output 1 Horizontal Sync output	C11
43	UART10_RXD	I	UART	3.3V	UART10 Receive Data Input	AC8
44	VOUT1_FLD	O	Video Out	3.3V	Video Output 1 Field ID output	B11
45	UART10_TXD	O	UART	3.3V	UART10 Transmit Data Output	AD6
46	VOUT1_DE	O	Video Out	3.3V	Video Output 1 Data Enable output	B10
47	DCAN1_RX	I	CAN	3.3V	DCAN1 receive data pin	G19
48	VOUT1_CLK	O	Video Out	3.3V	Video Output 1 Clock output	D11
49	DCAN1_TX	O	CAN	3.3V	DCAN1 transmit data pin	G20
50	VOUT1_VSYNC	O	Video Out	3.3V	Video Output 1 Vertical Sync output	E11
51	DCAN2_RX	I	CAN	3.3V	DCAN2 receive data pin	F20
52	GND		GND		GND	
53	DCAN2_TX	O	CAN	3.3V	DCAN2 transmit data pin	E21
54	VOUT1_D4	O	Video Out	3.3V	Video Output 1 Data output	E9
55	GND		GND		GND	
56	VOUT1_D0	O	Video Out	3.3V	Video Output 1 Data output	F11
57	GPIO7_30	I/O	GPIO	3.3V	General Purpose Input Output	D14
58	VOUT1_D2	O	Video Out	3.3V	Video Output 1 Data output	F10

59	GPIO5_2	I/O	GPIO	3.3V	General Purpose Input Output	G12
60	VOUT1_D3	O	Video Out	3.3V	Video Output 1 Data output	G11
61	GPIO5_3	I/O	GPIO	3.3V	General Purpose Input Output	F12
62	VOUT1_D1	O	Video Out	3.3V	Video Output 1 Data output	G10
63	GPIO7_31	I/O	GPIO	3.3V	General Purpose Input Output	C14
64	VOUT1_D5	O	Video Out	3.3V	Video Output 1 Data output	F9
65	MCASP1_AHCLKX	O	MCASP	3.3V	MCASP1 Transmit High-Frequency Master Clock	D18
66	GPIO2_29	I/O	GPIO	3.3V	General Purpose Input Output	B17
67	GND		GND		GND	
68	NMIN_DSP	I		3.3V	Non maskable interrupt input, Active Low. Not used	D21
69	MCASP2_AXR1	I/O	MCASP	3.3V	MCASP2 Receive Data I/O	A15
70	SYS_RESETn	O		3.3V	System reset out	
71	MCASP2_AXR0	I/O	MCASP	3.3V	MCASP2 Transmit Data I/O	B15
72	I2C4_SDA	I/O	I2C	3.3V	I2C4 Data I/O	B14
73	MCASP2_FSX	I/O	MCASP	3.3V	MCASP2 Transmit Frame Sync	A18
74	I2C4_SCL	O	I2C	3.3V	I2C4 Clock	J14
75	MCASP2_ACLKX	I/O	MCASP	3.3V	MCASP2 Transmit Bit Clock	A19
76	REGEN1	O		5V	External regulator enable output 1, it can be used to enable a load switch which will sequence an external 3.3V supply, and recommend to pull up with VDD_5V. If REGEN1 is not used, it can be left floating.	
77	MCASP2_AHCLKX	O	MCASP	3.3V	MCASP2 Transmit High-Frequency Master Clock	E17
78	PORZ	I		3.3V	AM5728 Power Reset in .Active Low	
79	GND		GND		GND	
80	GND		GND		GND	

## 2.3 散热设计（选配）

### 2.3.1 散热器简介

EM-TF-SOM-AM5728 核心板是工业级别，所有器件都能满足 $-40\sim 85^{\circ}\text{C}$ 的环境，由于 AM5728 自身发热较大，所以需要做散热处理才能在  $85^{\circ}\text{C}$  的环境下稳定工作，用户可根据不同的使用环境进行散热设计。以下是英蓓特提供的环境温度为  $85^{\circ}\text{C}$  的散热参考设计，这款散热器由风扇加铝制散热片组成，底下放置一块散热硅胶垫与芯片接触，通过螺丝与底板固定。风扇使用 12V 电源供电，电流大小 0.25A，接口方向请参考图 3-3。这套散热器经过实际测试，在  $85^{\circ}\text{C}$  的环境温度下，能提供可靠的散热性能，让 CPU 稳定的运行。

◆ 散热器规格如下：

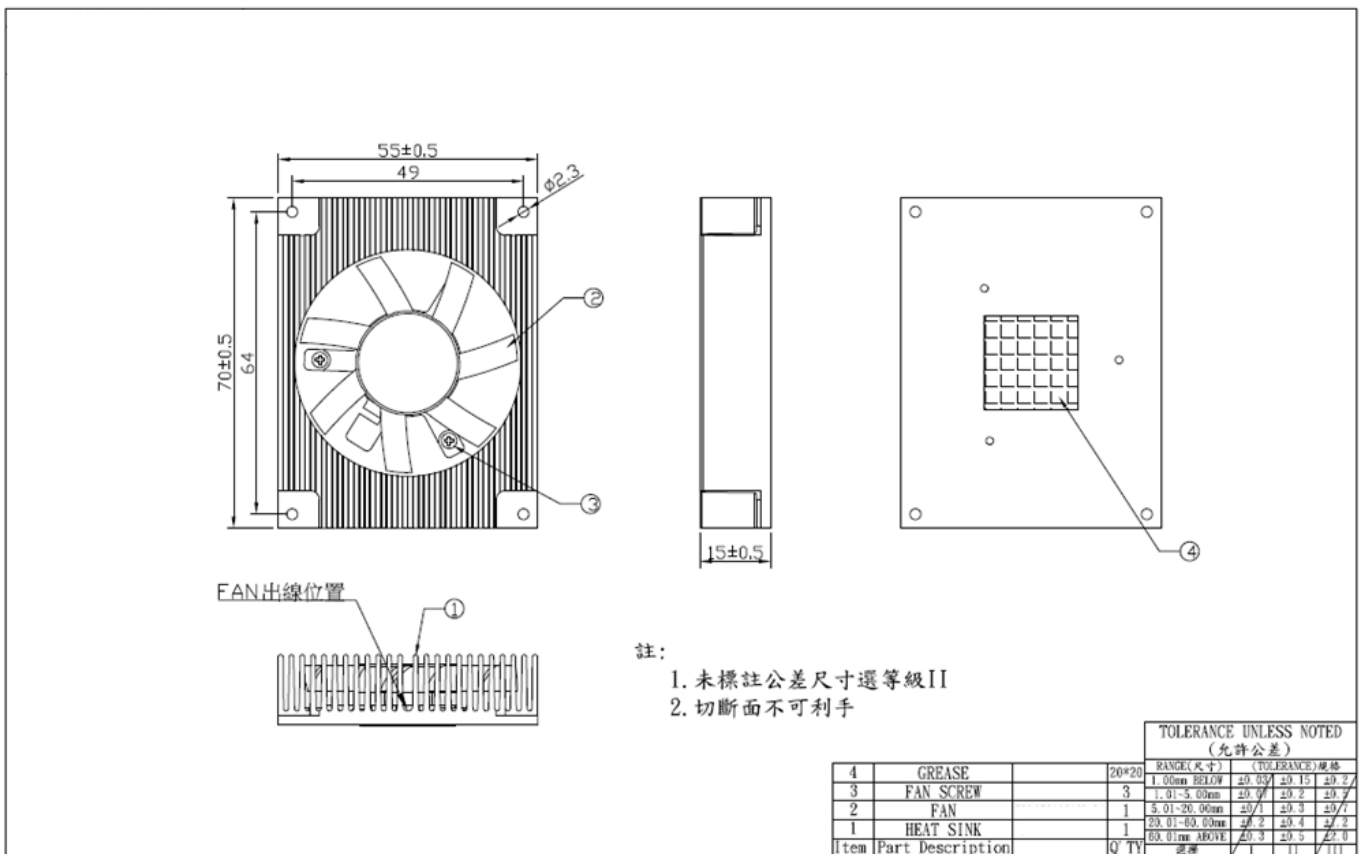


图 3-1 散热器规格

◆ 风扇规格如下:

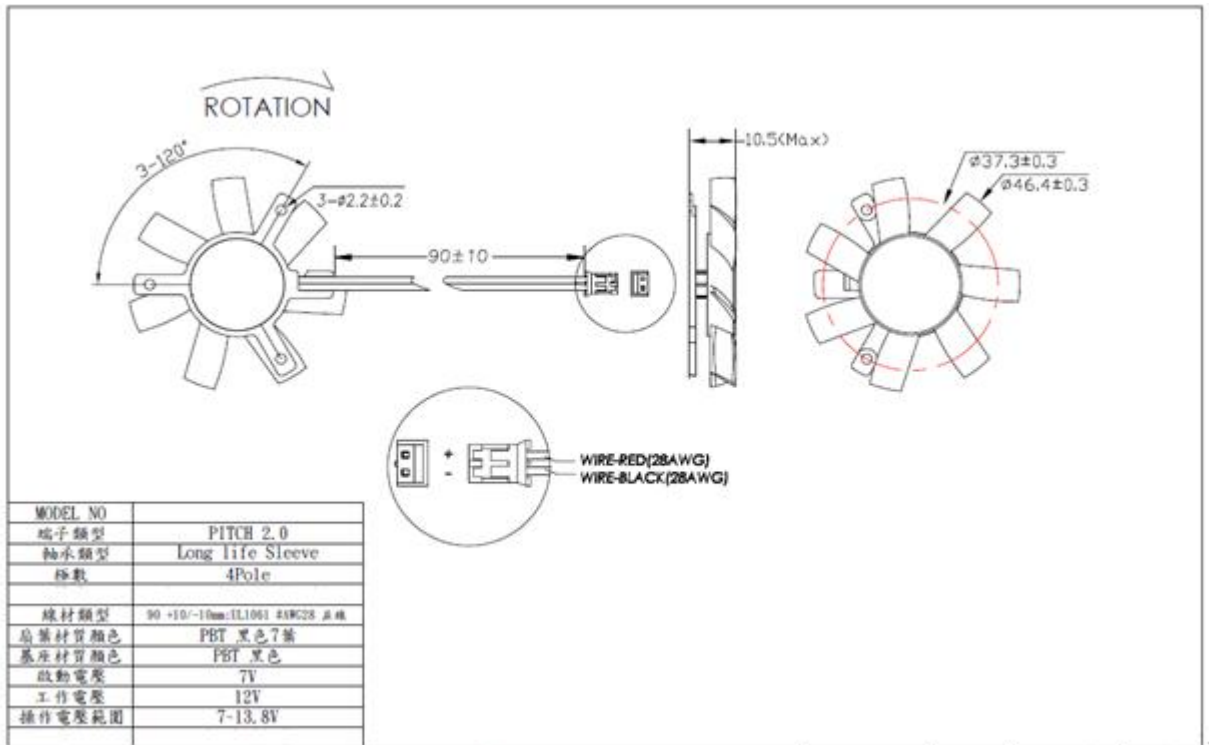
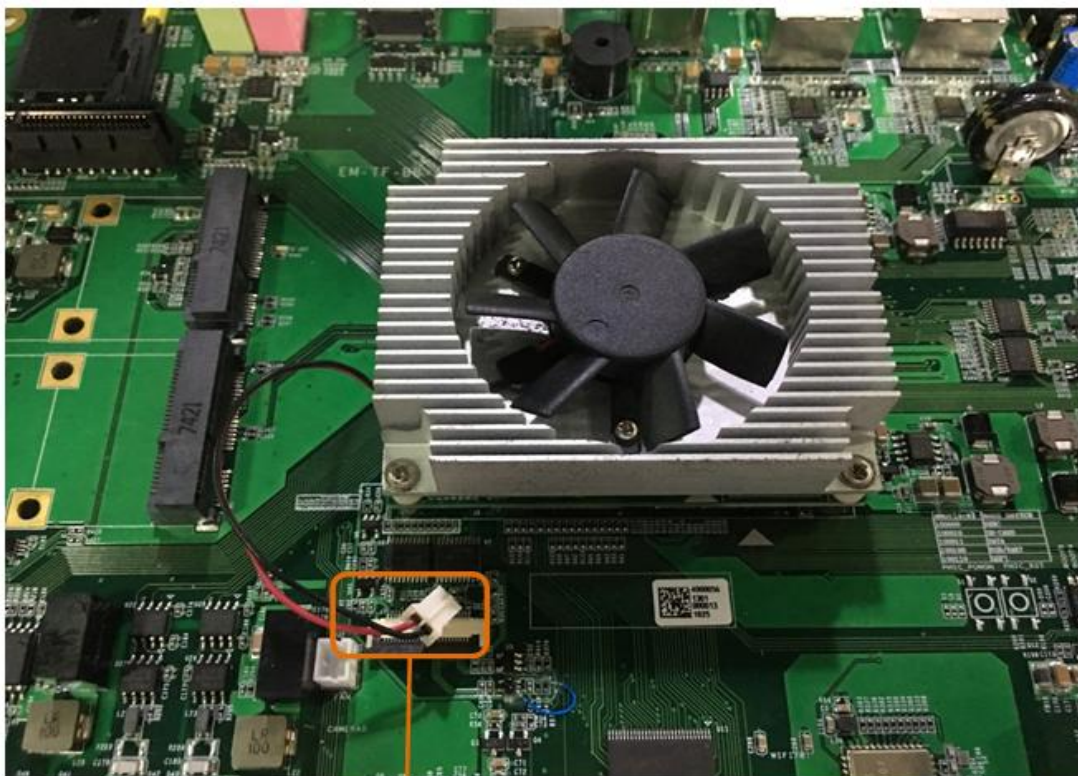


图 3-2 风扇规格



风扇接口

图 3-3 风扇接口示意图

## 第3章 附录

### 3.1 EM-TF-SOM-AM5728 3D 图片

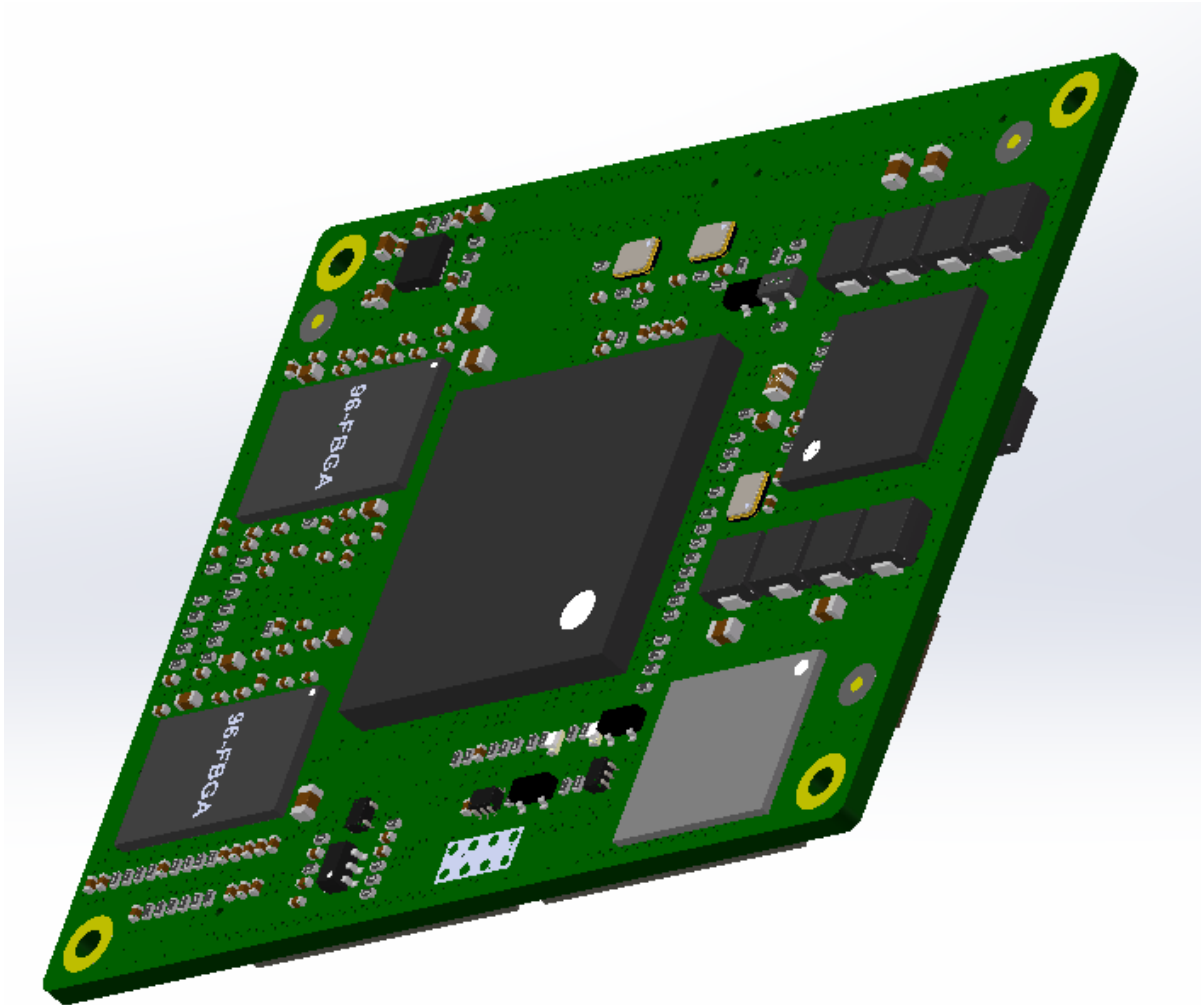


图 3-1 正面 3D 图片

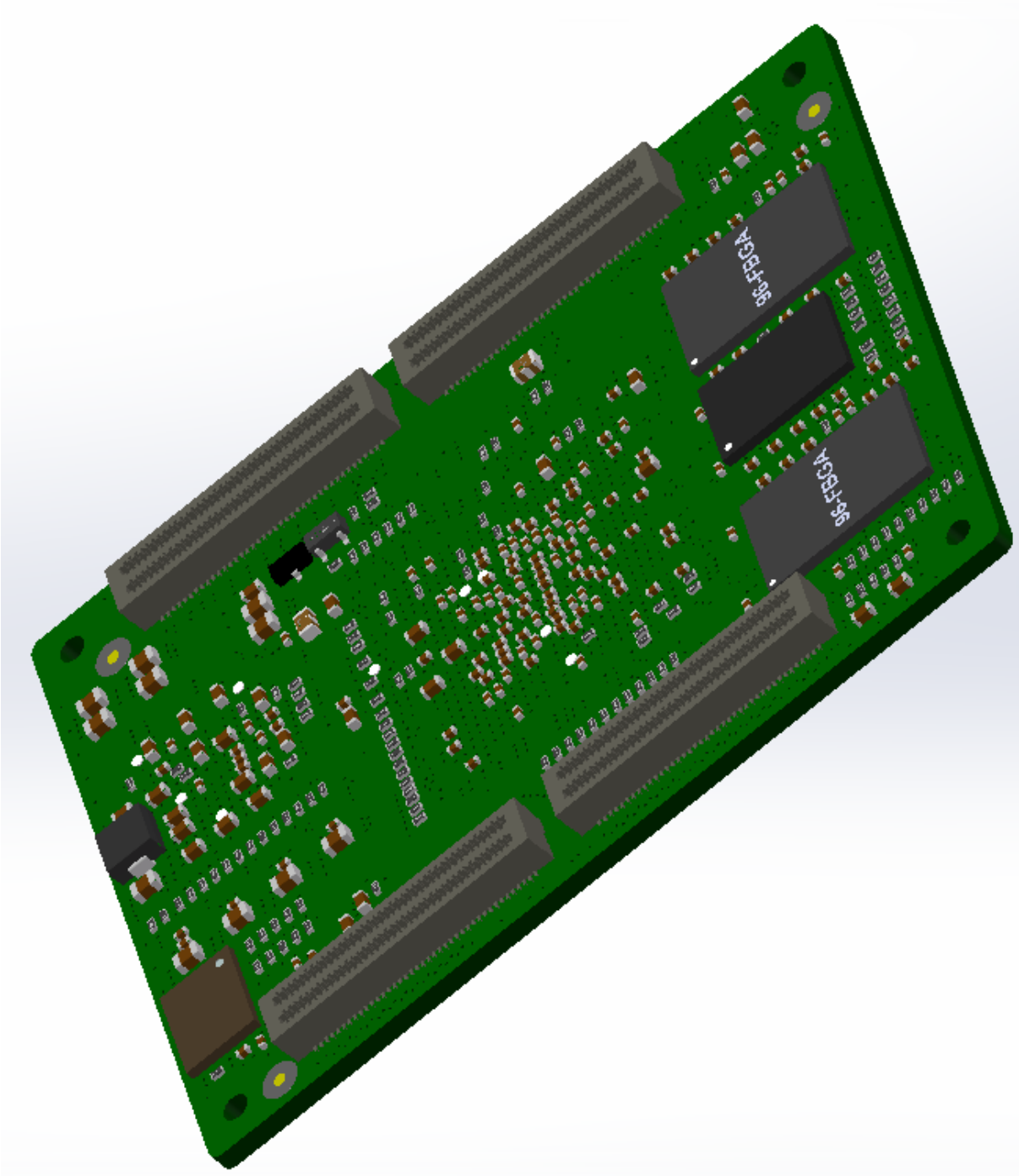


图 3-2 底部 3D 图片



## 3.2 参考文档

- ◆ EM-TF-EVK-AM5728 支持基于 Linux 系统，详细软件介绍请查阅对应的文档
  - ◆ 《EM-TF-EVK-AM5728 Linux 软件发布说明 V1.0》
  - ◆ 《EM-TF-EVK-AM5728 Linux 软件用户手册 V1.0》
  - ◆ 《EM-TF-EVK-AM5728 Linux 软件开发指导 V1.0》
  - ◆ 《EM-TF-BB-AM5728 硬件用户手册 V1.0》

## 第4章 技术支持和保修服务

### 4.1 技术支持

英蓓特科技对所销售的产品提供一年的免费技术支持服务，技术支持服务范围：

- ◆ 提供英蓓特科技嵌入式平台产品的软硬件资源；
- ◆ 帮助用户正确地编译和运行我们提供的源代码；
- ◆ 用户在按照本公司提供的产品文档操作的情况下，如本公司的嵌入式软硬件产品出现异常问题，我们将提供技术支持；
- ◆ 帮助用户判定是否存在产品故障。
- ◆ 以下情况不在我们的免费技术支持服务范围内，但我们将根据情况酌情处理：
  - ◆ 用户自行开发中遇到的软硬件问题；
  - ◆ 用户自行修改嵌入式操作系统遇到的问题；
  - ◆ 用户自己的应用程序遇到的问题；
  - ◆ 用户自行修改本公司提供的软件代码遇到的问题。

### 4.2 保修服务

- ◆ 产品自出售之日起，在正常使用状况下为印刷电路板提供 12 个月的免费保修服务；
  - ◆ 以下情况不属于免费服务范围，英蓓特科技将酌情收取服务费用：
    - ◆ 无法提供产品有效购买凭证、产品识别标签撕毁或无法辨认，涂改标签或标签与实际产品不符；
    - ◆ 未按用户手册操作导致产品损坏的；
    - ◆ 因天灾 (水灾、火灾、地震、雷击、台风等) 或零件之自然耗损或遇不可抗力力导致的产品外观及功能损坏；
    - ◆ 因供电、磕碰、房屋漏水、动物、潮湿、杂 / 异物进入板内等原因导致的产品外观及功能损坏；
    - ◆ 用户擅自拆焊零件或修改而导致不良或授权非英蓓特科技认可的人员及机构进行产品的拆装、维修，变更产品出厂规格及配置或扩充非英蓓特科技公司销售或认可的配件及由此引致的产品外观及功能损坏；
    - ◆ 用户自行安装软件、系统或软件设定不当或由电脑病毒等造成的故障；
    - ◆ 非经授权渠道购得此产品者。
    - ◆ 非英蓓特科技对用户做出的超出保修服务范围的承诺（包括口头及书面等）由承诺方负责兑现，英蓓特科技恕不承担任何责任；
  - ◆ 保修期内由用户发到我们公司的运费由用户承担，由我们公司发给用户的运费由我们承担；保修期外的全部运输费用由用户承担。
  - ◆ 若板卡需要维修，请联系技术支持服务部。
- ⚠ 英蓓特科技公司对于未经本公司许可私自寄回的产品不承担任何责任。

## 第5章 联系方式

- ◆ 电话: +86-755-33190846/33190847/33190848
- ◆ 邮箱:
  - ◆ 技术支持: support@embest-tech.com
  - ◆ 销售: chinasales@embest-tech.com
- ◆ 传真: +86-755-25616057
- ◆ 网站: <http://www.embest-tech.cn>
- ◆ 地址: 深圳市南山区留仙大道 4093 号南山云谷创新产业园山水楼 4 楼 B

单击下面可查看定价，库存，交付和生命周期等信息

[>>Avnet manufacturing service\(英蓓特\)](#)