

## 产品应用

- 数字示波器
- 通信接收机
- 直接 RF 下变频转换器
- 高速数字采集
- 雷达、电子对抗

## 产品特点

- 双通道超高速 A/D 转换器
- 8 位分辨率
- 单电源+1.9V±0.1V 工作
- SDR 或 DDR 输出时钟选择
- 每通道采样率 1.5GSPS，采用时间交替模式可达到 2 倍采样率
- 多路 ADC 同步性能
- 时钟占空比校正
- 最大转换速率：1.5GSPS
- DNL：±0.4LSB
- 扩展控制为串行接口：
- 4 位地址，16 位数据
- 输入满刻度范围数字调节

## 产品描述

CBM08AD1500QP 是采用 CMOS 工艺制造的半导体集成电路。该产品为折叠和插值相结合的结构，电路内部包含采样/保持放大器、折叠放大器、带隙电压基准、时钟电路和 LVDS 输出等电路。

该电路采用 128 引线四面扁平外壳封装 (TQFP128)，外形尺寸为 22mm×22mm×2mm，执行标准 GJB597A-1996。

该产品具有采样率高、功耗低、线性误差小、增益和失调自动校正和 3 - 线接口控制等特点。通过 3 - 线接口可对内部电路的增益、失调和通道间的时钟匹配进行校正，模拟输入为差分输入，即可交流耦合也可直流耦合；时钟输入电路内部设有直流偏置，必须交流耦合输入。

该产品与国外 National Semiconductor 公司产品 ADC08D1500 管脚排列相同，功能和性能可直接替换 ADC08D1500。



**COREBAI**  
芯佰微电子

## 功能框图

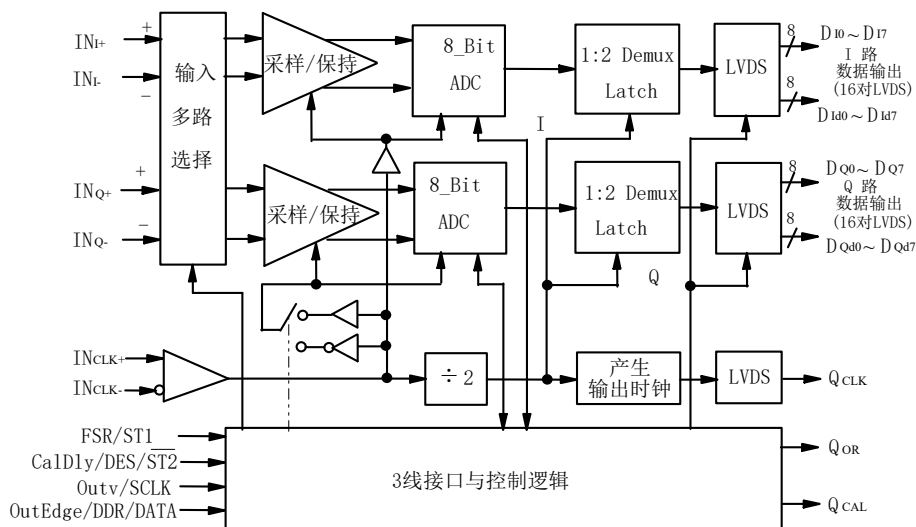


图 1 功能框图

### 时序图

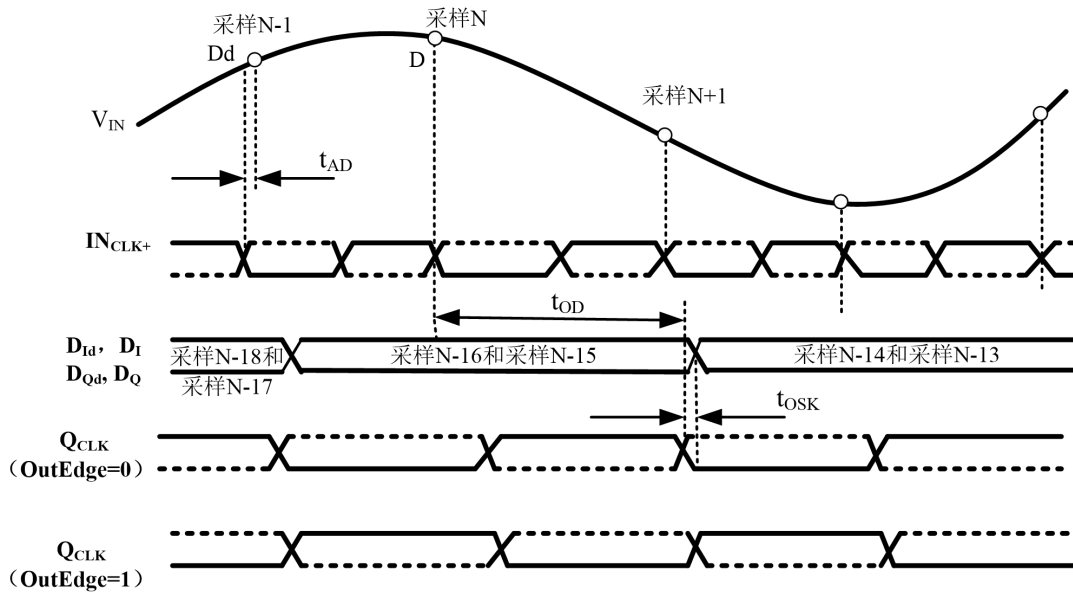


图2 CBM08AD1500 单数据速率(SDR)时序 (OutEdge 为高或低)

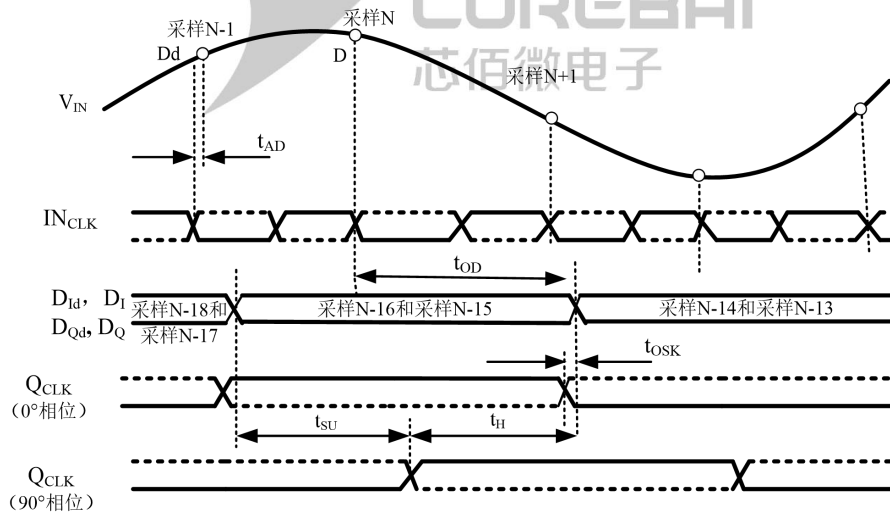


图3 CBM08AD1500 双倍数据速率(DDR)时序 (OutEdge 悬空或  $V_{CC}/2$ )

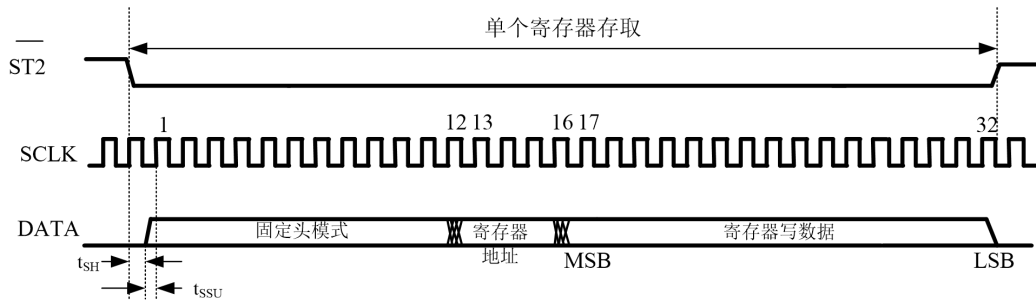


图 4 串行接口时序

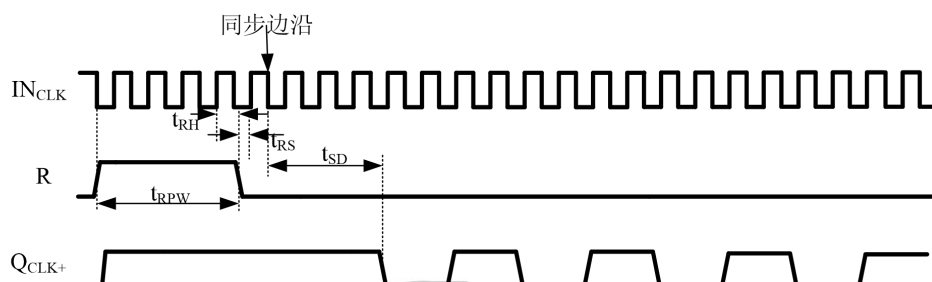


图 5 OutEdge 悬空或  $V_{CC}/2$  时, DDR 模式的时钟重置时序

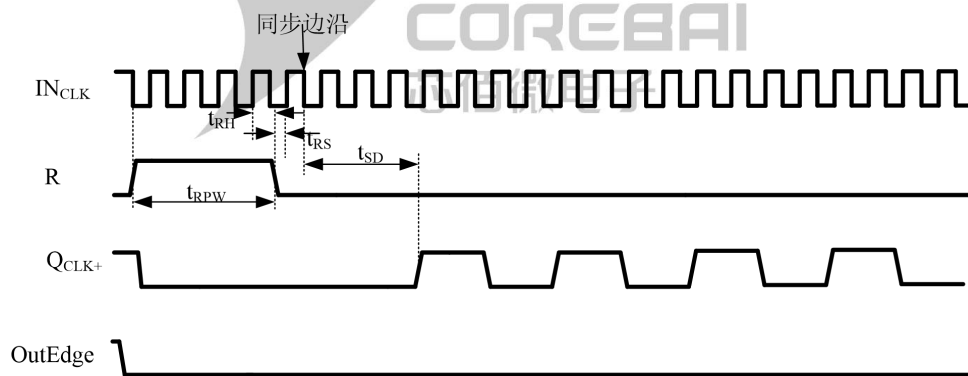


图 6 OutEdge 为低时, SDR 模式的时钟重置时序

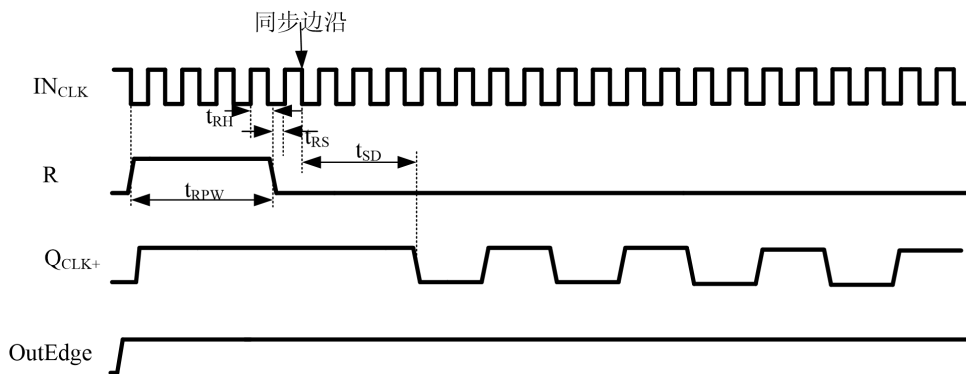


图 7 OutEdge 为高时，SDR 模式的时钟重置时序

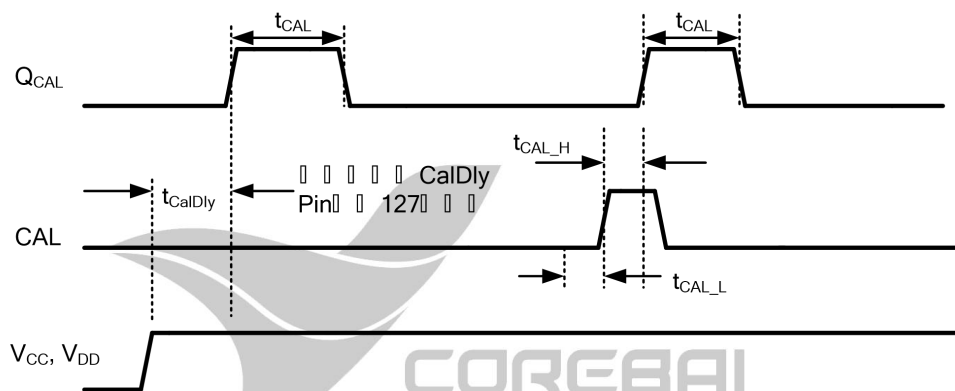


图 8 自校正和指令校正时序

### 输出码

等效十进制	$V_{IN+} - V_{IN-}$	电压电平	二进制码	溢出位
255	> 460mV	> 正满度范围 + 1/2LSB	11111111	1
255	460mV	正满度范围 + 1/2LSB	11111111	0
254	458mV	正满度范围 - 1/2LSB	11111110	0
.	.		.	
.	.		.	
128	1.8mV	双极 0 + 1/2LSB	10000000	0
127	-1.8mV	双极 0 - 1/2LSB	01111111	0
.	.		.	
.	.		.	

1	-458mV	负满度范围 + 1/2LSB	00000001	0
0	-460mV	负满度范围 - 1/2LSB	00000000	0
0	< -460mV	< 负满度范围 - 1/2LSB	00000000	1

表1 输出码 (标准模式, FSR 为高)

## 推荐工作条件

- 电源电压 ( $V_{CC}$ 、 $V_{DD}$ ) : 1.8V ~ 2.0V
- 模拟输入共模电压: 1.26V  $\pm$  50mV
- 差分模拟输入范围: 570 ~ 1100mVpp
- 串行接口时钟输入频率: 100MHz
- 时钟频率范围: 200 MHz ~ 1500MHz
- 时钟输入占空比: 20% ~ 80%,  
典型 50%
- 差分时钟输入幅度: 0.5 ~ 2.0V<sub>PP</sub>,  
典型 0.6 V<sub>PP</sub>
- 工作温度: -45°C ~ 85°C

## 绝对最大额定值

- 电源电压 ( $V_{CC}$ 、 $V_{DD}$ ) : 2.2V
- 电源差  $V_{DD}-V_{CC}$ : 0V ~ 100mV
- 任一引脚的输入电流:  $\pm$ 25mA
- ESD 保护:人体模型: 2000V, 机器模型: 250V
- 引线耐焊接温度  $T_H(10s)$ : 300°C
- 贮存温度  $T_S$ : - 65°C ~ 150°C
- 结温  $T_j$ : 175°C

## 性能指标

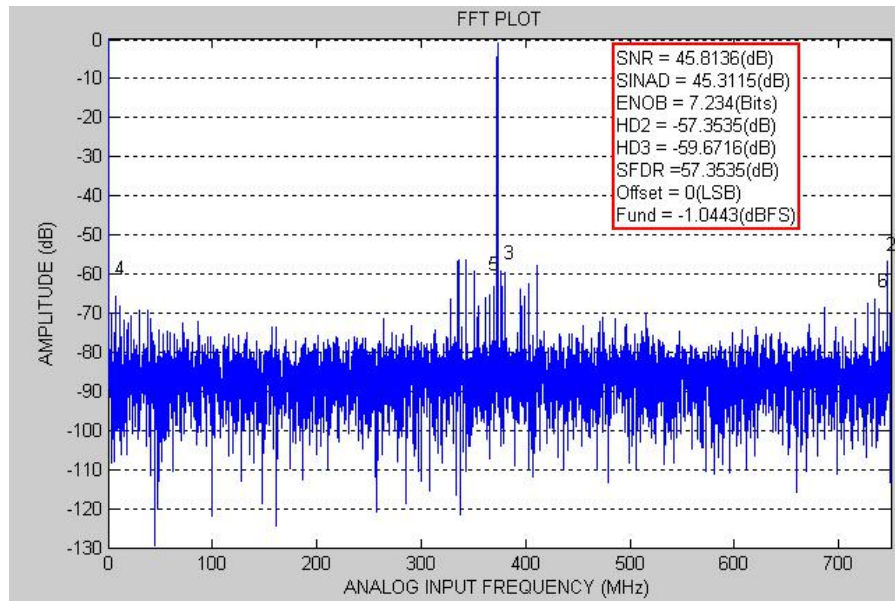
除另有规定外, 电特性应按表 2 的规定。电测试方法按 SJ 20961-2006 的规定。模拟输入交流耦合, 差分 920mVpp; 时钟交流耦合输入, 占空比 50%; 外接电阻  $R_{ext}=3300\Omega\pm 0.1\%$ 。表 3 的典型值仅为 25°C 下参考数据。

参数名称	符号	条件 (除另有规定外, $V_{CC}=V_{DD}=1.9V$ , $GND_A=GND_D=0V$ )	性能指标			ADC08D1500	单位
			最小值	典型值	最大值		
分辨率	RES		8			8	bits
模拟电源电流	$I_{CC}$	PD = PDQ = 0V	-	900	930	$\leq 870$	mA
数字电源电流	$I_{DD}$	PD = PDQ = 0V	-	220	250	$\leq 290$	mA
功耗	PD	PD = PDQ = 0V	-	2.0	2.2	$\leq 2.2$	W
积分非线性误差	$E_L$	DC 耦合, 1MHz 正弦波	-1.2	$\pm 0.6$	1.2	$\pm 0.9$	LSB
微分非线性误差	$E_{DL}$		-1.0	$\pm 0.4$	1.0	$\pm 0.6$	LSB
失调误差	$E_O$		-2.5	-0.45	-2.5	-1.5 ~ 1	LSB

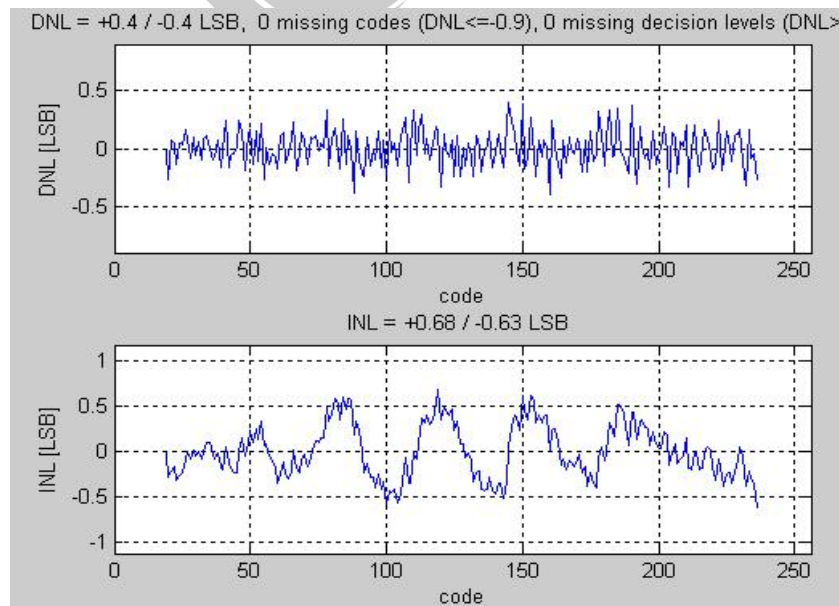
正满刻度误差	$E_{FS+}$		-40	$\pm 10$	40	$\pm 25$	mV
负满刻度误差	$E_{FS-}$		-40	$\pm 10$	40	$\pm 25$	mV
带隙基准输出电压	$V_{REF}$	$I_{REF} = \pm 100\mu A$	1.20	1.27	1.33	1.20 ~ 1.33	V
模拟差分输入电压	$V_{ID1(PP)}$	FSR 脚 14 为低	570	700	900	570 ~ 730	mVp-p
		FSR 脚 14 为高	790	920	1100	790 ~ 950	mVp-p
模拟差分输入电阻	RI		94	100	106	94 ~ 106	$\Omega$
时钟输入差分电压	$V_{ID2(PP)}$		0.5	0.6	2	0.4 ~ 2	V
逻辑输入低电平	$V_{IL}$	Outv, R, PD, PDQ	-		0.3	$\leq 0.3$	V
逻辑输入高电平	$V_{IH}$		1.6		-	$\geq 1.6$	V
数字输出高电平	$V_{OH}$	Q <sub>Cal</sub> (126 脚)	1.5	1.65	-	$\geq 1.5$	V
数字输出低电平	$V_{OL}$		-	0.15	0.3	$\leq 0.3$	V
LVDS 差分输出电压	$V_{OD(PP)}$	OutV = $V_{CC}$ , $V_{REF}$ 悬空	400	700	1000	400 ~ 920	mV
		OutV = GND, $V_{REF}$ 悬空	280	500	800	280 ~ 720	mV
溢出输出码	OROC	$(V_{IN+} - V_{IN-}) >$ 正满度	255	-	-	$\geq 255$	-
		$(V_{IN+} - V_{IN-}) <$ 负满度	-	-	0	$\leq 0$	-
增益平坦度	$\Delta A$	dc ~ 500MHz	-1	$\pm 0.5$	1	$\pm 1$	dBFS
信噪比	SNR	$f_{CLK} = 1.5GHz$ , $f_{IN} = 373MHz$	42	45.0	-	$\geq 44.5$	dB
有效位	ENOB		6.6	7.2	-	$\geq 7.0$	Bits
信噪失真比	SINAD	$f_{CLK} = 1.5GHz$ , $f_{IN} = 373MHz$	41.5	44.5	-	$\geq 43.9$	dB
无杂散动态范围	SFDR		45	54	-	$\geq 48.5$	dB
总谐波失真	THD	$f_{CLK} = 1.5GHz$ , $f_{IN} = 373MHz$	-	-	-45	典型-53.5	dB
最大转换速率	$S_{Rmax}$	$f_{IN} = 373MHz$	1.5	-	-	$\geq 1.5$	GSPS
输出时钟占空比	$Q_{DC}$		45	50	55	45 ~ 55	%
时钟置位脉冲宽度	$t_{RPW}$	见图 5 ~ 7 时序	4	-	-	$\geq 4$	时钟周期
校正控制输入低电平时间	$t_{CAL\_L}$	见图 8 时序	80	-	-	$\geq 80$	时钟周期
校正控制输入高电平时间	$t_{CAL\_H}$	见图 8 时序	80	-	-	$\geq 80$	时钟周期

表 2 电特性

## 特性曲线



$f_{clk}=1.5\text{GSPS}$ ,  $f_{IN}=373\text{MHz}$



$f_{clk}=1.5\text{GSPS}$ ,  $f_{IN}=373\text{MHz}$

## 应用说明

### 1. 功能描述

#### 1) 概述

CBM08AD1500 采用了带校正的折叠内插结构, 可以达到 7.1bit 的有效位。折叠运放的应用极大地减少了比较器的数量和功耗。内插结构减少了前置运放的数量, 同时减少了输入信号的负载电容, 更进一步降低了功耗。除此以外, 器件集成校正降低了因折叠结构引起的 INL 弓形。通过这些技术实现了超高速、高性能、低功耗的转换器。

在转换器输入电压范围内的模拟输入信号被数字化为 8 位码值输出, 转换速率为 200MSPS ~ 1.5GSPS。典型情况下差分输入电压低于负的满刻度值将使输出码值全为 0; 差分输入电压高于正的满刻度值将使输出码值全为 1。“I” 或 “Q” 通道出现上面两个中任一种情况将会溢出输出范围, 这些单个的输出码值超出范围指的是从一个通道或两个通道输出的码值低于负的满刻度值或超出正的满刻度值。两通道转换器都有一个满足两路 LVDS 输出总线的 1:2 多路信号分离器, 这些输出总线上的数据在每条总线上以采样率一半的速率输出, 同时使用者可以选择隔行扫描来达到采样率的速率输出。

输出幅度可以选择普通模式或者低幅度模式。采用低幅度模式可以降低功耗但会造成一些或所有的数据采集, 特别是在高采样率和边界设计系统下。

#### a. 自校正

上电和用户指令都可以启动自校正。自校正主要用来修调 100Ω 模拟输入差分终端电阻, 同时最小化满刻度误差、失调误差、DNL 和 INL, 最大化 SNR、THD、SINAD 和 ENOB, 同样内部偏置电流也是通过自校正过程来进行设置。上电自校正和用户指令启动自校正都可以实现这些目的。自校正是器件功能的一个重要组成部分, 其目的是使器件达到更好的性能。自校正除了在上电启动外, 只要 FSR 引脚 (14 脚) 的控制发生变化就要重新启动自校正。为了达到更好的性能, 我们建议在上电之后和器件工作温度相对与系统性能要求的温度差别很大时, 让自校正运行 20 秒或更长时间。更详细的可参考 2.4) .b.② 指令校正。当器件处于省电模式 (PD 或 PDQ 为高) 时, 自校正不能初始化或者运行。更详细的信息可参考 1.1) .g 省电模式自校正与省电模式的关系。

在普通工作模式下, 器件上电和输入一个有效的校正指令, 自校正都会工作。校正指令保持 CAL 引脚 (30 脚) 为低至少一个  $t_{CAL\_L}$  时钟周期, 接着保持 CAL 引脚为高至少另个  $t_{CAL\_H}$  时钟周期, 其中  $t_{CAL\_L}$  和  $t_{CAL\_H}$  在转换器电特性中定义的, 见图 8。自校正所占有的时间为转换器电特性中定义的  $t_{CAL}$ 。在上电之后保持 CAL 引脚为高将阻止自校正过程运行, 直到 CAL 引脚出现前面提到的  $t_{CAL\_L}$  时钟周期紧接着是  $t_{CAL\_H}$  时钟周期。

CalDly (引脚 127) 用来选择在上电之后到自校正开始运行时的 2 个延迟时间之中的 1 个, 自校正的延迟时间由 CalDly 引脚设置, 在转换器电特性中定义为  $t_{CalDly}$ , 见表 3 所示。这些延迟时间的长度为电源电压上电并稳定到自校正工作这段时间。在上电之后如果 PD (26 脚) 这个引脚为高, 自校正延迟计算器将会无效, 直到 PD 引脚重新为低。因此, 在上电后保持 PD 引脚为高, 将进一步延迟上电后自校正周期的开始。CalDly 引脚最好的设置依赖于电源电压的上电设置时间。



CalDly (引脚 127)	上电延迟选择 ( $t_{\text{CalDly}}$ )
H	$2^{31}$ 个输入时钟周期
L	$2^{25}$ 个输入时钟周期
DES(双沿采样模式)	$2^{25}$ 个输入时钟周期

表 3 上电延迟时间控制功能表(PD 为低电平)

#### 自校正工作注意事项:

- 在自校正周期期间, 溢出 ( $Q_{\text{OR}}$ ) 输出可能是校正算法的一个有用结果。在校正期间, 所有数据输出和溢出输出的数据是无效的。
- 在上电校正期间和指令校正期间, 内部 ADC 核的时钟和输出时钟  $Q_{\text{CLK}}$  停止工作; 这时输入终端电阻阻值被修调到  $R_{\text{ext}}/33$ 。在校正周期中校正输入电阻是校正期间的一部分, 目的是为了减少噪声。参考 2.4) .b.自校正。  
这个外接电阻位于引 脚 32 与地之间,  $R_{\text{ext}}$  必须精确等于  $3300\Omega \pm 0.1\%$ 。利用这个值, 输入终端电阻阻值被修调为  $100\Omega$ 。因为  $R_{\text{ext}}$  还用来为采样/保持运放、前置放大器和比较器设置适当的偏置电流, 所以  $R_{\text{ext}}$  的其它值不能采用。
- 只要校正正在运行, 无论是上电自校正还是用户指令启动自校正, CalRun 输出都为高。

#### b.输出数据的捕获

在时钟  $IN_{\text{CLK}+}$  (引脚 18) 的下降沿数据输出, 即在 13 个输入时钟周期后  $D_1$  和  $D_Q$  端输出的数据和在 14 个输入时钟周期后  $D_{1d}$  和  $D_{Qd}$  端输出的数据有效。输出数据在输出获得之前, 有另外的内部延迟叫  $t_{\text{OD}}$ , 见时序图。只要有输入时钟信号, CBM08AD1500 就会进行数据转换工作。全差分比较器设计和创新的采样保持放大器设计, 以及自校正技术, 在 1.5GHz 以下获得了一个非常平坦的 SINAD/ENOB 响应。CBM08AD1500 输出数据信号是 LVDS, 输出格式是二进制偏移码。

#### c.控制模式

提供的多个控制引脚实现了用户控制的多种模式。例如包括校正循环的初始化, 省电模式和满刻度范围设置控制。然而, CBM08AD1500 也提供一个扩展控制模式, 通过扩展控制模式, 一个串行接口被用来访问基于寄存器的许多高级特性的控制。这个扩展控制模式不能自动被使用, 而使用者希望在所有时间都能用普通控制模式或者扩展控制模式。当器件处于扩展控制模式时, 基于引脚控制的许多特性就会被基于寄存器控制的特性所取代, 那些基于引脚的控制将无效。这些引脚是  $Outv$  (引脚 3),  $OutEdge/DDR$  (引脚 4),  $FSR$  (引脚 14) 和  $CalDly/DES$  (引脚 127), 见表 4 所示。关于扩展控制模式更详细的信息请参考 1.2) 普通/扩展控制模式。

控制输入		功能脚			
FSR/ST1 (14 引脚)	控制模式	CalDly/DES/ST2 (127 引脚)	OutEdge/DDR/DATA (4 引脚)	Outv/SCLK (3 引脚)	
H 或 L (V <sub>CC</sub> 或 GND)	普通模式	上电校正延迟选择: H 时延迟 2 <sup>31</sup> 个时钟周期; L 时延迟 2 <sup>25</sup> 个时钟周期 双沿采样: 悬空或 0.5V <sub>CC</sub>	单数据速率模式 (SDR): 为 H 或 L 双倍数据速率模式 (DDR): 悬空或 0.5V <sub>CC</sub>	控制 LVDS 输出幅度: H 时输出正常幅度; L 时输出幅度降低	
悬空或 V <sub>CC</sub> /2	扩展模式	选通扩展模式串行接口的时钟和数据	H	串行数据输入被封锁	串行时钟输入被封锁
			L	串行数据输入	串行时钟输入

表 4 控制模式表

#### d. 模拟输入

CBM08AD1500 必须由一个差分输入信号驱动, 单端信号工作不是推荐的。交流耦合输入时, V<sub>CMO</sub> (7 引脚) 接地; 当直流耦合输入时, V<sub>CMO</sub> 引脚悬空, 但输入共模电压必须等于 V<sub>CMO</sub> 的输出电压。

引脚 14 (FSR) 提供了 2 个满刻度范围设置, 在普通模式下, 由 FSR 设置来控制输入满刻度范围, 通过转换器电特性中参数模拟输入范围来定义的, 满刻度范围设置时对两个 ADC 都有效。在扩展控制模式, 输入满刻度范围由串行接口的数据输入进行调节, 在 1.4) 和 2.2) 中进行叙述。模拟输入满刻度范围控制见表 5。

FSR	模拟差分输入满刻度范围
H	790 ~ 1100mVpp, 典型 920 mVpp
L	570 ~ 900 mVpp, 典型 700 mVpp
悬空或 V <sub>CC</sub> /2	串行接口的 9 位二进制码输入控制, 560 ~ 840 mVpp, 默认 700 mVpp

表 5 模拟输入满刻度范围控制表

#### e. 时钟输入/输出

CBM08AD1500 必须由一个差分时钟信号通过交流耦合连接来驱动, 2.3) 描述了时钟输入引脚的用法。一个差分 LVDS 输出时钟用来锁存 ADC 输出数据, 便于后续器件接收数据。

CBM08AD1500 提供了两种输出时钟选择, 一种是选择输出数据在输出时钟 Q<sub>CLK</sub> 的上沿转换还是在输出时钟的下沿转换, 另一种选择是单数据速率 (SDR) 输出, 还是双数据速率 (DDR) 输出, 见表 6, 时序见图 2、图 3。

OutEdge/DDR (4 引脚)	模式	输出时钟
H	SDR	频率为 1/2 输入频率, 输出数据在该时钟的上沿转换
L		频率为 1/2 输入频率, 输出数据在该时钟的下沿转换
悬空或 V <sub>CC</sub> /2	DDR	频率为 1/4 输入频率, 输出数据在该时钟的上下沿转换

表 6 输出时钟选择 (FSR 为 H 或 L)

CBM08AD1500 时钟输入内部有一个占空比调节器, 以改善内部时钟性能, 可通过扩展模式(地址码 0001)进行选择, 使占空比调节器是否工作, 默认设置是工作的。占空比调节器允许 ADC 的时钟可以是一个占空比为 20 ~ 80% (最差情况) 的信号源。

#### ①. 双沿采样(DES功能)

DES 模式允许 CBM08AD1500 中的一个输入 (I 或 Q 通道) 被两个 ADC 所采样。一个 ADC 在输入时钟的正边沿采样输入信号, 另一个 ADC 在输入时钟的负边沿采样输入。因此信号输入在每个时钟周期被采样两次, 所以一个完整的采样率是输入时钟频率的两倍, 或者对于 1.5GHz 的输入时钟采样率为 3GSPS。

在这个模式, 交替存取的输出数据被一个多路选择器转换为 1:4。由于采样率是二倍, 在 1.5GHz 输入时钟下, 4 路数据输出中的任一路都以 750MHz 的速率输出, 所有数据都是并行输出。每个时钟输出的 4 路并行数据是紧跟着采样顺序的, 从最早到最后依次是:  $D_{Qd}$ 、 $D_{Id}$ 、 $D_Q$ 、 $D_I$ , 即最早是  $D_{Qd}$ , 其次是  $D_{Id}$ , 最后是  $D_I$ ; 这表示可以提供不同采样率的可能性。

双沿采样在普通控制模式下, 只有 “I” 路模拟输入( $IN_I$ )可用, “Q” 路模拟输入( $IN_Q$ )不用。在扩展控制模式, 用户可以选择任意 1 个 (“I” 或 “Q”) 作为模拟输入被采样, 地址码为 1110。控制功能见表 7。

CBM08AD1500 包括一个自动时钟相位后台校正特性, 这个特性能在 DES 模式下自动的连续用来调节 I 通道和 Q 通道的时钟相位。这个特性免除了手动设置时钟相位的需要, 同时提供最佳的双边沿采样 ENOB 性能。

**特别注意:** 在 DES 模式下的后台校正特性不能代替在进入 DES 模式之前要运行的指令校正, 或如果芯片工作环境温度出现大的变化时所需要的指令校正。

数据输出 (总是对应 $Q_{CLK}$ 的下降沿)	普通采样模式	双沿采样模式 (DES)	
		选择 I 通道输入	选择 Q 通道输入*
$D_I$	“I” 输入采样对应输出前 13 个 $IN_{CLK}$ 周期的下降沿	“I” 输入采样对应输出前 13 个 $IN_{CLK}$ 周期的下降沿	“Q” 输入采样对应输出前 13 个 $IN_{CLK}$ 周期的下降沿
$D_{Id}$	“I” 输入采样对应输出前 14 个 $IN_{CLK}$ 周期的下降沿	“I” 输入采样对应输出前 14 个 $IN_{CLK}$ 周期的下降沿	“Q” 输入采样对应输出前 14 个 $IN_{CLK}$ 周期的下降沿
$D_Q$	“Q” 输入采样对应输出前 13 个 $IN_{CLK}$ 周期的下降沿	“I” 输入采样对应输出前 13.5 个 $IN_{CLK}$ 周期的上升沿	“Q” 输入采样对应输出前 13.5 个 $IN_{CLK}$ 周期的上升沿
$D_{Qd}$	“Q” 输入采样对应输出前 14 个 $IN_{CLK}$ 周期的下降沿	“I” 输入采样对应输出前 14.5 个 $IN_{CLK}$ 周期的上升沿	“Q” 输入采样对应输出前 14.5 个 $IN_{CLK}$ 周期的上升沿

表 7 输出数据对应的输入通道采样时间

\*在 DES 普通模式下, 只有 I 通道进行采样。在 DES 的扩展模式下, I 或 Q 通道都可以进行采样。

## ②.OutEdge 引脚设置

为了使在 SDR 模式数据采样变得容易, 输出数据可以在输出数据时钟 ( $Q_{CLK}$ ) 的正沿或负沿进行转换。这可以通过 OutEdge 输入 (引脚 4) 来选择。OutEdge 输入为高时输出数据在  $Q_{CLK}$  上升沿转换; OutEdge 输入为低时输出数据在  $Q_{CLK}$  下降沿转换, 见表 6。参考 2.4) .c 输出沿同步。

## ③.双倍数据速率

提供了单倍数据率 (SDR) 或双倍数据率 (DDR) 输出的选择。如果是 SDR, 输出时钟 ( $Q_{CLK}$ ) 频率与两路输出总线的数据速率一样。如果是 DDR,  $Q_{CLK}$  频率是数据速率的一半, 数据在  $Q_{CLK}$  的两个沿被送到输出端。DDR 时钟通过让引脚 4 悬空或  $V_{CC}/2$  来控制, 在 FSR (引脚 14) 普通控制模式有效, 见表 4 和表 6。

### f. LVDS 输出

数据输出、溢出输出(D<sub>OR</sub>)和时钟输出(Q<sub>CLK</sub>)都是LVDS。当Outv输入(引脚3)为高时,输出电流源将提供3mA的输出电流到100Ω的差分电阻负载;当Outv输入(引脚3)为低时,输出电流源将提供2.2mA的输出电流到100Ω的差分电阻负载,见表8。为了缩短LVDS线长和降低系统噪声,Outv输入(引脚3)为低会获得满意的性能,同时降低功耗。如果LVDS路线太长或CBM08AD1500系统噪声太大,把Outv输入接高电平是很有必要的。

当V<sub>REF</sub>(引脚31)未连接或悬空时,LVDS数据输出有一个800mV的共模电压。如果要求更高的共模电压,可以通过把V<sub>REF</sub>引脚与V<sub>CC</sub>相连使共模电压增加到1.2V,见表9。

**特别注意:** 连接V<sub>REF</sub>引脚到V<sub>CC</sub>也会增加差分LVDS输出电压40mV。

Outv 输入 (引脚 3)	LVDS 输出幅度
H	400 ~ 1000mVpp, 典型 700 mVpp
L	280 ~ 800mVpp, 典型 500 mVpp

表 8 LVDS 输出幅度控制

V <sub>REF</sub> (引脚 31)	LVDS 输出幅度
H	典型 1.2V
悬空	典型 800 mV

表 9 LVDS 输出共模电压 (V<sub>OS</sub>)

### g. 省电模式 (Power Down)

当PD(引脚26)为低时,CBM08AD1500处于正常工作状态。当PD引脚为高时,器件处于省电模式。在省电模式,数据输出引脚(正和负)都是三态,同时器件功耗被降低到最小。时钟输出(Q<sub>CLK</sub><sup>—</sup>和Q<sub>CLK</sub>)和溢出输出(D<sub>OR</sub><sup>—</sup>和D<sub>OR</sub>)不是三态,他们在内部被拉到地。因此,当I和Q都是省电模式时,时钟输出和溢出输出不能接到一个直流电压。

PDQ引脚为高或悬空时将使“Q”通道处于省电模式,“I”通道处于正常工作状态,不受PDQ的控制,见表10。再回到普通工作模式,通道中将包含无意义的信息。

如校正正在运行期间PD置为高,器件不会进入省电工作,仍然正常工作,直至校正时序完成。然而,如果在已经上电和PD已为高的情况下,器件进入省电工作,不进行校正,直到PD变为低。如果器件处于省电模式要求手动校正,校正根本就不会启动。那就是说,手动校正输入完全被省电状态封锁了。但如果PDQ为高“Q”通道处于省电模式,“I”通道校正仍会运行,“Q”通道将不能被校正。如果“Q”通道是后来被使用,在PDQ为低后进行一次校正也是必须的。

省电模式控制		工作模式	
PD	PDQ	I 路	Q 路
H	H 或 L	省电模式	省电模式
L	H 或悬空	正常工作	省电模式
	L	正常工作	正常工作

表 10 省电模式控制

## 2) .普通/扩展控制

CBM08AD1500 可以工作在这两种模式中任一种。普通的标准控制模式，使用者可以通过几个引脚来设置和控制器件的工作状态；“扩展控制模式”是通过一个串行接口和对 9 个寄存器的设置来实现另外的配置和控制选择。两种控制模式通过引脚 14 (FSR/ST1: 满刻度范围选择和扩展控制模式选择) 来选择。控制模式的选择必须是一个固定的选择，当器件工作时不能随意转换这两种模式。表 11 显示了器件特性受控制模式选择的影响。

特 性	普通控制模式	扩展控制模式
SDR 或 DDR 模式时钟	引脚 4 悬空或 $V_{CC}/2$ 选择 DDR 时钟，为高或低选择 SDR 时钟	在配置寄存器 (1h; D10) 中用 nDE 选择。当器件处于 DDR 模式，设置地址 1h, bit-8 必须为 0。
DDR 模式时钟相位	没有选择，只有 $0^\circ$ 相位	在配置寄存器 (1h; D11) 中，用 DCP 选择。
SDR 模式，数据转换在 $Q_{CLK}$ 上升或下降沿	当引脚 4 为高时，SDR 数据在 $Q_{CLK+}$ 上升沿转换；当引 4 为低时，下降沿转换	在配置寄存器 (1h; D8) 中，用 OE 选择
LVDS 输出幅度	引脚 3 为高，正常的差分数据和 $Q_{CLK}$ 输出幅度；为低时，减小幅度。	在配置寄存器 (1h; D9) 中，用 OV 选择
上电校正延迟	当引脚 127 为低，选择短的延迟；为高，选择长的延迟。	只能短的延迟
满刻度范围	当引脚 14 为高时，正常的输入满刻度范围；为低时，减小范围。范围的选择对两个通道均有效。	在 1.4 寄存器描述中，整个正常满刻度范围内多达 512 步长的调节。选择用输入满刻度范围调节寄存器 (3h; D7 ~D15)
输入失调调节	不能调节	用输入失调寄存器 (2h; D7 ~ D15) 调节，多达 512 步长
双边沿采样选择	引脚 127 悬空或 $V_{CC}/2$	通过 DES 使能寄存器来控制
双边沿采样输入通道选择	只有 I 通道输入可用	I 或 Q 通道输入都可以被 2 个 ADC 采样
DES 采样时钟调节	时钟相位是自动调节	在 DES 中设置 D14 使能寄存器 (Dh) 来选择自动时钟相位控制。时钟相位也可以通过粗和细寄存器 (Eh 和 Fh) 来进行手动调节。

表 11 器件特性和模式

扩展控制模式的默认状态由上电复位进行设置，如表 12 所示。

特 性	扩展控制模式默认状态
SDR 或 DDR 模式时钟	DDR 模式时钟
DDR 模式时钟相位	$Q_{CLK}$ 边沿 ( $0^\circ$ 相位) 数据变化
LVDS 输出幅度	正常幅度 (700m Vpp)
上电校正延迟	缩短的延迟
模拟输入满刻度范围	两个通道都是 700mVpp
输入失调调节	两个通道都没有失调调节
双边沿采样 (DES)	不用此模式

表 12 扩展控制模式工作(14 脚悬空或  $V_{CC}/2$ )

### 3) .串行接口

只有当器件工作在扩展控制模式下，3 线串行接口才能被激活。这些串行接口的引脚是串行时钟 (SCLK)、串行数据 (DATA) 和串行接口选择 ( $\overline{ST2}$ )，八个只写寄存器通过串行接口获取信号。

$\overline{ST2}$ ：通过串行接口访问一个寄存器时，这个信号应该为低。相对于 SCLK 的建立时间和保持时间必须满足要求。

SCLK：串行数据输入在这个信号的上升沿获得，对 SCLK 没有最小频率要求。

DATA：每个寄存器存取要求这个输入端为一个明确的 32 位组合格式。这个格式由头模式、寄存器地址和寄存器值组成，寄存器值由 MSB 位开始。相对于 SCLK 的建立时间和保持时间必须满足要求，看时序图。

每个寄存器访问由 32 位组成，如图 4 所示的时序图。固定头模式为 0000 0000 0001 (11 个 0，1 个 1)，写入次序是 0 最先写入，这 12 位组成头模式。接下来写入 4 位寄存器的地址，最后 16 位数据被写入到寄存器，不同寄存器的地址详细表述如表 13 所示。

当  $\overline{ST2}$  永久保持为低电平时，从第 33 个 SCLK 开始后面的寄存器存取能直接完成，在寄存器地址之间不再进行选通。虽然这种用法不推荐，但那是可能的。

**重要提示：**当校正 ADC 的时候，串行接口不要使用，如果使用会降低器件的性能，除非再进行正确的校正。寄存器存取期间进行串行接口寄存器操作也会降低 ADC 的动态特性。

4-bit 地址					
地址写入顺序: A3 在 H0 (固定头模式的最后位, 即 "1") 后锁存, A0 在最后锁存					
A3	A2	A1	A0	Hex	寄存器地址
0	0	0	0	0h	保留
0	0	0	1	1h	状态配置
0	0	1	0	2h	I 通道输入失调调节

0	0	1	1	3h	I 通道满刻度电压调节
0	1	0	0	4h	保留
0	1	0	1	5h	保留
0	1	1	0	6h	保留
0	1	1	1	7h	保留
1	0	0	0	8h	保留
1	0	0	1	9h	保留
1	0	1	0	Ah	Q 通道输入失调调节
1	0	1	1	Bh	Q 通道满刻度电压调节
1	1	0	0	Ch	保留
1	1	0	1	Dh	DES 使能
1	1	1	0	Eh	DES 粗调节
1	1	1	1	Fh	DES 细调节

表 13 寄存器地址

#### 4) .寄存器描述

在扩展控制模式 8 个只写寄存器提供了许多控制和配置选择，当器件处于普通控制模式时，这些寄存器对器件没有影响。下面每个寄存器的描述介绍了每个控制位的上电复位状态（POR）。

### 寄存器配置

地址：1h (0001b)，只写。

默认值：(0xB2FF)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	DCS	DCP	nDE	OV	OE	1	1	1	1	1	1	1	1

Bit 15 必须设置为 1b

Bit 14 必须设置为 0b

Bit 13 必须设置为 1b

Bit 12 DCS: 占空比稳定器。当这个位设置为 1b，一个占空比稳定器电路就被应用于时钟输入。当这个位设置为 0b，占空比稳定器电路取消。POR 状态：1b

Bit 11 DCP: DDR 模式时钟相位。这个位只能在 DDR 模式下才有影响。当这个位为 0b， $Q_{CLK}$  边沿与数据边沿（0°相位）一致。当这个位为 1b， $Q_{CLK}$  边沿位于数据二进制单元中间（90°相位），利用了  $Q_{CLK}$  一半的速度。参考图 3 相位。

POR 状态：0b

Bit 10 nDE: DDR 或 SDR 模式选择。当这个位设为 0b，数据总线时钟遵循 DDR 模式（双数据率），这样  $Q_{CLK}$  时钟每个上升和下降沿都输出一个数据字节。当这个位为 1b，数据总线时钟遵循 SDR 模式（单倍数据率），这样  $Q_{CLK}$  时钟的上升沿或下降沿输出一个数据字节，由 OutEdge 位决定。

POR 状态：0b

Bit 9 OV: 输出电压幅度。这个位决定 LVDS 输出电压幅度，它还与用在普通控制模式的 OutV 引脚有一样的功能。当这个位为 1b，输出标准幅度 800mVpp。当这个位为 0b，输出减小的幅度

600mVpp。

POR 状态: 1b

Bit 8 OE: SDR 模式输出时钟沿选择。这个位选择 SDR 模式下数据转换的  $Q_{CLK}$  边沿, 它还与在普通控制模式下 OutEdge 引脚一样的功能。当这个位为 1, 数据输出在  $Q_{CLK+}$  的上升沿转变; 当这个位为 0, 数据输出在  $Q_{CLK+}$  的下降沿转变。

POR 状态: 0b

Bits 7:0 必须设为 1b。

## I 通道失调调节

地址: 2h (0010b), 只写。

默认值: (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB			失调值			LSB			符号	1	1	1	1	1	1

Bits 15:8 失调值。I 通道 ADC 的输入失调在这里被线性和单调的调节。00h 提供一个普通的零失调, FFh 提供一个 45mV 的失调。因此, 每个码步有 0.176mV 的失调。

POR 状态: 0000 0000 b

Bits 7 符号位。0b 给正的失调, 1b 给负的失调。

POR 状态: 0b

Bit 6:0 必须设为 1b

## I 通道满刻度电压调节

地址: 3h (0011b), 只写。

默认值: (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB			调节值			LSB			1	1	1	1	1	1	1

Bit 15:7 满刻度电压调节值。I 通道 ADC 的输入满刻度电压或增益被以 9 位数据值进行线性和单调地调节。调节范围是正常 700mVpp 差分值的  $\pm 20\%$ 。

0000 0000 0      560 mVpp

1000 0000 0      700 mVpp      默认值

1111 1111 1      840 mVpp

为了达到最好的性能, 建议这个值限制在 0110 0000 0b 到 1110 0000 0b 之间。例如, 限制调节的幅度为  $\pm 15\%$ , 保留  $\pm 5\%$  的余量来允许 ADC 自己满刻度变化。增益调节的时候不能同时进行 ADC 再校正。

POR 状态: 1000 0000 0b (不调节)

Bits 6:0 必须设为 1b



## Q 通道失调调节

地址: Ah (1010b); 只写。

默认值: (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB			失调值			LSB			符号	1	1	1	1	1	1

Bits 15: 8 失调值。Q 通道 ADC 的输入失调在这里被线性和单调地调节。00h 提供一个普通的零失调, FFh 提供一个 45mV 的失调。因此, 每个码步有 0.176mV 的失调。

POR 状态: 0000 0000 b

Bits 7 符号位。0b 给正的失调, 1b 给负的失调。

POR 状态: 0b

Bit 6: 0 必须设为 1b

## Q 通道满刻度电压调节

地址: 3h (1011b); 只写。

默认值: (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MSB			调节值			LSB			1	1	1	1	1	1	1

Bit 15:7 满刻度电压调节值。Q 通道 ADC 的输入满刻度电压或增益被以 9 位数据值进行线性和单调的调节。调节范围是正常 700m VP-P 差分值的  $\pm 20\%$ 。

0000 0000 0 560 mVpp

1000 0000 0 700 mVpp 默认值

1111 1111 1 840 mVpp

为了达到最好的性能, 建议这个值范围限制在 0110 0000 0b 到 1110 0000 0b 之间。例如, 限制调节的幅度为  $\pm 15\%$ 。保留  $\pm 5\%$  的余量来允许 ADC 自己满刻度变化。增益调节的时候不能同时进行 ADC 再校正。

POR 状态: 1000 0000 0b (不调节)

Bits 6:0 必须设为 1b

## DES 使能配置

地址: Dh (1101b); 只写。

默认值: (0x3FFF)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DEN	ACP	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit 15 DES 使能。设置这个位为 1b, 进入双边沿采样模式, 在这个模式器件以时间交替方式工作, 模拟输入被双路 ADC 采样和转换, 获得输入时钟频率两倍的采样速率。当这个位设为 0b 时, 器件工作在普通的双通道模式。

POR 状态: 0b

Bit 14 自动时钟相位控制 (ACP)。设置这个位为 1b, 进入自动时钟相位控制, 在这个模式, DES 粗和细手动控制无效, 一个相位检测电路连续地调节 I 和 Q 采样边沿为超出 180 度相位。当这个位为 0b, I 和 Q 通道间的采样时钟延迟设为手动调节方式, 用 DES 粗和细调节寄存器。(参考 2.4).e)。推荐用 ACP 控制来设置 DES, 而不是手动设置。

POR 状态: 0b

Bit 13:0 必须设为 1b

## DES 粗调节

地址: Eh (1110b); 只写。

默认值: (0x07FF)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
IS	ADS	CAM			1	1	1	1	1	1	1	1	1	1	1

Bit 15 模拟输入选择。当这个位设为 0b 时, I 通道的模拟输入通过两个 ADC 工作。当这个位设为 1b 时, Q 通道的输入通过两个 ADC 工作。

POR 状态: 0b

Bit 14 延迟调节方向选择。当这个位设为 0b, 程序延迟用于 I 通道采样时钟, 而 Q 通道采样时钟保持固定不变。当这个位设为 1b 时, 程序延迟用于 Q 通道采样时钟, 而 I 通道采样时钟保持固定不变。

POR 状态: 0b

Bits 13:11 延迟粗调节。这里的每个码值延迟 I 通道或 Q 通道采样时钟 (由 ADS 位定义) 近 20ps。在这里 000b 的一个值产生 0 调节。

POR 状态: 000b

Bits 10: 0 必须设为 1b

## DES 细调节

地址: Fh (1111b); 只写。

默认值: (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
(MSB)	FAM				(LSB)	1	1	1	1	1	1	1	1	1	1

Bits 15:7 延迟细调节。在这里每个码值延迟 I 通道和 Q 通道 (由 DES 粗调节的 ADS 位决定) 采样时钟近 0.1ps。这里 0000 0000 0b 为零调节。注意, 每个码值能够调节的大小随器件工作环境和粗调节值的选择而变化。

POR 状态: 0000 0000 0b

Bit 6: 0 必须设为 1b

### a.关于扩展模式失调校正的注解

当用 I 或 Q 通道失调调节寄存器时, 请注意下面的信息。

对于 +0000 0000 和 -0000 0000 的失调值, 实际情况两者失调值并不一样。只需要改变这种情况的符号位, 两者将有 1/10 个 LSB 的数字输出码值。下面的图 9 表示更清楚。

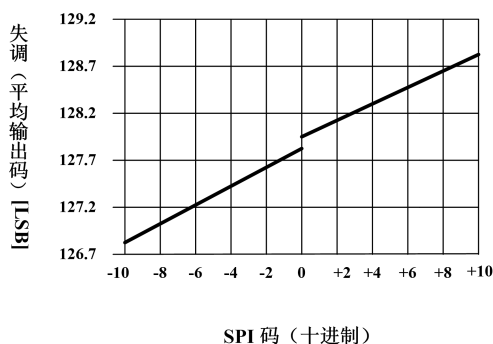


图 9 扩展模式失调性能

### 5) .多个 ADC 同步

CBM08AD1500 有这样一个功能, 用户可以输入一个置位脉冲 R(15 脚)来精确重置器件采样时钟输入到 Q<sub>CLK</sub> 输出的关系。这允许多个 ADC 在一个系统中有它们自己的 Q<sub>CLK</sub> (和数据) 输出转换, 并在同样的时间共享输入时钟 IN<sub>CLK</sub>, 这个时钟用于所有 ADC 采样。

置位输入 R 必须满足图 5、图 6 和图 7 的时序关系, 置位脉冲 R 必须有一个最小宽度, 相对于输入时钟 IN<sub>CLK</sub> 上升沿, 它的下降沿必须满足建立和保持时间要求, 这些时间是在转换器电特性中的 t<sub>RH</sub>, t<sub>RS</sub> 和 t<sub>RPW</sub>。

置位 (R) 信号与输入时钟异步。如果 R 是有效 (逻辑高), Q<sub>CLK</sub> 输出被保持在一个设定的状态。在重置期间 Q<sub>CLK</sub> 保持的状态由工作模式 (SDR/DDR) 和 OutvEdge 配置引脚或配置位设置来决定(参考图 5、图 6 和图 7)。因此, 当置位 (R) 有效实现时钟重置时, 重置期间在 Q<sub>CLK</sub> 时序上可能有一个窄脉冲。当 R 信号与 IN<sub>CLK</sub> 上升沿不同步时, 在下一个 IN<sub>CLK</sub> 下降沿 Q<sub>CLK</sub> 输出与系统中其它 CBM08AD1500 的输出同步, 在一个固定延迟后 (相对于输入时钟频率) Q<sub>CLK</sub> 输出又恢复, 即时钟输入 IN<sub>CLK</sub> 到输出时钟 Q<sub>CLK</sub> 的延迟 (t<sub>SD</sub>)。在正常工作下器件总表现出这些延迟特性。

当校正过程正进行时 (当 CalRun 为高), 置位 (R) 引脚不应该设置为高。这样做将在数字电路中引起一个数字脉冲, 这将导致校正的错误和失效。

## 2.应用信息

### 1) .参考电压

CBM08AD1500 的电压参考由一个 1.254V 的带缓冲器的带隙基准提供, 为了用户方便, 可以在引脚 31 获得 V<sub>REF</sub>。这个输出有 ±100μA 的电流输出能力, 如果需要比这更大的电流应加缓冲器。

内部带隙基准参考电压有一个对应于普通的模拟输入值 V<sub>ID1</sub>, 由 FSR 引脚定义并在 1.1) .d 模拟输入中有描述。

本产品不提供外部参考电压的应用, 但满刻度输入电压在扩展控制模式能通过一个配置寄存器进行调节, 如在 1.2) 普通/扩展控制描述。

差分输入信号在选择满刻度输入范围内将被数字转换为 8 位数字码, 信号超出满刻度范围的部分在输出将不出现, 在信号超出满刻度范围时激活溢出输出 D<sub>OR</sub>, 参考 2.2).b 溢出范围指示。

V<sub>REF</sub> 引脚的一个额外的特性是它可以用来提升 LVDS 输出共模电压, 当 V<sub>REF</sub> 引脚被作为输出或没有

连接时，输出共模电压 ( $V_{OS}$ ) 典型值为 800mV。为了将 LVDS 失调电压提升到一个典型值 1200mV， $V_{REF}$  引脚可以直接接到电源线上。

## 2) .模拟输入

模拟输入是一个差分信号，这个信号既可交流耦合连接也可直流耦合连接。在普通模式，满刻度输入范围用 FSR 引脚来选择。在扩展控制模式，满刻度输入范围通过串行接口由满刻度电压调节寄存器来进行选择。当在扩展模式调节输入满刻度范围时，为达到最好的性能，参考 1.4) 寄存器描述作为指导关于调节的大小限制。

表 14 给出了在普通模式下 SFR 为高时输入到输出的关系，SFR 为低时幅度减少为 75%。在扩展模式这个幅度由控制寄存器的满刻度输入范围和失调设置确定。

带缓冲器的模拟输入简化了驱动这些输入的情况，通常情况采样 ADC 输入的 RC 极点是不需要的。如要求在 ADC 前用一个放大器电路，注意选择一个足够好的噪声和失调性能及在应用频率有足够增益的放大器。

**注意：**一个精确的直流共模电压必须施加于 ADC 的模拟输入，当交流耦合输入时这个共模电压  $V_{CMO}$  由器件内部提供，模拟信号交流耦合到 ADC 输入。

当输入被交流耦合连接时， $V_{CMO}$  输出必须接地，如图 10 所示。器件内部的  $V_{CMO}$  电压通过片内 50K  $\Omega$  电阻连接到模拟输入。

$V_{IN+}$	$V_{IN-}$	输出码
$V_{CMO}-230mV$	$V_{CMO}+230mV$	00000000
$V_{CMO}-115mV$	$V_{CMO}+115mV$	01000000
$V_{CMO}$	$V_{CMO}$	01111111 10000000
$V_{CMO}+115mV$	$V_{CMO}-115mV$	11000000
$V_{CMO}+230mV$	$V_{CMO}-230mV$	11111111

表 14 差分输入到输出的关系 (FSR 为高，非扩展模式)

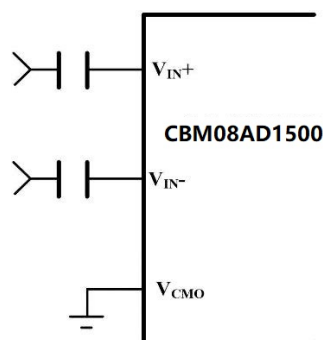


图 10 差分输入驱动

**重要提示：**当模拟输入是交流耦合连接时，没有用的模拟输入通道（如在 DES 模式）应该悬空，没有用的模拟输入不要连接到地。

当模拟输入直流耦合连接模式时，在差分输入必须提供共模电压。这个共模电压应该跟踪  $V_{CMO}$  输出

引脚，并注意到  $V_{CMO}$  输出电压将随温度变化，驱动电路的共模电压输出应当跟踪这个变化。

**重要提示：**当模拟输入直流耦合连接时，没有用的模拟输入通道（如在 DES 模式）应该连接到  $V_{CMO}$  电压，没有用的模拟输入不要连接到地。

当输入共模电压偏离  $V_{CMO}$  时，满刻度失真性能下降极快，这是因为用了一个非常低的电源电压来降低功耗的直接结果，因此，应保持输入共模电压在  $V_{CMO} \pm 50mV$  以内。

CBM08AD1500 的直流耦合连接模式的性能与交流耦合连接模式的性能一样好，但提供的输入共模电压在两个模式下应保持在  $V_{CMO} \pm 50mV$  以内。

### a. 单端输入信号处理

由于 CBM08AD1500 内部没有对单端信号处理的电路，因而不提供处理单端输入信号。处理单端信号最好的方式是在输入到 ADC 之前把信号转换成差分信号，最容易的单端信号转换为差分信号的方式是用一个适当的不平衡连接的变压器，如图 11 所示。

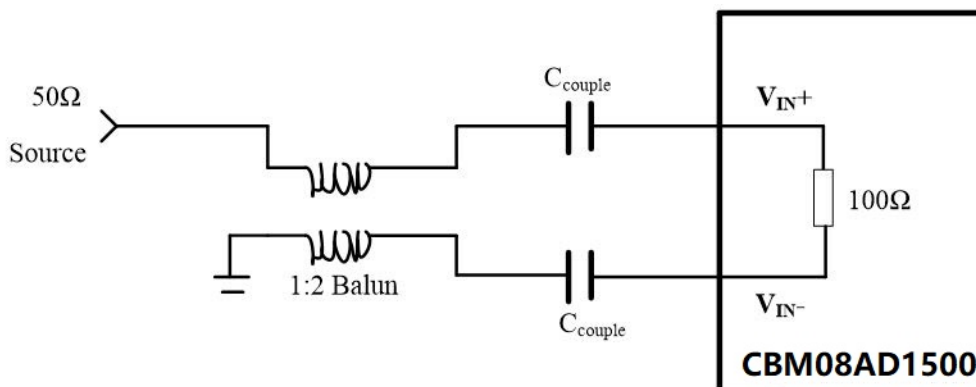


图 11 单端到差分信号转换

#### ① .交流耦合输入

最容易的单端交流输入转差分交流输入的方式是用一个适当的不平衡连接的变压器，如图 11 所示。

图 11 是用变压器将单端信号转为差分信号的一个简图。变压器的特性依赖于变压器类型的选择和整个板子的布局。建议系统设计师和变压器制造商交流，他们可以帮助选择出最好的单端转差分用的特殊变压器。

当选择一个变压器，了解 ADC 的输入结构是非常重要的。系统设计师应当注意这些特殊的变压器参数。它们的模拟输入源到 CBM08AD1500 器件内部的  $100\ \Omega$  差分输入终端电阻的阻抗应该匹配。这个终端电阻的范围在电特性表中描述为  $R_{IN}$ 。

作为 ADC 结构的结果，相位和幅度的平衡也变得重要。当选择一个变压器时，相位不平衡要求不超过  $\pm 2.5^\circ$ ，在希望输入的频率范围内幅度不平衡应该限制不超过 1dB。最后，应该考虑这个变压器的 VSWR（电压驻波比）、带宽和插入损失。当连接到 ADC 输入时，VSWR 帮助决定变压器的整个传输线终端电容。插入损失应该被考虑，以便在变压器输出的信号在电特性中要求的 ADC 输入范围  $V_{ID1}$  内。

#### ② .直流耦合输入

当要求直流耦合到 CBM08AD1500 模拟输入，单端到差分转换采用图 12 所示。在这个应用中，放

大器 A1 的作用是实现单端到差分的转换, 同时传输低失调和低噪声信号, 也实现输出平衡, 提供 CBM08AD1500 工作的信号。连接 CBM08AD1500 的  $V_{CMO}$  引脚到放大器 A1 的  $V_{CM\_REF}$  引脚, 通过恰当的缓冲器, 将确保 CBM08AD1500 共模输入电压是 CBM08AD1500 最优化性能所需要的, 见图12。图 12 中放大器 A2 作为具有低压工作和合理失调电压的缓冲器。

确保从 CBM08AD1500  $V_{CMO}$  引脚输出的电流不超过  $100\mu A$ 。

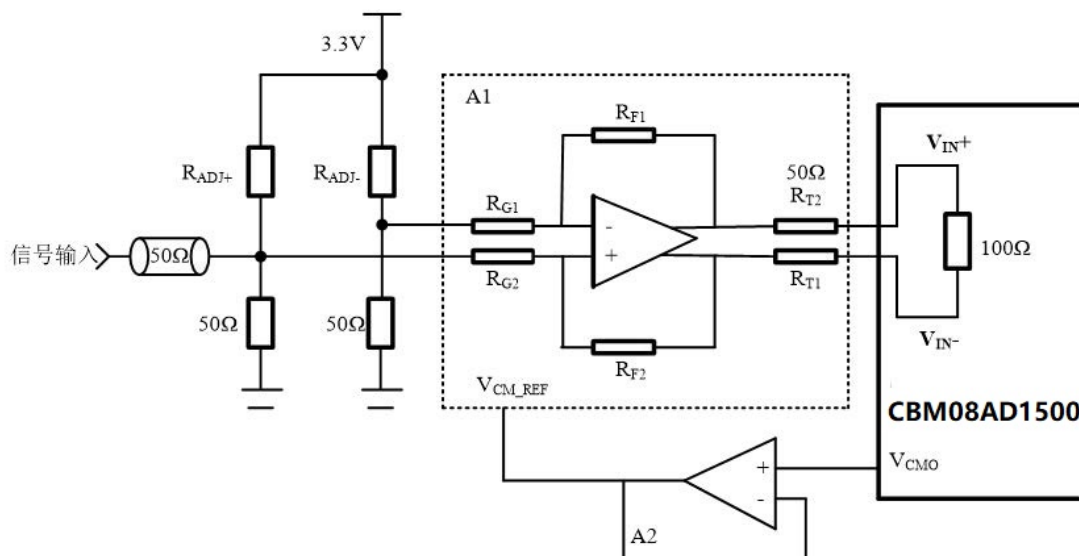


图 12 用  $V_{CMO}$  模拟输入的例子

图 12 中  $R_{ADJ-}$  和  $R_{ADJ+}$  被用来调节差分失调, 这个失调可以从 ADC 输入  $V_{IN+}/V_{IN-}$  测量。关于一个  $V_{IN-}$  超过  $|15mV|$  未调节的正失调, 应该通过在  $R_{ADJ-}$  位置的电阻来减小。同样地, 一个关于  $V_{IN-}$  超过  $|15mV|$  未调节的负失调, 应该通过在  $R_{ADJ+}$  位置的电阻来减小。要用未调节的差分失调将  $V_{IN+}/V_{IN-}$  的差分失调减小到  $|15mV|$  以内, 给定的  $R_{ADJ-}$  和  $R_{ADJ+}$  值是不同的, 参见表 15。

未调节失调读取	电阻值
0mV 到 10mV	不需要电阻
11mV 到 30mV	20.0k $\Omega$
31mV 到 50mV	10.0 k $\Omega$
51mV 到 70mV	6.81 k $\Omega$
71mV 到 90mV	4.75 k $\Omega$
91mV 到 110mV	3.92 k $\Omega$

表 15 直流耦合失调调节

### b. 溢出范围 ( $D_{OR}$ ) 指示

当转换结果被截去一部分时，溢出输出被激活，结果  $\overline{D_{OR}}$  为高， $D_{OR}$  为低。只要在一条或两条总线上的正确数据在 00h ~ FFh 范围外，这个输出就被激活。

### c. 满刻度输入范围

对于所有 A/D 转换器，输入范围都是由 ADC 参考电压值来决定。CBM08AD1500 的参考电压由一个内部带隙参考驱动，其有效的参考电压值由 FSR 引脚控制，所以，当 FSR 引脚为高时模拟输入的差分满刻度范围为普通幅度；当 FSR 引脚为低时为减小的幅度，在电特性表中进行了定义。最好的 SNR 是在 FSR 为高时，但更好的失真和 SFDR 是在 FSR 为低时获得的。

### 3) .时钟输入

CBM08AD1500 有差分 LVDS 时钟输入  $IN_{CLK+}$  和  $IN_{CLK-}$ ，时钟输入必须采用差分信号交流耦合驱动。CBM08AD1500 是采用一个差分 1.5GHz 时钟来测试和保证它的性能，电特性表中用这个频率来表征典型功能。时钟输入内部设有直流偏置，输入时钟信号必须电容耦合到时钟引脚，如图 13 所示。

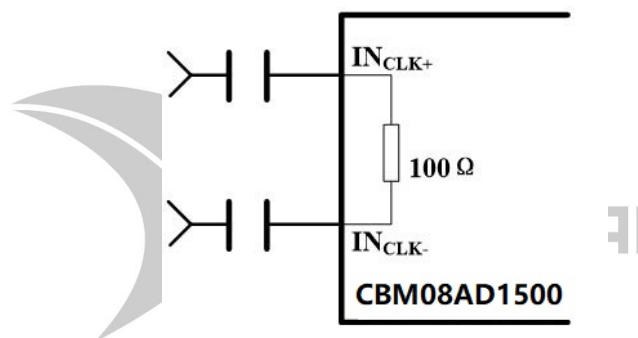


图 13 差分 (LVDS) 输入时钟连接

如果最高环境温度不超出给定范围，工作在转换特性定义的采样率是没有问题的。如果在给定的环境温度下，工作采样率超过转换特性给定的值，可能会降低器件动态性能。这是因为在高采样率下会造成很高的功耗和芯片温度，在可靠性方面适当的热处理也是重要的，看 2.6) .b 热处理部分描述。

时钟输入差分对应该有一个 100Ω 的特征电阻，当用一个变压器时应在时钟源端接一个特征电阻 (100Ω)。输入时钟线应尽可能的短和走直线，CBM08AD1500 时钟输入有一个未修调过的 100Ω 电阻。

输入时钟幅度不足将导致差的动态性能，输入时钟幅度过高会造成模拟输入失调电压的变化。为了避免这些问题，务必保持时钟幅度在电特性给定的范围内  $V_{ID2}$ 。

输入时钟信号的高低时间会影响任何 A/D 转换器的性能。CBM08AD1500 有一个时钟占空比校正电路来保证在整个温度范围的性能。如果输入时钟高和低时间保持在电特性给定的占空比范围内，ADC 将会满足性能要求。

CBM08AD1500 这样的高速高性能 ADC 要求一个非常稳定的具有最小相位噪声或抖动的输入时钟信号。ADC 抖动由 ADC 精度 (位数)、最大输入频率和相对于输入满刻度范围的输入信号幅度决定。下

面公式可以得到为防止抖动引起 SNR 减小的最大抖动（所有信号源抖动的和）：

$$t_{J(MAX)} = \frac{V_{INFSR}}{V_{INPP}} \times \frac{1}{2^{N+1} \pi \times f_{IN}}$$

这里  $t_{J(MAX)}$  是所有抖动源的二阶均方根和， $V_{IN(PP)}$  是模拟输入信号峰峰值， $V_{INFSR}$  是 ADC 的满刻度范围，“N” 是 ADC 分辨率， $f_{IN}$  是 ADC 最大模拟输入频率。

注意到上面提到的最大抖动是所有源抖动的 RSS（平方和的平方根）之和，包括 ADC 输入时钟，加上系统到输入时钟和输入信号，再加上 ADC 自身的抖动。由于 ADC 自身抖动影响不受设计者控制，设计者能做的最好是保证输入时钟抖动和模拟电路到模拟信号的抖动相加达到最小。

输入时钟幅度大于电特性表给定的值会导致输入失调电压的增加，当两个模拟输入引脚接在同一电位时会造成转换器产生一个不是预期的 127/128 的输出码。

#### 4) .控制引脚

6 个控制引脚（不包括串行接口的使用）提供了很多 CBM08AD1500 可能的工作模式和帮助对器件的使用。这些控制引脚提供了满刻度输入范围设置、自校正、校正延迟、输出沿同步选择、LVDS 输出电平选择和一个省电工作模式。

##### a.满刻度输入范围设置

在普通工作模式下，满刻度输入范围由 FSR 控制脚（14 脚）来选择，在电特性表中进行了定义。在扩展控制模式（SPI 模式）满刻度输入范围由 SPI 编程控制。

##### b.自校正

CBM08AD1500 必须运行自校正才能达到保证的性能，校正过程是上电自动运行，同时也可通过指令校正在任何时候运行。无论是上电就有输入时钟还是上电一段时间之后有时钟，校正过程都是一样的。当校正正在运行时 CalRun 输出指示为高。注意到在校正周期  $Q_{CLK}$  输出是无效的，因此不推荐其作为系统时钟。

##### ①.上电校正

在上电延迟一段时间后校正过程自动完成，这个延迟时间由 CalDly 设置决定，将在下面的校正延迟选择部分描述。

上电时，如果 CAL 引脚为高电平，则校正过程不能完成，但 CBM08AD1500 仍会工作，只是校正过程不能执行而已，这时性能也会变差，不推荐使用。这种情况下可采用指令校正的方式来实现校正，详细描述见 2.4) .b.②指令校正部分。

如果输入时钟在上电后没有运行，且上电校正电路处于活动状态，这时内部上电校正电路处于一个未知的逻辑状态。模拟电路将保持在省电状态，典型功耗将不超过 200mW。在时钟开始运行后功耗将正常。

##### ②.指令校正

指令校正可在任何时候运行。为了启动指令校正，在 CAL 为低电平保持最小  $t_{CAL\_L}$  输入时钟周期之后，再让 CAL 引脚为高电平保持一个最小  $t_{CAL\_H}$  输入时钟周期。如在上电时 CAL 引脚为高电平将阻止上电校正的运行，这时要采用指令校正的方式来使校正运行，即 CAL 引脚必须为低电平保持最小  $t_{CAL\_L}$  输入时钟周期之后，接着为高电平保持最小  $t_{CAL\_H}$  输入时钟周期，CAL 引脚在这个高电平  $t_{CAL\_H}$  输入时钟周期



之后校正运行才开始。为了确定校正运行什么时候完成，应该监测 CalRun 信号。

当不需要校正时，为了保证随机噪声不引起校正开始，最小的  $t_{CAL\_H}$  和  $t_{CAL\_L}$  输入时钟周期时序是必须的。像在 1.1) .a 自校正提到的为了更好的性能，在上电之后自校正应该运行 20 秒或更长时间，根据实际系统性能要求当工作温度变化太大时校正要重启。ENOB 随结温增加而轻微降低，运行一个新的自校正周期可以从根本上消除这个变化。

在一个上电校正周期期间，两个 ADC 和输入终端电阻都被校正，当 ENOB 随结温轻微变化时，执行一个指令校正可以使 ADC 性能变得一致。

### ③.校正延迟

在上电应用后到校正开始，CalDly 输入（引脚 127）是用来选择二个延迟时间中的一个，如 1.1) .a 自校正所述。校正延迟时间值是在校正开始前使电源电压上电并达到稳定。没有延迟或延迟不够，这样将使在电源电压还没有稳定在工作值时，校正就开始工作，将导致不能达到最好校正结果。如果上电后 PD 引脚为高，校正延迟计数器将失效直到 PD 引脚为低。因此，在上电期间保持 PD 引脚为高将使上电校正开始的延迟更大。CalDly 引脚的最好设置取决于电源电压上电设置时间。

**注意：**在扩展控制模式校正延迟选择是不可用的，且延迟时间被缩短。

#### c.输出沿同步

$Q_{CLK}$  信号可用来帮助锁存转换器输出数据到外部电路，输出数据能与这些  $Q_{CLK}$  信号的任何一个沿同步。这就是说，输出数据转换可被设定发生在  $Q_{CLK}$  信号的上升沿或下降沿，因此  $Q_{CLK}$  信号的两个沿都能被用来锁存输出数据到接收电路。

当 OutEdge（引脚 4）为高，输出数据转换与  $Q_{CLK+}$ （引脚 82）的上升沿同步变化；当 OutEdge（引脚 4）为低，输出数据转换与  $Q_{CLK+}$ （引脚 82）的下降沿同步变化。

在 CBM08AD1500 所能承受的非常高的速度下， $Q_{CLK}$  和数据线长度细微的差别都能造成数据捕获的正确和错误。OutEdge 引脚被用来设置在  $Q_{CLK}$  边沿捕获数据，这最适合于应用电路和布版。

**重要提示：**为了获得正确的数据，当 OutEdge（引脚 4）为高时，最好用  $Q_{CLK+}$  的下降沿捕获数据；当 OutEdge（引脚 4）为低时，最好用  $Q_{CLK+}$  的上升沿捕获数据。

#### d.LVDS 输出电平控制

输出电平可以用 Outv（引脚 3）来设置为二个电平之中的一个。当 Outv 为高时，输出驱动能力非常强；Outv 为低时，输出驱动功耗较低，但是较小的输出电平意味着减少了抗噪声能力。

对于短的 LVDS 线和低噪声系统，Outv 输入为低可以得到满意的性能。如果 LVDS 线很长或使用 CBM08AD1500 的系统是有噪声的，把 Outv 接为高是必须的。

#### e.双边沿采样

双边沿采样（DES）特性使两对模拟输入中的一对被送入到两通道 ADC，另一对输入无效。一通道的 ADC 在输入时钟的一个沿（占空比校正）采样输入信号，另一通道在输入时钟的另一个沿（占空比校正）采样输入信号，结果是一个 1: 4 的多路选择器输出数据，采样率是输入时钟频率的两倍。

为了在非扩展控制模式下使用这个特性，让引脚 127 悬空，在 I 通道输入的信号被两个转换器采样，那么校正延迟将是只有一个短的延迟。

在扩展控制模式，每一个输入都可被用作双边沿采样，参考 1.1) .e.①部分。

**重要提示:**

1) 对于扩展控制模式, 当在双边沿采样模式下采用自动时钟相位控制特性时, 在 ADC 上电前自动相位控制要设置为无效 (设置 DES 使能寄存器 Dh 的 14 位为 0) 这个非常重要。如果不这样做可能造成芯片不能从省电状态转换到正常工作状态来。

2) 对于非扩展控制模式, 当 CBM08AD1500 已上电, 且 DES 模式是必须时, 在上电序列期间或之后确保引脚 127 (CalDly/DES/ST2) 最初为低, 然后这个引脚可以被悬空或接到  $V_{CC}/2$ , 进入 DES 模式, 这将确保这部分正确地进入 DES 模式。

3) 如果输入时钟因为某个原因被中断或停止, 自动相位控制应该也是无效。如果输入时钟频率发生一个大的突变, 也是出现这种情况的一个事例。

4) 在自动 DES 模式下, 如果 ADC 的校正是必须的, 在完成一个校正周期前器件必须返回到普通模式工作。一旦校正完成, 器件能重返回到自动 DES 模式, 并且重新开始工作。

**f.省电 (Power Down ) 特性**

省电引脚 (PD 和 PDQ) 允许 CBM08AD1500 两通道完全处于省电模式 (PD) 或 Q 通道进入省电而 I 通道仍然正常工作, 见表 10, 关于省电特性更详细的介绍请看 1.1).g 部分。

当省电引脚 (PD 和 PDQ) 对各自通道为高时, 数据 (+/-) 输出引脚处于高阻状态。从省电模式再回到普通模式工作, 通路中将包含无意义的信息, 必须清除。

在校正正在运行时,即使 PD 输入为高, 器件也不能进入省电模式, 直到校正过程完成。然而, 如果已上电, 同时 PD 已经为高, 器件将不会进入校正过程, 直到 PD 输入为低。在器件处于省电模式时, 即使使用手动校正, 校正也根本不会运行, 这就是说, 当器件处于省电模式时手动校正不起作用, 完全被封锁了。

**5) .数据输出**

在器件内部, CBM08AD1500 中 I 或 Q 通道的输出数据到两条 LVDS 输出总线上。两路 LVDS 总线中的一路在输入时钟(IN<sub>CLK+</sub>)引脚的奇数下降沿开始连续获得输出数据, 与此同时, 另一路输出数据在输入时钟(IN<sub>CLK+</sub>)的偶数下降沿开始连续获得。这意味着, 每个 LVDS 总线的数据速率为输入时钟频率的二分之一, 同时两路总线必须被多路转换合并后才能获得完整的 1.5GSPS 转换结果。

由于这个器件推荐的输入时钟频率最小值为 200MHz (普通模式, 非 DES 模式), 则有效的输出数据速率低到 100MSPS。

这里有一个 LVDS 输出时钟对 (QCLK) 可用于锁存所有总线上的 LVDS 输出数据。数据是在 Q<sub>CLK</sub> 的上升沿还是下降沿被输出是由 OutEdge 引脚的状态所决定的, 见 2.4) .c 部分描述。DDR (双倍数据率) 时钟也可以使用, 在这个模式下, 以 Q<sub>CLK</sub> 的每个沿输出一组数据, Q<sub>CLK</sub> 频率是输入时钟频率 1/4, 更详细的看时序图部分。

Outv 引脚被用来设置 LVDS 差分输出幅度, 看 2.4) .d 部分。

输出格式是偏移二进制码。因此, 一个相对于 IN-的 IN+ 正满刻度输入将产生一个全为 1 的输出码, 一个相对于 IN+的 IN-满刻度输入将产生一个全为 0 的输出码, 当 IN+ 与 IN-相等时, 输出码在 127 和 128 之间变化。

**6) .功耗考虑**

如果 A/D 转换器没有用充分地旁路来泄放大的瞬态电流，将破坏内部的电源电路。在 A/D 转换器电源引脚 2.5cm 之内放置一个 33 $\mu$ F 的电容器，而另一个 0.1 $\mu$ F 的电容器应该放置在每个  $V_{CC}$  引脚尽可能近的地方，最好在 0.5 厘米之内，无铅片式电容是首选，因为有低的引线电感。

$V_{CC}$  和  $V_{DD}$  电源引脚应该隔离，以阻止数字噪声耦合到 ADC 的模拟部分。当它们共用一个电源时，推荐在这些电源线间放置一个铁氧体扼流圈。

作为所有高速转换器的一个例子，假设 CBM08AD1500 有很小的电源电压噪声抑制，在一个消耗许多数字功耗的系统中，任何一个用于数字电路的电源都不能作为 CBM08AD1500 的电源。如果没有一个专用电源的话，ADC 电源应该使用与其他模拟电路一样的电源。

#### a. 电源电压

CBM08AD1500 指定的工作电源电压是  $1.9V \pm 0.1V$ 。注意这点非常重要，当器件工作在稍微高点的电源电压时，这些较高的电源电压可能会降低工作寿命。

任何引脚的电压都不能超过电源电压或低于地超过 150mV，更不能接一个瞬态偏置，否则，在电源上电或断电的时候可能会出现问题。为了确保驱动任何输入引脚的电压，模拟或数字输入端都不能出现任何一个比 CBM08AD1500 电源引脚电压更快的电压。

即使在电源上电和断电期间，都应严格遵守绝对最大额定值。在电源开启或关断时会产生一个电压尖峰损坏 CBM08AD1500。图 14 提供了一个电源过冲保护电路。

除有一个最低负载供给外，许多调节器都提供了上电输出尖峰，而有源器件吸收非常小的电流，这个尖峰电压能达到几百毫伏。这个结果就是一个上电尖峰，能损坏 CBM08AD1500，除非电源供给的是最低负载。为了确保没有上电尖峰，在调节器输出端接 100 $\Omega$  电阻，给上电期间提供一个最小的输出电流。

在图 14 中，如果电源电压是 4V ~ 5V，一个 CBM317 线性调节器可以满足要求；如果用一个 3.3V 电源，推荐使用 CBM1764 线性调节器。

输出驱动有一个电源电压  $V_{DD}$ ，其值应在工作额定值规定的范围内，这个电压不能超过模拟电源电压  $V_{CC}$ ，其电压尖峰决不能超过  $V_{CC} + 100mV$ 。

器件上电后，如果没有时钟信号输入，器件的电流可能会小于 200mA，这是因为 CBM08AD1500 复位是通过时钟逻辑来控制的，因此它的初始状态是未知的。如果复位逻辑在“导通”状态到来，这将导致大部分模拟电路进入省电 (power down) 模式，这样电源电流不超过 100mA。这个电流大于省电模式电流，这是因为不是 ADC 的所有部分都处于省电状态，在输入时钟建立后器件电流将正常。

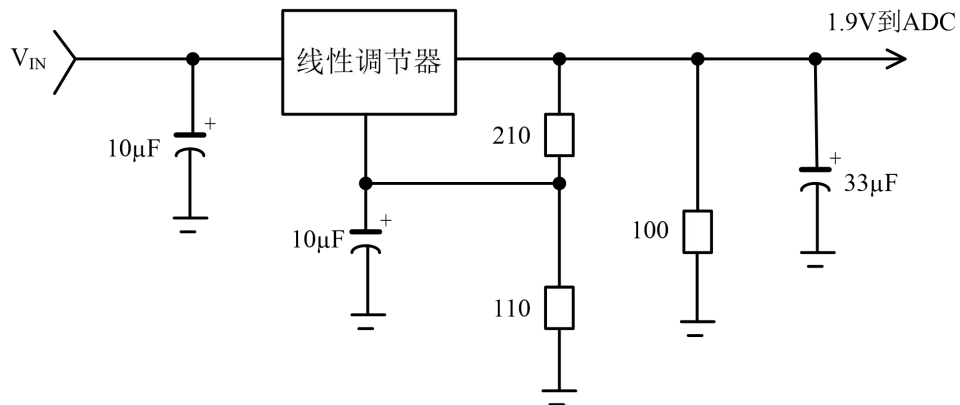


图 14 没有尖峰电源

**b. 热处理**

对于 CBM08AD1500 具有这样的超高速和高性能功耗是很低的。但是就单纯功耗来讲仍然是很大，需要注意其热处理。因可靠性原因，芯片最大温度不应超过 150°C。那就是说， $T_A$ （环境温度）加上 ADC 功耗乘 $\theta_{JA}$ （结到环境热电阻）不应超过 150°C。

作为给用户使用提供方便，CBM08AD1500 内含一个热二极管辅助进行温度测量。但热二极管的特性没有表征，工艺没有提供有关的准确信息。

请注意下面是推荐在 PCB 板上安装器件。应该考虑在 PCB 上的开始点和开发装配过程。推荐按基于过去封装安装的经验进行。CBM08AD1500 封装的底部有一个镀金焊盘，提供一个主要的散热通道，具有非常好的到印制电路板的接地效果。焊接到 PCB 板的引线图形设计与普通的 CQFP 一样，但封装的底部镀金焊盘必须焊接到印制板上，以最大程度移走封装上的热量，同时确保最好的产品性能。

为了最大程度地移走封装上的热量，在封装区域内一个热连接图形必须内嵌在 PC 板上。器件的底部必须焊接，直到能确保在封装区域外有足够的热传导。这个外露焊盘的引线图形设计应与封装底部一样大，尺寸为  $14.1 \times 14.1 \text{mm}^2$ ，位于器件的底部，并完全覆盖热引线图形，且这个热引线图形应连接到地。

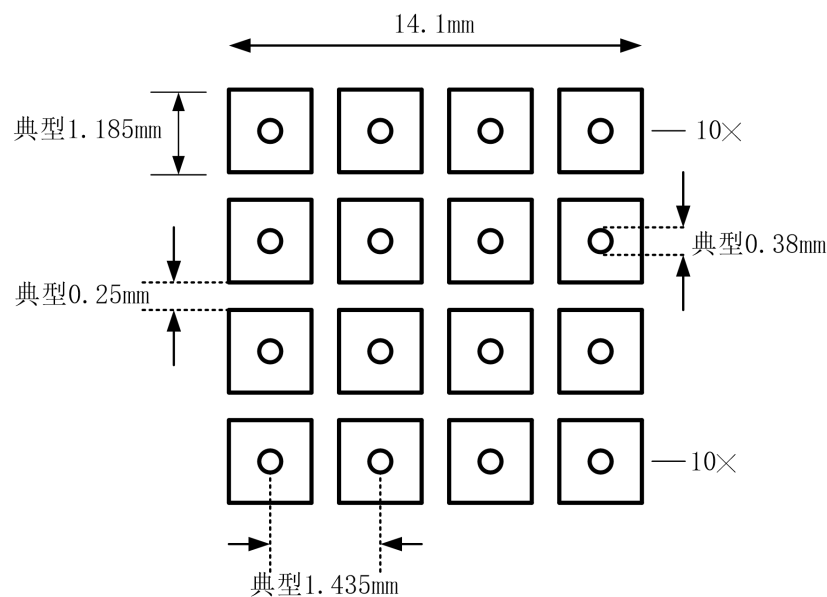


图 15 推荐的封装连接图形

由于用一个大孔开口可能会导致接触不良，因此孔开口应再细分为小孔阵列，类似于图 15 的连接图形。

为了最小化结温度，推荐在 PCB 板上安装一个简单的散热片，这就是在 PCB 板的对边制作一个大约 14.5 平方厘米面积的铜区域，这个铜区域可以是镀金的或涂上一层焊锡以防止腐蚀，但不应有保形涂料，它可能提供某些热绝缘。应该用热孔来实现顶部和底部铜区域的连接。这些热孔扮演“热管道”的角色，把热能从器件 PCB 板的一边传递到对面的一边，利于更有效地释放热量，推荐使用近 100 个热孔。

这些热孔间的典型距离为 1.435mm，孔的典型直径 0.38mm，这些孔应是一个柱体镀金的，以避免在焊接过程中焊接材料掉入孔中，因为这些焊接材料在 PCB 和封装暴露焊盘之间会形成气孔。这些气孔会增加器件和板上热焊盘之间的热阻，这会导致器件工作变热。

如果希望对芯片温度进行监控，温度传感器安装在板上接近热孔的散热片区域。考虑温度传感器和 CBM08AD1500 芯片间的热梯度等于  $\theta_{J-PAD} \times \text{典型功耗}$  ( $2.0 \times 2.2 = 4.4^\circ\text{C}$ )，考虑  $6^\circ\text{C}$ ，包括一些从焊盘到温度传感器温差的裕量，会意味着保持最大焊盘温度  $144^\circ\text{C}$ ，确保芯片温度不超过  $150^\circ\text{C}$ ，假设 CBM08AD1500 的暴露焊盘被恰当地焊接，同时热孔足够多。封装热阻见表 16 所示。

封装	$\theta_{JA}$ (结到环境)	$\theta_{JC}$ (顶部到封装)	$\theta_{J-PAD}$ (热焊盘)
CQFP128	13.5°C/W	3.8°C/W	2.0°C/W

图 16 封装阻热

## 7) .版图和接地

合适的接地和所有信号走线从根本上保证了正确的转换，应使用单一的地平面来代替模拟和数字区域分离的地平面。

由于数字开关瞬态由大量的高频成分组成，表面效应告诉我们一个整体的地平面对逻辑产生的噪声影响很小，总的表面积比总的地平面体积更重要。典型的有噪声数字电路与敏感模拟电路之间的耦合导致性能差，这是不可能隔离和修复的，解决办法是让模拟电路与数字电路分离。

高功耗数字部分不能位于这些部分之上或紧邻，这些部分为：任何线性元件、电源路径、用于模拟或混合信号的平面。因为这些公共回路电流通路会引起回到 ADC 的模拟输入地波动，给转换结果造成额外的噪声。

为了避免数字噪声进入模拟通道中，通常采取模拟信号线和数字信号线彼此以  $90^\circ$  十字交叉方式。然而在高频系统，应避免模拟信号线和数字信号线完全十字交叉，输入时钟信号线应与所有模拟和数字线隔离，一般公认的是应避免  $90^\circ$  交叉，因为在高频下即使一点点耦合都会引起问题，因此，在高频下采用直线信号通路将获得最好的性能。

模拟输入应与噪声信号路径隔离，避免伪信号耦合到输入，这对 CBM08AD1500 以低电平信号驱动时特别重要。在转换器的输入与地之间连接的任何外部元件（例如滤波电容）应连接到模拟地平面的一个非常干净的点上，所有模拟电路（输入放大器、滤波器等）应与任何数字元件隔离。

## 8) .动态性能

CBM08AD1500 是采用交流测试的，它的动态性能是可保证的。为了满足技术要求和避免抖动引入噪声，驱动 INCLK 输入的时钟源必须具备低的均方根抖动，可容许的抖动是输入频率和输入信号电平的

一个函数，如 2.3) 部分描述的。

实际应用中，让 ADC 输入时钟线尽可能的短，让他足够远离其他任何信号线，视其为一个传输线，这些是一个非常好的习惯。其他信号线可能引入抖动到输入时钟信号，如果不与这些路径隔离开的话，时钟信号也能引入噪声到模拟路径。

将封装背面的外露焊盘良好地连接到地时，获得最好的动态性能。这是因为这个从芯片到地的通路是一个低阻的，比封装脚提供的通路还低。

### 9) .串行接口使用

CBM08AD1500 可能工作在非扩展控制模式（无串行接口）或扩展控制模式，表 17 和表 18 分别描述了 pin 3、4、14 和 127 在非扩展控制模式和扩展控制模式的功能。

#### a.普通（非扩展）控制模式工作

普通控制模式工作意思是串行接口无效以及所有控制功能都是由各种 pin 脚设置来控制，即满刻度范围、上电校正延迟、输出电压和输入耦合 (a.c 或 d.c)，通过设置 pin 脚 14 为高或低来选择非扩展控制模式，相反让其悬空。

PIN	低电平	高电平	悬空
3	减小的输出幅度	正常输出幅度	正常输出幅度
4	输出时钟下沿	输出时钟上沿	DDR 模式
127	短的上电延迟	长的上电延迟	不用
14	减小的输入幅度	正常的输入幅	扩展控制模式

表 17 普通控制模式 (pin 14 为高或低)

在扩展控制模式：Pin 脚 3 也可以为高或低；Pin 脚 14 必须悬空或  $V_{CC}/2$ ；更多的信息看 1.2) 普通/扩展控制。Pin 脚 4 在普通控制模式可以为高或为低或让其悬空；在普通控制模式，pin 脚 4 高或低定义输出数据在输出时钟的那个边沿转换,更多信息看 2.4) .c 输出沿同步。如果这个 pin 脚 4 悬空，输出时钟 ( $Q_{CLK}$ ) 是一个 DDR (双数据率) 时钟 (看 1.1) .e.③双数据率)，由于数据在  $Q_{CLK}$  的两个沿都输出，数据输出与输出时钟不同步。

Pin 脚 127 在普通控制模式设置校正延迟，此时 Pin 脚 127 不能悬空。

PIN	功能
3	SCLK (串行时钟)
4	DATA (串行数据)
127	ST2 (串行接口选通)

表 18 扩展控制模式 (pin 14 悬空或  $V_{CC}/2$ )

### 10) .通常应用容易犯的错误

**为了器件的可靠性，驱动输入（模拟或数字）不能远离电源电压。**任何输入都不能低于地引脚 150mV 或高于电源电压引脚 150mV，即使是瞬态偏置也不能超出这些限制，否则不仅会造成器件性能变化，而且会降低器件的可靠性，对于高速数字电路低于地的过冲也是不行的。在它们的特征阻抗中高速线的阻抗控制和这些线终端的阻抗都应控制其过冲。

应该注意 CBM08AD1500 的输入驱动不要过压，否则会导致转换不正确，甚至导致器件损坏。**在直流耦合模式错误的模拟输入共模电压。**如 1.1) .d 模拟输入和 2.2) 模拟输入部分描述，输入共模电压必须保持在  $V_{CMO}$  输出的 50mV 内，且必须要跟踪随温度的变化，如果输入共模电压超过  $V_{CMO} \pm 50mV$ ，性能将会降低。

**用一个不适当的放大器驱动模拟输入。**当选择一个高速放大器来驱动 CBM08AD1500 时要小心，因为许多高速放大器比 CBM08AD1500 的失真还高，会导致整个系统性能的降低。

**过驱动  $V_{REF}$  脚会改变参考电压。**与在 2.1) 参考电压中提到的一样，参考电压通过 FSR 脚固定或满刻度电压调节寄存器设置，过驱动这个脚虽不会改变满刻度值，但会使器件不正常工作。

**以一个非常高的电压信号驱动时钟输入。**ADC 时钟输入电平不能超过推荐工作条件所描述的电平，也不能改变输入偏置。

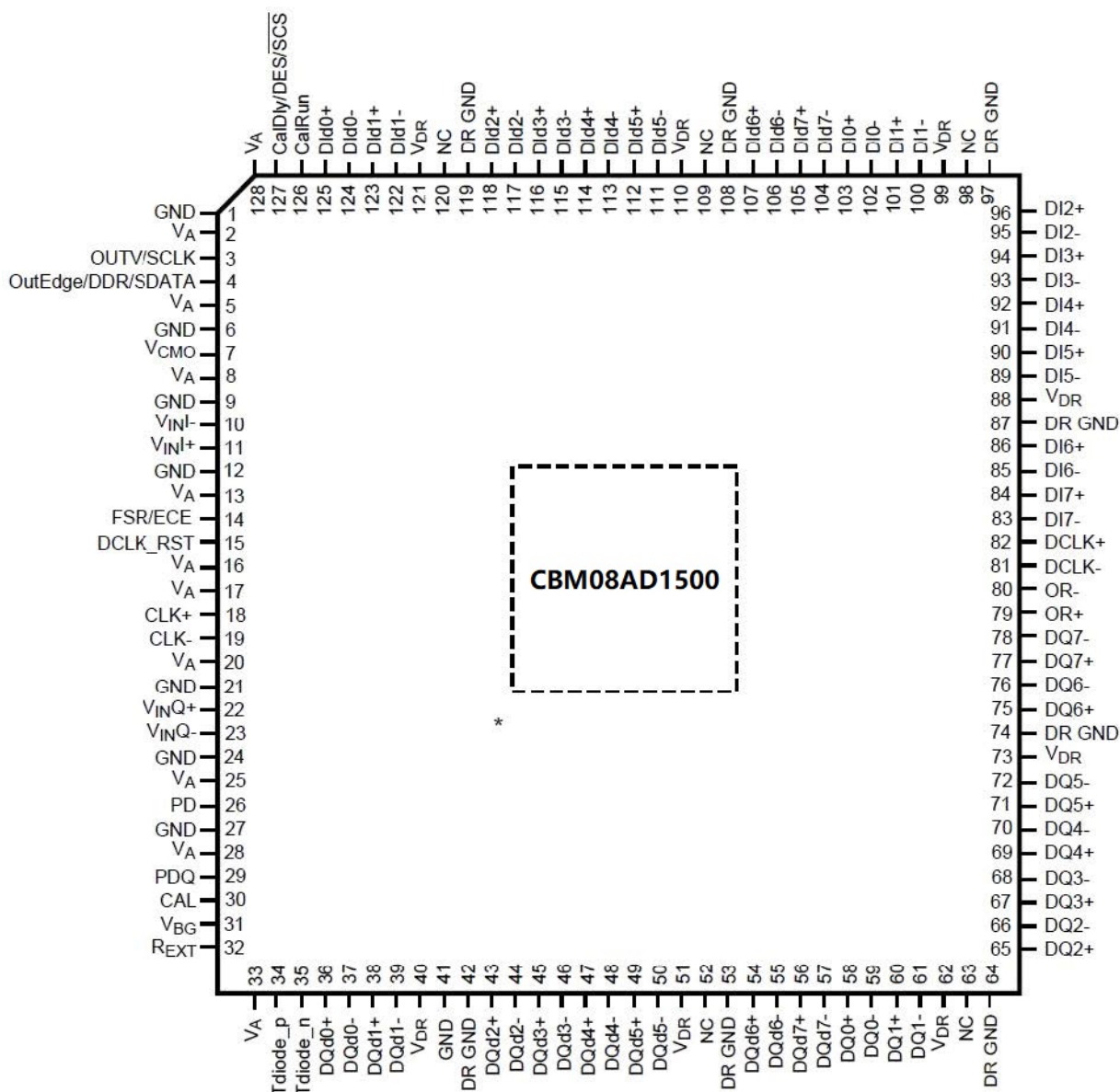
**不恰当的时钟输入电平。**如 2.3) 时钟输入描述，过低的时钟输入电平会导致性能变差，过高的时钟输入电平会引入输入失调。

**用一个有过多抖动的时钟源，用一个非常长的输入时钟信号路径，或有其他信号耦合到输入时钟信号线上。**这会导致采样间隔变化，导致过多输出噪声，降低 SNR 性能。

**不能提供足够的散热。**如 2.6) .b 热处理所描述，提供足够的散热对确保器件可靠性是很重要的，这可以通过足够的空气流动或用放在板上的一个简单散热装置来实现。为达到最好的性能，背面的焊盘应该接地。

## 引脚配置图





引脚配置图

### 引脚简述

引出端序号	符号	功能	引出端序号	符号	功能
1	GND <sub>A</sub>	模拟地	65	D <sub>Q2</sub>	Q 路数据输出位 D <sub>Q2</sub>
2	V <sub>CC</sub>	模拟电源	66	D <sub>Q2</sub>	Q 路数据输出位 D <sub>Q2</sub>
3	Outv/SCLK	输出电压幅度控制/串行接口时钟输入	67	D <sub>Q3</sub>	Q 路数据输出位 D <sub>Q3</sub>
4	OutEdge/DDR/DATA	输出时钟沿选择/双数据速率控制/串行数据输入	68	D <sub>Q3</sub>	Q 路数据输出位 D <sub>Q3</sub>



5	V <sub>CC</sub>	模拟电源	69	D <sub>Q4</sub>	Q 路数据输出位 D <sub>Q4</sub>
6	GND <sub>A</sub>	模拟地	70	D <sub>Q4</sub>	Q 路数据输出位 D <sub>Q4</sub>
7	V <sub>CMO</sub>	共模电压	71	D <sub>Q5</sub>	Q 路数据输出位 D <sub>Q5</sub>
8	V <sub>CC</sub>	模拟电源	72	D <sub>Q5</sub>	Q 路数据输出位 D <sub>Q5</sub>
9	GND <sub>A</sub>	模拟地	73	V <sub>DD</sub>	输出驱动电源
10	IN <sub>I-</sub>	I 路模拟输入负	74	GND <sub>D</sub>	输出驱动地
11	IN <sub>I+</sub>	I 路模拟输入正	75	D <sub>Q6</sub>	Q 路数据输出位 D <sub>Q6</sub>
12	GND <sub>A</sub>	模拟地	76	D <sub>Q6</sub>	Q 路数据输出位 D <sub>Q6</sub>
13	V <sub>CC</sub>	模拟电源	77	D <sub>Q7</sub>	Q 路数据输出位 D <sub>Q7</sub> (最高位)
14	FSR/ST1	满刻度范围选/扩展控制模式选择	78	DQ7	Q 路数据输出位 DQ7 (最高位)
15	R	时钟置位控制输入	79	DOR	溢出同相输出
16	VCC	模拟电源	80	DOR	溢出反相输出
17	VCC	模拟电源	81	QCLK	数据时钟反相输出
18	INCLK+	时钟输入正	82	QCLK	数据时钟同相输出
19	INCLK-	时钟输入负	83	DI7	I 路数据输出位 DI7 (最高位)
20	VCC	模拟电源	84	DI7	I 路数据输出位 D I7 (最高位)
21	GNDA	模拟地	85	DI6	I 路数据输出位 DI6
22	INQ+	Q 路模拟输入正	86	DI6	I 路数据输出位 D I6
23	INQ-	Q 路模拟输入负	87	GNDD	输出驱动地
24	GNDA	模拟地	88	VDD	输出驱动电源
25	VCC	模拟电源	89	DI5	I 路数据输出位 DI5
26	PD	省电模式控制	90	DI5	I 路数据输出位 D I5
27	GNDA	模拟地	91	DI4	I 路数据输出位 DI4
28	VCC	模拟电源	92	DI4	I 路数据输出位 D I4
29	PDQ	Q 路省电模式控制	93	DI3	I 路数据输出位 DI3
30	CAL	校正控制	94	DI3	I 路数据输出位 D I3
31	VREF	基准输出	95	DI2	I 路数据输出位 DI2
32	Rext	外接电阻	96	DI2	I 路数据输出位 D I2
33	VCC	模拟电源	97	GNDD	输出驱动地
34	Tdiode_p	温度二极管正级	98	NC	空
35	Tdiode_n	温度二极管负级	99	VDD	输出驱动电源
36	DQd0	Q 路数据输出位 DQd0 (最低位)	100	DI1	I 路数据输出位 DI1
37	DQd0	Q 路数据输出位 DQd0 (最低位)	101	DI1	I 路数据输出位 D I1
38	DQd1	Q 路数据输出位 DQd1	102	DI0	I 路数据输出位 DI0 (最低位)
39	DQd1	Q 路数据输出位 DQd1	103	DI0	I 路数据输出位 D I0 (最低位)
40	VDD	输出驱动电源	104	DI17	I 路数据输出位 DI17 (最高位)
41	GNDA	模拟地	105	DI17	I 路数据输出位 D I17 (最高位)
42	GNDD	输出驱动地	106	DI16	I 路数据输出位 DI16
43	DQd2	Q 路数据输出位 DQd2	107	DI16	I 路数据输出位 D I16

44	DQd2	Q 路数据输出位 DQd2	108	GNDD	输出驱动地
45	DQd3	Q 路数据输出位 DQd3	109	NC	空
46	DQd3	Q 路数据输出位 DQd3	110	VDD	输出驱动电源
47	DQd4	Q 路数据输出位 DQd4	111	DId5	I 路数据输出位 DId5
48	DQd4	Q 路数据输出位 DQd4	112	DId5	I 路数据输出位 D Id5
49	DQd5	Q 路数据输出位 DQd5	113	DId4	I 路数据输出位 DId4
50	DQd5	Q 路数据输出位 DQd5	114	DId4	I 路数据输出位 D Id4
51	VDD	输出驱动电源	115	DId3	I 路数据输出位 DId3
52	NC	空	116	DId3	I 路数据输出位 D Id3
53	GNDD	输出驱动地	117	DId2	I 路数据输出位 DId2
54	DQd6	Q 路数据输出位 DQd6	118	DId2	I 路数据输出位 DId2
55	DQd6	Q 路数据输出位 DQd6	119	GNDD	输出驱动地
56	DQd7	Q 路数据输出位 DQd7 (最高位)	120	NC	空
57	DQd7	Q 路数据输出位 DQd7 (最高位)	121	VDD	输出驱动电源
58	DQ0	Q 路数据输出位 DQ0 (最低位)	122	DId1	I 路数据输出位 DId1
59	DQ0	Q 路数据输出位 DQ0 (最低位)	123	DId1	I 路数据输出位 D Id1
60	DQ1	Q 路数据输出位 DQ1	124	DId0	I 路数据输出位 DId0
61	DQ1	Q 路数据输出位 DQ1	125	DId0	I 路数据输出位 D Id0
62	VDD	输出驱动电源	126	QCAL	校正运行指示输出
63	NC	空	127	CalDly /DES /ST2	上电校正延迟选择/ 双沿采样控制 /串行接口选通
64	GNDD	输出驱动地	128	VCC	模拟电源

#### 引脚简述

### 注意事项

- 1、引脚 32 外接电阻  $R_{ext}$  必须精确等于  $3300\Omega \pm 0.1\%$ ，其它值不能采用，(1.1) .a 描述。
- 2、应用中，建议 PCB 大面积接地。这样可以消除由于接地点的不同而可能存在的电位不同，同时可以降低电路板产生的电容对电路的影响。
- 3、使用时，切忌电路插反，否则可能导致电路损坏。
- 4、每个电源引脚需要就近接 1 个  $0.1\mu\text{F}$  和  $33\mu\text{F}$  的电容。
- 5、差分模拟输入部分走线必须等长。
- 6、数字电源和模拟电源需要分开。
- 7、该电路所有引出端均设计有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、

储藏过程中，应注意静电防护。



单击下面可查看定价，库存，交付和生命周期等信息

[>>Corebai \(芯佰微\)](#)