

**8 位 MCU**  
**HR7P179**

# 数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2018 年 1 月 10 日

## 东软载波 MCU 芯片使用注意事项

### 关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

### 关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

### 关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

### 关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

### 关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在  $V_{IHMIN}$  之上，低电平应在  $V_{ILMAX}$  之下。避免输入电压介于  $V_{IHMIN}$  和  $V_{ILMAX}$  之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

### 关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

### 关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

### 关于芯片的开发环境

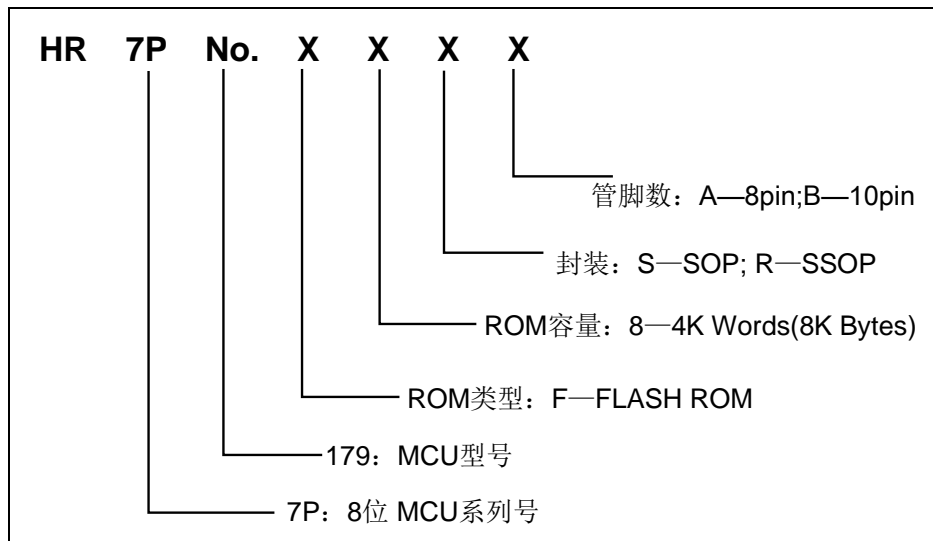
东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

## 产品订购信息

Part No.	工作电压	FLASH	SRAM	Data FLASH	I/O	ADC	Timer	封装类型
HR7P179F8RB	2.5V~5.5V	4K Words	256 Bytes	512 Words	8	12-bit×(7+1)Ch	8-bit×1 12-bit×3	SSOP10
HR7P179F8SA	2.5V~5.5V	4K Words	256 Bytes	512 Words	6	12-bit×(5+1)Ch	8-bit×1 12-bit×3	SOP8

注：本数据手册所述资源为本产品所属产品系列资源最大化描述。文中所述部分内容（包括管脚、寄存器、芯片配置字等）不为本产品所有的资源，请将其保持在默认设置值状态。如有其它需求，请与我司 FAE 部门联系！



地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

### 上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不承担或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

## 修订历史

版本	修改日期	更改概要
V1.0	2017-10-17	初版发布
V1.1	2018-1-10	增加 SOP8 封装相关内容。

## 目 录

### 内容目录

<b>第 1 章</b>	<b>芯片简介</b> .....	<b>11</b>
1.1	概述 .....	11
1.2	选型表.....	13
1.3	应用领域.....	13
1.4	结构框图 .....	13
1.5	管脚分配图 .....	14
1.5.1	10-Pin.....	14
1.5.2	8-Pin.....	14
1.5.3	20-Pin.....	14
1.6	管脚说明 .....	15
1.6.1	管脚封装对照表.....	15
1.6.2	管脚复用说明 .....	15
<b>第 2 章</b>	<b>内核特性</b> .....	<b>17</b>
2.1	CPU 内核概述 .....	17
2.2	硬件乘法器 .....	17
2.2.1	概述.....	17
2.2.2	硬件乘法器操作.....	17
2.3	硬件除法器 .....	18
2.3.1	概述.....	18
2.3.2	硬件除法器操作.....	18
2.4	特殊功能寄存器 .....	18
<b>第 3 章</b>	<b>存储资源</b> .....	<b>22</b>
3.1	概述 .....	22
3.2	程序寻址空间映射 .....	22
3.3	程序存储器 .....	23
3.3.1	概述.....	23
3.3.2	程序计数器 (PC) .....	23
3.3.3	硬件堆栈 .....	24
3.3.4	程序存储器查表读操作.....	24
3.4	可配置数据 FLASH 存储器.....	25
3.4.1	概述.....	25
3.4.2	数据 FLASH 页更新流程 .....	26
3.4.3	操作参考例程 .....	26
3.4.4	特殊功能寄存器.....	28
3.5	在线编程 ISP 和在线调试 ICD .....	29
3.6	数据存储器 .....	30
3.6.1	概述.....	30
3.6.2	通用数据存储器.....	30
3.6.3	特殊功能寄存器.....	30
3.6.4	寻址方式 .....	31
3.6.4.1	直接寻址 .....	31

	3.6.4.2	GPR 特殊寻址 .....	32
	3.6.4.3	间接寻址 .....	32
	3.6.5	特殊功能寄存器.....	33
<b>第 4 章</b>		<b>输入/输出端口.....</b>	<b>34</b>
4.1		概述 .....	34
4.2		结构框图 .....	35
4.3		I/O 端口功能设置 .....	35
	4.3.1	I/O 端口输入/输出控制 .....	35
	4.3.2	I/O 端口弱上/下拉功能 .....	35
	4.3.3	I/O 端口模拟/数字类型选择功能.....	36
	4.3.4	I/O 端口开漏输出 .....	36
	4.3.5	I/O 端口复用功能 .....	36
4.4		端口中断 .....	36
	4.4.1	外部按键中断 (KINT) .....	36
	4.4.2	外部端口中断 (PINT) .....	37
4.5		I/O 端口操作注意事项.....	37
4.6		特殊功能寄存器 .....	37
<b>第 5 章</b>		<b>特殊功能及操作特性.....</b>	<b>41</b>
5.1		系统时钟与振荡器 .....	41
	5.1.1	概述.....	41
	5.1.2	内部结构图.....	41
	5.1.3	时钟源 .....	41
	5.1.3.1	内部高速 16MHz RC 振荡器模式 (INTHRC) .....	41
	5.1.3.2	内部低速 32KHz RC 振荡器模式 (INTLRC) .....	42
5.2		看门狗定时器 (WDT) .....	43
	5.2.1	概述.....	43
	5.2.2	内部结构图.....	43
	5.2.3	WDT 定时器.....	43
	5.2.4	特殊功能寄存器.....	44
5.3		复位模块 .....	45
	5.3.1	概述.....	45
	5.3.2	上电复位 .....	45
	5.3.3	掉电复位 .....	45
	5.3.4	外部 N_MRST 管脚复位 .....	46
	5.3.5	看门狗定时器溢出复位.....	47
	5.3.6	RST 指令软件复位 .....	48
	5.3.7	特殊功能寄存器.....	48
5.4		低功耗操作 .....	50
	5.4.1	MCU 低功耗模式.....	50
	5.4.2	低功耗模式配置.....	50
	5.4.3	IDLE 唤醒方式配置 .....	50
	5.4.4	唤醒时序图.....	51
	5.4.5	特殊功能寄存器.....	52
<b>第 6 章</b>		<b>外设 .....</b>	<b>53</b>

6.1	定时/计数器 (Timer/Counter) 模块.....	53
6.1.1	8 位定时/计数器 (T8N) .....	53
6.1.1.1	概述 .....	53
6.1.1.2	内部结构图.....	53
6.1.1.3	预分频器 .....	53
6.1.1.4	工作模式 .....	54
6.1.1.5	定时器模式.....	54
6.1.1.6	同步计数器模式 .....	55
6.1.1.7	特殊功能寄存器 .....	56
6.1.2	12 位带死区互补的增强型 PWM 时基定时器 (T11/T12/T13) .....	57
6.1.2.1	概述 .....	57
6.1.2.2	内部结构图.....	58
6.1.2.3	预分频和后分频器.....	58
6.1.2.4	工作模式 .....	59
6.1.2.5	定时器模式.....	59
6.1.2.6	捕捉功能扩展.....	60
6.1.2.7	单脉冲发射模式 .....	61
6.1.2.8	PWM 模式.....	62
6.1.2.9	PWM 输出极性 .....	64
6.1.2.10	PWM 关断事件和重启 .....	65
6.1.2.11	PWM 沿启动 A/D 转换.....	66
6.1.2.12	特殊功能寄存器 .....	67
6.2	高精度参考电压 (VREF) .....	75
6.2.1	概述.....	75
6.2.2	高精度参考电压模块 (VREF) .....	75
6.2.3	特殊功能寄存器.....	75
6.3	模/数转换器 (ADC) .....	77
6.3.1	概述.....	77
6.3.2	内部结构图.....	78
6.3.3	ADC 配置 .....	78
6.3.4	ADC 转换步骤.....	79
6.3.5	AD 时序特征示意图.....	80
6.3.6	参考例程 .....	80
6.3.7	特殊功能寄存器.....	81
6.4	低电压检测模块 (LVD) .....	85
6.4.1	概述.....	85
6.4.2	LVD 操作 .....	85
6.4.3	特殊功能寄存器.....	85
<b>第 7 章</b>	<b>中断处理.....</b>	<b>87</b>
7.1	概述 .....	87
7.2	中断控制结构框图 .....	87
7.3	中断模式选择.....	88
7.3.1	默认中断模式 .....	88
7.3.2	向量中断模式 .....	89

7.3.2.1	向量表配置.....	89
7.3.2.2	中断分组配置.....	89
7.3.2.3	中断使能配置.....	90
7.4	中断现场保护.....	91
7.5	中断操作.....	91
7.5.1	外部中断.....	91
7.5.2	外部按键中断.....	91
7.5.3	ADC 中断.....	92
7.5.4	T8N 溢出中断.....	92
7.5.5	T1x(T11/T12/T13)匹配中断.....	92
7.5.6	T1x(T11/T12/T13)周期中断.....	92
7.5.7	LVD 中断.....	93
7.5.8	中断操作注意事项.....	93
7.6	特殊功能寄存器.....	93
<b>第 8 章</b>	<b>芯片配置字.....</b>	<b>98</b>
<b>第 9 章</b>	<b>芯片封装图.....</b>	<b>100</b>
9.1	10-pin 封装图.....	100
9.2	8-pin 封装图.....	101
<b>附录 1</b>	<b>指令集.....</b>	<b>102</b>
附录 1.1	概述.....	102
附录 1.2	寄存器操作指令.....	102
附录 1.3	程序控制指令.....	102
附录 1.4	算术/逻辑运算指令.....	104
<b>附录 2</b>	<b>特殊功能寄存器总表.....</b>	<b>106</b>
<b>附录 3</b>	<b>电气特性.....</b>	<b>111</b>
附录 3.1	参数特性表.....	111
附录 3.2	参数特性图.....	117



## 图目录

图 1-1	结构框图.....	13
图 1-2	HR7P179 (SSOP10) 顶视图.....	14
图 1-3	HR7P179 (SOP8) 顶视图.....	14
图 1-4	产品系列最大封装 (20-Pin) 顶视图.....	14
图 3-1	程序寻址空间映射图.....	22
图 3-2	堆栈示意图.....	24
图 3-3	页更新参考流程图.....	26
图 3-4	GPR 地址映射示意图.....	30
图 3-5	特殊功能寄存器空间.....	31
图 3-6	直接寻址示意图.....	31
图 3-7	GPR 特殊寻址示意图.....	32
图 3-8	间接寻址示意图.....	32
图 4-1	PA/PB 端口结构图.....	35
图 5-1	系统时钟结构图.....	41
图 5-2	看门狗定时器内部结构图.....	43
图 5-3	芯片复位原理图.....	45
图 5-4	上电复位时序示意图.....	45
图 5-5	低电压复位时序示意图.....	46
图 5-6	外部 N_MRST 管脚复位.....	46
图 5-7	N_MRST 复位参考电路图 1.....	47
图 5-8	N_MRST 复位参考电路图 2.....	47
图 5-9	看门狗溢出复位.....	47
图 5-10	RST 指令软件复位.....	48
图 5-11	系统时钟为 INTHRC 时, 系统唤醒 IDLE0 的时序图.....	51
图 5-12	系统时钟为 INTHRC 时, 系统唤醒 IDLE1 的时序图.....	52
图 6-1	T8N 内部结构图.....	53
图 6-2	定时器模式时序图.....	55
图 6-3	计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数).....	55
图 6-4	T1x 定时器结构图.....	58
图 6-5	T1x 定时器模式时序图.....	60
图 6-6	T1x 捕捉模式时序图 (每个脉冲上升沿捕捉信号).....	61
图 6-7	T1x 单脉冲发射模式示意图.....	62
图 6-8	PWM 输出模式示意图.....	63
图 6-9	PWM 带死区互补输出极性示意图.....	65
图 6-10	PWM 关断与自动重启.....	66
图 6-11	PWM 关断与软件重启.....	66
图 6-12	内部参考电压供电示意图.....	75
图 6-13	ADC 内部结构图.....	78
图 6-14	ADC 时序特征示意图 (SMPS=0).....	80
图 6-15	ADC 时序特征示意图 (SMPS=1).....	80
图 6-16	LVD 工作时序图.....	85
图 7-1	默认中断模式中断控制逻辑.....	87
图 7-2	向量中断模式中断控制逻辑.....	88

## 表目录

表 1-1	管脚封装对照表.....	15
表 1-2	管脚说明.....	16
表 3-1	在线编程/调试管脚说明.....	29
表 4-1	I/O 端口弱上拉 .....	35
表 4-2	I/O 端口弱下拉 .....	36
表 4-3	I/O 端口开漏输出 .....	36
表 4-4	外部按键中断 .....	36
表 4-5	外部端口中断 .....	37
表 5-1	低功耗模式配置表 .....	50
表 5-2	唤醒方式配置表.....	51
表 5-3	唤醒时间计算表.....	51
表 6-1	T8N 预分频器配置表.....	54
表 6-2	T8N 工作模式配置表.....	54
表 6-3	T1x 预分频配置表 .....	59
表 6-4	T1x 后分频器配置表.....	59
表 6-5	T1x 工作模式配置表.....	59
表 7-1	中断模式选择表.....	88
表 7-2	默认中断模式使能配置表 .....	89
表 7-3	向量表配置表 .....	89
表 7-4	向量中断模式中断分组配置表.....	90
表 7-5	向量中断模式使能配置表 .....	90

## 第1章 芯片简介

### 1.1 概述

- ◆ 工作条件
  - ◇ 工作电压范围: 2.5V ~ 5.5V
  - ◇ 工作温度范围: -40°C ~ 85°C
- ◆ 设计工艺及封装
  - ◇ 低功耗、高速 FLASH CMOS 工艺
  - ◇ 10 个管脚, 采用 SSOP 封装
  - ◇ 8 个管脚, 采用 SOP 封装
- ◆ 内核
  - ◇ ES7P RISC CPU 内核
  - ◇ 79 条精简指令
  - ◇ 系统时钟工作频率最高为 16MHz
  - ◇ 指令周期为 2 个系统时钟周期
  - ◇ 复位向量位于 0000<sub>H</sub>, 默认中断向量位于 0004<sub>H</sub>
  - ◇ 支持中断处理, 支持中断优先级和中断向量表
  - ◇ 支持硬件乘法/除法器
- ◆ 存储资源
  - ◇ 4K Words FLASH 程序存储器
  - ◇ 8 级程序堆栈
  - ◇ 512 Words 可配置数据 FLASH 存储器
    - 最大可配置为 2 页, 每页 256 Words
    - 支持查表读, 页擦除和单地址编程
    - 擦写时, 支持定时器模块正常工作
    - 擦写时, 不支持中断处理
  - ◇ 256 Bytes SRAM 数据存储器
  - ◇ 程序存储器支持直接寻址、相对寻址和查表读操作
  - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ 编程及调试接口
  - ◇ 支持在线编程 (ISP) 接口
  - ◇ 支持在线调试 (ICD) 功能
  - ◇ 支持编程代码加密保护
- ◆ I/O 端口
  - ◇ 最多支持 8 个 I/O
    - PA 端口 (I/O: PA0~PA1, PA3~PA5)

- PB 端口 (I/O: PB1, PB6~PB7)
- ◇ 支持 2 个外部端口中断 PINT (PINT3~PINT4 为输入端)
- ◇ 支持 2 个外部按键中断 KINT (KIN2~KIN3 为输入端)
- ◇ 支持独立的可配置内部弱上/下拉输入端口
  - 输入端口上/下拉电阻的匹配精度为±3%以内 (常温 25°C, VDD=5V)
  - 支持 8 个独立可配置弱上/下拉输入端口
- ◇ 支持独立的可配置开漏输出端口
- ◆ 复位及时钟
  - ◇ 内嵌上电复位电路 POR
  - ◇ 内嵌掉电复位电路 BOR
    - BOR 复位电压档位: 2.0V, 2.7V, 3.3V, 4.0V
  - ◇ 支持外部复位 N\_MRST
  - ◇ 支持独立硬件看门狗定时器
  - ◇ 支持指令 RST 复位
  - ◇ 支持内部高频 16MHz RC 振荡时钟源
    - 出厂前校准精度为±1% (常温 25°C)
- ◆ 功耗特性
  - ◇ IDLE 电流
    - 10uA@5.0V, 25°C, 典型值
  - ◇ 动态电流
    - 2mA@内部 16MHz, 5.0V, 25°C, 典型值
- ◆ 外设
  - ◇ 8 位定时器 T8N
    - 定时器模式 (计数时钟为系统时钟 2 分频或者内部低频 WDT\_RC 时钟)
    - 计数器模式 (外部计数时钟输入)
    - 支持可配置预分频器
    - 支持中断产生
  - ◇ 12 位时基定时器 T11/T12/T13
    - 定时器模式 (计数时钟频率为系统时钟 Fosc)
    - 支持可配置预分频器及可配置后分频器
    - 支持捕捉模式
    - 支持单脉冲发射模式
    - 支持 3 组带死区互补输出的 PWM
    - 支持外部端口关断 PWM 输出
    - 支持 PWM 自动重启
    - 支持中断产生
  - ◇ 一个高精度参考电压源
    - 支持 1.8V/2.5V 两种内部参考电压
    - 出厂前, 在常温下已经校准参考电压, 校准精度在±1%以内 (VDD=5V)
  - ◇ 模拟数字转换器 ADC

- 支持 12 位数字转换精度
- 支持 7+1 通道模拟输入端
- 支持可选择参考源
- 支持内部参考电压
- 支持中断产生
- ◇ 低电压检测模块 (LVD)
  - 支持 9 档低电压检测, 档位分布在 1.9~4.5V 间
  - 出厂前, 在常温下电压已经校准在±0.2V 以内 (VDD=5V)

## 1.2 选型表

Part No.	工作电压	FLASH	SRAM	Data FLASH	I/O	ADC	Timer	封装类型
HR7P179F8RB	2.5V~5.5V	4K Words	256 Bytes	512 Words	8	12-bitx(7+1)Ch	8-bitx1 12-bitx3	SSOP10
HR7P179F8SA	2.5V~5.5V	4K Words	256 Bytes	512 Words	6	12-bitx(5+1)Ch	8-bitx1 12-bitx3	SOP8

注: 本数据手册所述资源为本产品所属产品系列资源最大化描述。文中所述部分内容 (包括管脚、寄存器、芯片配置字等) 不为本产品所有的资源, 请将其保持在默认设置值状态。如有其它需求, 请与我司 FAE 部门联系!

## 1.3 应用领域

本系列芯片可用于电磁炉主控、移动电源、电机驱动、小家电等领域。

## 1.4 结构框图

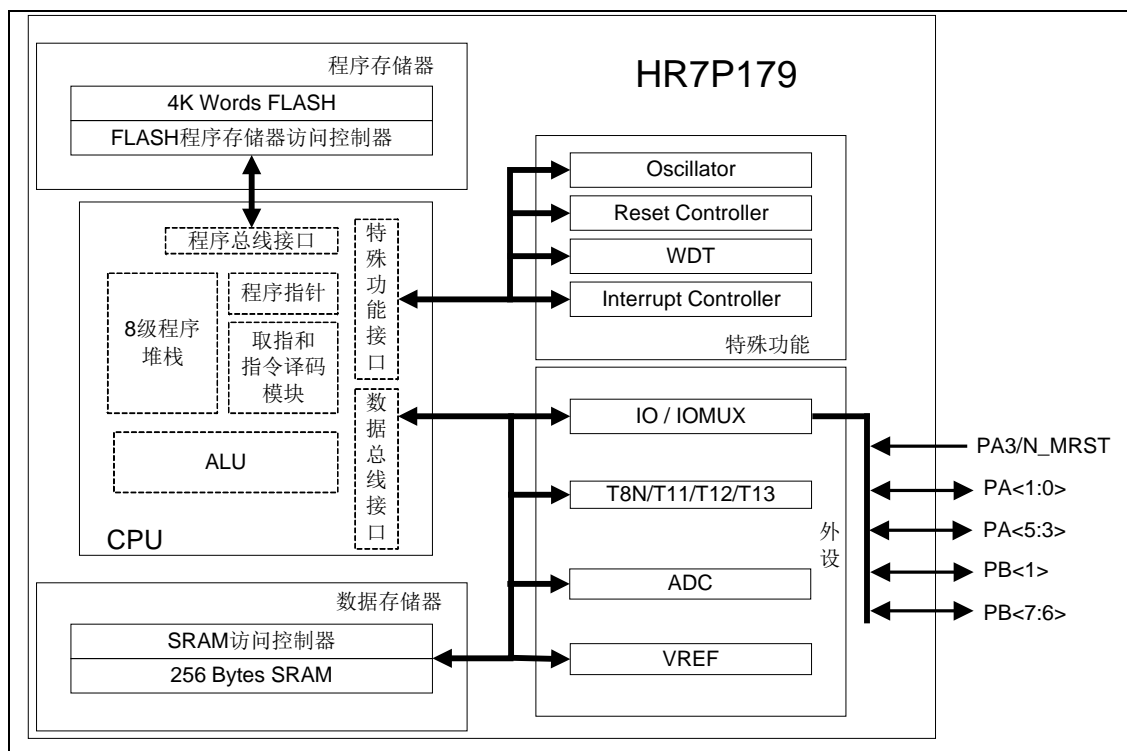


图 1-1 结构框图

## 1.5 管脚分配图

### 1.5.1 10-Pin

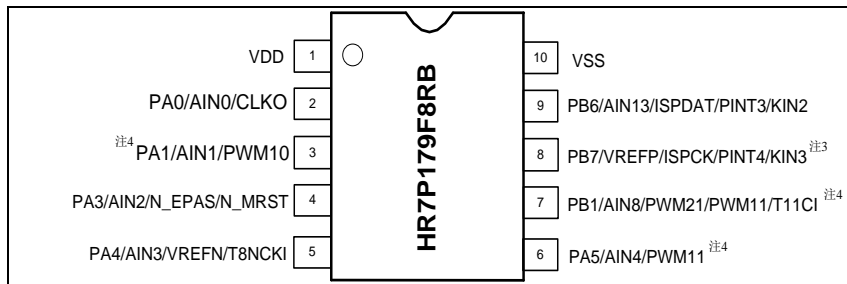


图 1-2 HR7P179 (SSOP10) 顶视图

### 1.5.2 8-Pin

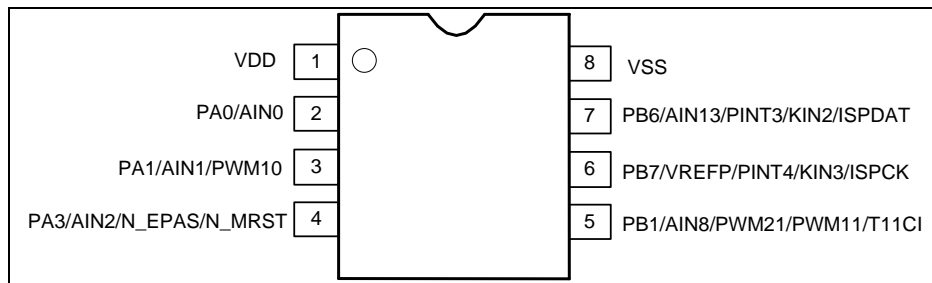


图 1-3 HR7P179 (SOP8) 顶视图

### 1.5.3 20-Pin

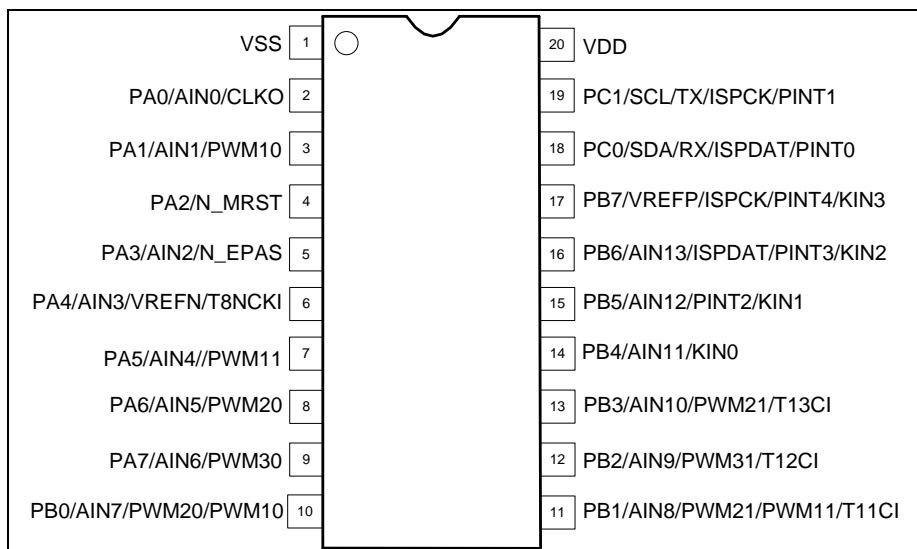


图 1-4 产品系列最大封装 (20-Pin) 顶视图

注 1: N\_MRST 表示低电平有效。

注 2: N\_EPAS 表示低电平有效。

注 3: PA3 可复用为外部复位管脚功能，当配置为外部复位功能时，PA3 需设置为输入状态。

注 4: T11 支持软件设置 PA1/PWM10 和 PA5/PWM11 为一组 或者 PB1/PWM11 为一组 PWM1x 输出；T12 支持

软件设置 PB1/PWM21 为一组 PWM2x 输出。

注 6: 由于产品封装引脚数小于该系列产品最大引脚数 20-Pin, 故未引出的和未使用的 I/O 管脚都需设置为输出低电平。否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低。

注 7: 芯片 I/O 端口输入电平不能高于芯片 VDD+0.3V 且不能低于 VSS-0.3V, 否则可能会影响芯片正常工作。

注 8: 本数据手册所述资源为本产品所属产品系列资源最大化描述。文中所述部分内容(包括管脚、寄存器、芯片配置字等)不为本产品所有的资源, 请将其保持在默认设置值状态。如有其它需求, 请与我司 FAE 部门联系!

## 1.6 管脚说明

### 1.6.1 管脚封装对照表

管脚名	管脚序号	
	10pin	8pin
PA0/AIN0/CLKO	2	2
PA1/AIN1/PWM10	3	3
PA3/AIN2/N_EPAS/N_MRST	4	4
PA4/AIN3/VREFN/T8NCKI	5	/
PA5/AIN4/PWM11	6	/
PB1/AIN8/PWM21/PWM11/T11CI	7	5
PB6/AIN13/ISPDAT/PINT3/KIN2	9	7
PB7/VREFP/ISPCK/PINT4/KIN3	8	6
VDD	1	1
VSS	10	8

表 1-1 管脚封装对照表

### 1.6.2 管脚复用说明

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA0/AIN0/CLKO	PA0	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	AIN0	—	—	A	ADC 模拟通道 0 输入	
	CLKO	—	CMOS	D	Fosc/16 参考时钟输出	
PA1/AIN1/PWM10	PA1	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	AIN1	—	—	A	ADC 模拟通道 1 输入	
	PWM10	—	CMOS	D	T11 扩展脉宽调制输出	
PA3/AIN2/N_EPAS/N_MRST	PA3	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	AIN2	—	—	A	ADC 模拟通道 2 输入	
	N_EPAS	TTL	—	D	关断事件输入	
PA4/AIN3/T8NCKI/VREFN	N_MRST	TTL	—	—	外部复位输入	支持弱上、下拉/开漏输出
	PA4	TTL	CMOS	D	通用 I/O	
	AIN3	—	—	A	ADC 模拟通道 3 输入	
PA5/AIN4/PWM11	T8NCKI	TTL	—	D	T8N 外部时钟输入端	支持弱上、下拉/开漏输出
	VREFN	—	—	A	ADC 外部参考负输入	
PA5/AIN4/PWM11	PA5	TTL	CMOS	D	通用 I/O	支持弱上、下

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
	AIN4	—	—	A	ADC 模拟通道 4 输入	拉/开漏输出
	PWM11	—	CMOS	D	T11 扩展互补脉宽调制输出	
PB1/AIN8/PWM21/ PWM11/T11CI	PB1	TTL	CMOS	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN8	—	—	A	ADC 模拟通道 8 输入	
	PWM21	—	CMOS	D	T12 扩展互补脉宽调制输出	
	PWM11	—	CMOS	D	T11 扩展互补脉宽调制输出	
	T11CI	TTL	—	D	T11 捕捉输入	
PB6/AIN13/PINT3/ KIN2/ISPDAT	PB6	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	AIN13	—	—	A	ADC 模拟通道 13 输入	
	PINT3	TTL	—	D	外部端口中断 3 输入	
	KIN2	TTL	—	D	外部按键中断 2 输入	
	ISPDAT	TTL	CMOS	D	ISP 串行编程/调试数据输入输出	
PB7/PINT4/ KIN3/VREFP/ ISPCK	PB7	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	PINT4	TTL	—	D	外部端口中断 4 输入	
	KIN3	TTL	—	D	外部按键中断 3 输入	
	VREFP	—	—	A	ADC 外部参考电压正输入	
	ISPCK	TTL	—	D	ISP 串行编程/调试时钟输入	
VDD	VDD	—	—	P	电源	—
VSS	VSS	—	—	P	地, 0V 参考点	—

表 1-2 管脚说明

注 1: A = 模拟端口, D = 数字端口, P = 电源/地;  
注 2: 所有通用 I/O 端口均为 TTL 施密特输入和 CMOS 输出驱动。



## 第2章 内核特性

### 2.1 CPU内核概述

- ◇ 内核特性
  - 采用高性能 HR7P RISC CPU 内核，79 条精简指令集
  - 采用 2T 架构，每个机器周期包括两个系统时钟周期
  - 系统时钟最高支持 16MHz，最小指令周期 125ns
  - 支持中断优先级和中断向量表
  - 支持硬件乘法器和除法器

### 2.2 硬件乘法器

#### 2.2.1 概述

芯片指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

- ◇ 主要功能组件
  - 8 位乘数 A 寄存器 (MULA, 只可写)
  - 8 位乘数 B 寄存器 (MULB, 只可写)
  - 16 位乘积寄存器 (MULL/MULH, 只可读)

#### 2.2.2 硬件乘法器操作

硬件乘法器完成 8 位乘数 MULA 与 8 位乘数 MULB 的相乘操作： $[8 \text{ 位乘数 A}] \times [8 \text{ 位乘数 B}] = 16 \text{ 位乘积}$ 。

在 MULA 和 MULB 写入完成后的 1 个机器周期内，将 16 位结果高、低 8 位分别存储于 2 个寄存器 MULH 和 MULL。

MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。乘数 A/B 设置完成后，下一条指令即可读取乘积结果。

#### 应用实例：硬件乘法器操作应用程序

```
.....  
MOVI    mul_operand_a  
MOVA    MULA           ; 写乘数 A  
MOVI    mul_operand_b  
MOVA    MULB           ; 写乘数 B  
MOV     MULL,0         ; 读乘积低 8 位  
.....  
MOV     MULH,0         ; 读乘积高 8 位  
.....
```

## 2.3 硬件除法器

### 2.3.1 概述

芯片指令集不包含除法指令，内部集成独立的硬件除法器，通过读写相应寄存器进行操作。

◇ 主要功能组件

- 16 位被除数寄存器 (DIVEL/DIVEH, 只可写)
- 8 位除数寄存器 (DIVS, 只可写)
- 16 位商寄存器 (DIVQL/DIVQH, 只可读)
- 8 位余数寄存器 (DIVR, 只可读)

### 2.3.2 硬件除法器操作

硬件除法器完成 16 位被除数 DIVEL、DIVEH 与 8 位除数 DIVS 的除法操作：[16 位被除数] ÷ [8 位除数] = 16 位商.....8 位余数。

DIVEL 和 DIVQL 共用一个寄存器地址，DIVEH 和 DIVQH 共用一个寄存器地址，DIVS 和 DIVR 共用一个寄存器地址。被除数和除数设置完成后，需要插入 2 条 NOP 指令，才能读取商和余数。若除数为“0”，则商为 0xFFFF，余数为 0xFF，表示溢出。

#### 应用实例：硬件除法器操作应用程序

```

.....
MOVI    div_operand_divel
MOVA    DIVEL                ; 写被除数低 8 位
MOVI    div_operand_diveh
MOVA    DIVEH                ; 写被除数高 8 位
MOVI    mul_operand_divs
MOVA    DIVS                 ; 写除数
NOP
NOP
MOV     DIVQL,0              ; 读商低 8 位
... ..
MOV     DIVQH,0              ; 读商高 8 位
... ..
MOV     DIVR,0               ; 读余数
... ..

```

## 2.4 特殊功能寄存器

CPU 相关寄存器包括 12-bit 程序计数器寄存器 PCRL/PCRH，程序状态字寄存器 PSW，累加器 A 寄存器 AREG，乘数寄存器 MULA、MULB 和乘积寄存器 MULL、MULH，被除数寄存器 DIVEL/DIVEH、除数寄存器 DIVS、商寄存器 DIVQL/DIVQH 和余数寄存器 DIVR。其中程序状态寄存器 PSW 用于存放各个状态标志位，包括程序出栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
RESET	x	0	0	x	x	x	x	x

- Bit 7 未使用
- Bit 6 UF: 程序出栈溢出标志位  
0: 程序出栈未溢出  
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位  
0: 程序压栈未溢出  
1: 程序压栈溢出
- Bit 4 N: 负数标志位  
0: 有符号算术或逻辑运算结果为正数  
1: 结果为负数
- Bit 3 OV: 溢出标志位  
0: 有符号算术运算未发生溢出  
1: 发生溢出
- Bit 2 Z: 零标志位  
0: 算术或逻辑运算的结果不为零  
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位  
0: 低四位无进位或低四位有借位  
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位  
0: 无进位或有借位  
1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据指令的运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 N\_MRST 复位会将其清零, 其它复位不影响这两个标志位。

PCRL: 程序计数器寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCRL<7:0>: 程序计数器寄存器低 8 位

PCRH: 程序计数器寄存器高 4 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PCRH<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3~0 PCRH<3:0>: 程序计数器寄存器高 4 位

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 AREG<7:0>: 累加器的值

MULA: 乘数 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULA<7:0>: 乘数 A

MULB: 乘数 B 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULB<7:0>: 乘数 B

MULL: 乘积低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<7:0>: 乘积低 8 位

MULH: 乘积高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<15:8>: 乘积高 8 位

DIVEL: 被除数低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVEL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVEL<7:0>: 被除数低 8 位

DIVEH: 被除数高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVEH<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVEH<7:0>: 被除数高 8 位

DIVS: 除数寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVS<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVS<7:0>: 除数

DIVQL: 商低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVQL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVQL<7:0>: 商低 8 位

DIVQH: 商高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVQH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVQH<7:0>: 商高 8 位

DIVR: 余数寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVR<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVR<7:0>: 余数

### 第3章 存储资源

#### 3.1 概述

本系列芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◇ 4K Words FLASH 程序存储器
- ◇ 512 Words 作为 FLASH 数据存储区
- ◇ 256 Bytes SRAM 数据存储器

其中 FLASH 程序存储器和 FLASH 数据存储区被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

型号	FLASH 程序存储器	FLASH 数据存储区	SRAM 数据存储器
HR7P179	4K Words	512 Words	256 Bytes

#### 3.2 程序寻址空间映射

FLASH 数据存储区，程序寻址空间映射如下：

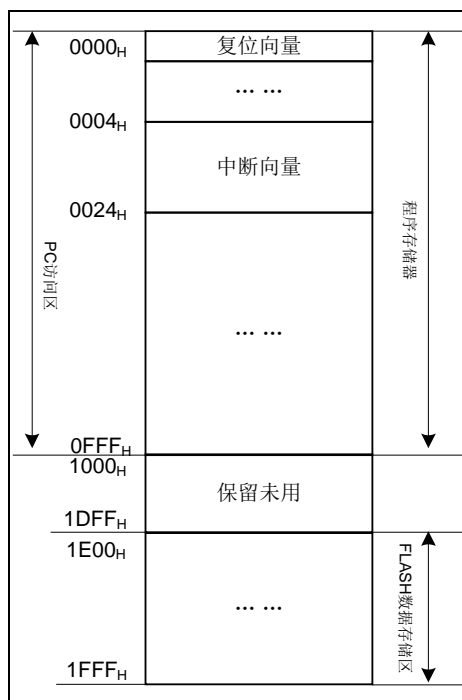


图 3-1 程序寻址空间映射图

### 3.3 程序存储器

#### 3.3.1 概述

FLASH 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位，因此 4K Words FLASH 程序存储器被映射到程序寻址空间的每个访问地址对应于一个 16 位宽的存储单元。通过程序计数器 PC 进行程序寻址访问。

型号	FLASH 程序存储器	寻址空间	程序计数器
HR7P179	4K Words	0000 <sub>H</sub> ~0FFF <sub>H</sub>	PCRH<3:0>, PCRL<7:0>

#### 3.3.2 程序计数器 (PC)

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。12 位程序计数器 PC，可寻址 4K 程序存储空间，超出地址范围会导致 PC 循环（又从 0000<sub>H</sub> 开始访问）。程序计数器 PC 的低 8 位 PC<7:0> 可通过 PCRL 直接读写，而 PC 高 4 位不能直接读写，只能通过 PCRH 寄存器来间接赋值（在执行 RCALL、CALL、GOTO 等指令前，需先对 PCRH 寄存器赋值）。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

当进行 FLASH 数据存储器进行擦写时，程序计数器 PC 暂停更新。

各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<11:8>=PCRH<3:0>，因此，修改 PC 时，应先修改 PCRH<3:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<11:8>=PCRH<3:0>。
3. 执行 CALL, GOTO 指令时，PC<11:0>低 11 位为指令中 11 位立即数，而 PC<11>=PCRH<3>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<11:0>被修改为该 16 位立即数的值的低 12 位；同时 PCRH<3:0>被修改为 I<11:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<11:0> 被修改为该 16 位立即数的值的低 12 位，同时 PCRH<3:0>修改为 I<11:8>的值。
6. 执行 PAGE 指令时，PCRH<3>的值将被该指令的立即数 I<0>替换。
7. 执行其他指令时，PC 值自动加 1。

#### 应用实例：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH        ; 设置表格页面地址
MOVI    tableaddr   ; 设置偏移量给 A 寄存器
CALL    TABLE     ; 调用子程序方式查表
.....
TABLE:
ADD     PCRL, F     ; PC 加上偏移量，指向访问的地址
RETIA   0x01
RETIA   0x02
RETIA   0x03
    
```

.....

### 3.3.3 硬件堆栈

本芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值恢复至 PC。

8 级硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据会覆盖第 1 次压栈的数据，使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。芯片复位后，堆栈指针将重新指向堆栈顶部。

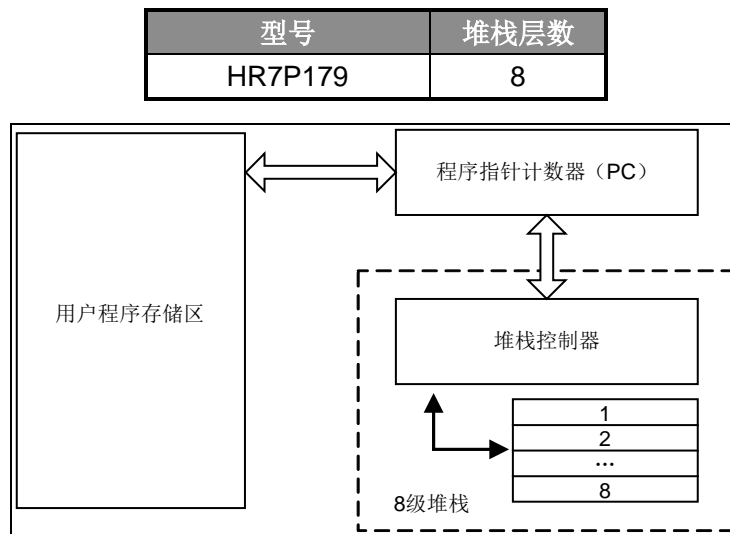


图 3-2 堆栈示意图

### 3.3.4 程序存储器查表读操作

本系列芯片的 FLASH 程序存储器仅支持查表读操作。芯片配置字 FREN (CFG\_WD<9>) 使能时，通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

本系列芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

**应用例程：程序存储器查表读**

```

MOVI    0x05           ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0x01
MOVA    FRAH
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
    
```



### 3.4 可配置数据FLASH存储器

#### 3.4.1 概述

- ◇ 512 Words 数据 FLASH 存储区
  - 地址范围为 1E00<sub>H</sub>~1FFF<sub>H</sub>，共分为 2 页，每页 256 Words
  - 支持数据 FLASH 存储器读/写
  - 支持查表指令读取数据
  - 支持页擦除，擦除时间至少为 2ms
  - 支持单地址编程，编程时间至少为 20us
  - 支持至少 10 万次擦写次数，10 年以上的数据保持时间
  - 擦写时，支持定时器模块正常工作，但不支持中断处理
- ◇ 数据 FLASH 存储器功能组件
  - 芯片配置字 FREN (CFG\_WD<9>) 为 FLASH 查表访问使能位，对数据 FLASH 存储器读/写操作前，需使能该位
  - 16 位查表地址寄存器 (FRAL, FRAH)
  - 16 位查表数据寄存器 (ROMDL, ROMDH)
  - 16 位查表控制寄存器 (ROMCL, ROMCH)

型号	FLASH 数据 存储区	地址范围
HR7P179	512 Words	1E00 <sub>H</sub> ~1FFF <sub>H</sub>

注 1: 当用户擦除程序存储区时，数据 FLASH 存储器空间也全部擦除。  
 注 2: 在进行数据 FLASH 存储器擦写前，先关闭 WDT 定时功能，避免芯片异常复位。  
 注 3: 页更新前，可考虑进行数据备份。

### 3.4.2 数据FLASH页更新流程

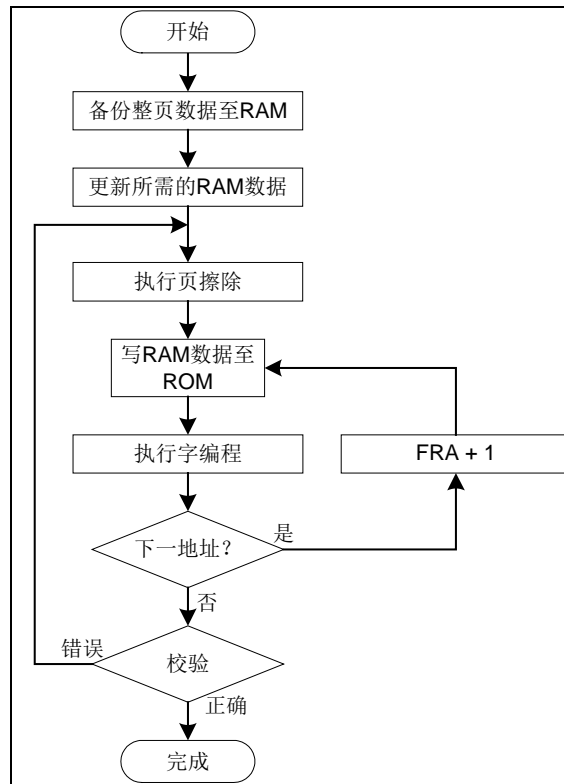


图 3-3 页更新参考流程图

更新一页程序存储器的步骤：

1. 用查表读指令将一页内容备份至数据存储空间（需 512x8 位存储空间，用于存放一页的数据量）；
2. 修改备份数据存储空间要更新的值；
3. 通过设置寄存器 ROMCL 和 ROMCH 进行页擦除（必须依照固定程序流程进行）；
4. 通过寄存器 FRAL 和 FRAH 选择需要更新的地址，以及设置寄存器 ROMDL 和 ROMDH 需要更新的数据；
5. 通过寄存器 ROMCL 和 ROMCH 将寄存器 ROMDL 和 ROMDH 中的内容写入 FRA 所指向的页中的地址（必须依照固定程序流程进行）；
6. 重复 4、5 步骤直至完成整页编程；
7. 用查表读指令进行写入区的校验。

### 3.4.3 操作参考例程

#### 应用例程 1：数据存储器查表读。

```

MOVI    0x00          ; 读取数据 FLASH 存储器 1F00H 单元
MOVA    FRAL
MOVI    0X1F
MOVA    FRAH
TBR
MOV     ROMDH, 0      ; 查表读指令，读取数据到 ROMDH/L 寄存器
... ..
MOV     ROMDL, 0
... ..
  
```

**应用例程 2: 数据存储擦除。**

除定时器/计数器可保持运行外，程序停止运行，直至擦除操作完成自动恢复运行。

```

MOVI    0X00
MOVA    FRAL
MOVI    0X1F          ; 擦除第 1 页
MOVA    FRAH
BSS     ROMCL, FPÉE   ; 选择擦除操作
BSS     ROMCL, WREN   ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE     ; 关闭全局中断（避免中断影响后续固定程序流程）

```

MOVI	0x55	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令，或等待 8 个指令周期
MOVI	0xAA	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令，或等待 8 个指令周期
BSS	ROMCL, WR	
NOP		

.....

**应用例程 3: 将数据缓冲器写入数据存储。**

除定时器/计数器可保持运行外，程序停止运行，直至擦除操作完成自动恢复运行。

```

MOVI    0x00
MOVA    FRAL
MOVI    0x1F          ; 写入数据 FLASH 存储器的第 1 页第 1 个地址
MOVA    FRAH
MOVI    0x12
MOVA    ROMDH
MOVI    0x34
MOVA    ROMDL        ; 写入数据 1234H
BCC     ROMCL, FPÉE   ; 选择编程操作
BSS     ROMCL, WREN   ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE     ; 关闭全局中断（避免中断影响后续固定程序流程）

```

MOVI	0x55	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令，或等待 8 个指令周期
MOVI	0xAA	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令，或等待 8 个指令周期
BSS	ROMCL, WR	
NOP		

.....

注：上述应用例程方框中的程序为固定操作格式，客户不可改变。

### 3.4.4 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAL<7:0>: 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAH<7:0>: 查表地址高 8 位

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDL<7:0>: 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDH<7:0>: 查表数据高 8 位

ROMCL: 存储器控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	FPEE	WREN	WR	—
R/W	—	—	—	—	R/W	R/W	R/W	—
RESET	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3 FPEE: 存储器页擦除/编程选择位

0: 编程

1: 擦除

Bit 2 WREN: 存储器页擦除/编程使能位

0: 禁止

1: 使能

Bit 1 WR: 存储器擦除/编程触发位

- 0: 未启动擦除/编程操作, 或操作已完成
- 1: 擦除/编程正在进行操作 (硬件自动清零)

Bit 0 未使用

注: 数据 FLASH 存储器页面选择不同, 程序存储空间则不同。

ROMCH: 存储器控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ROMCH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 ROMCH<7:0>: 存储器擦除/编程控制字

注: ROMCH 寄存器为虚拟寄存器, 对该寄存器读出始终为全 0。

### 3.5 在线编程ISP和在线调试ICD

FLASH 存储器和 FLASH 数据存储器具有可重复烧写的功能, 便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级, 本系列芯片还支持在线编程 ISP 和在线调试 ICD, 用户只需在电路系统板上引出五根编程和调试接口线, 即可实现程序的重新烧录和调试, 更加方便高效。

芯片管脚	管脚说明
ISPCK <sup>注1</sup>	编程/调试串行时钟端口
ISPDAT <sup>注1</sup>	编程/调试串行数据端口
N_MRST <sup>注2</sup>	复位脚
VDD	电源
VSS	地

表 3-1 在线编程/调试管脚说明

注 1: 用作调试使用时, 通过配置字 ICDEN (CFG\_WD<10>) 使能。

注 2: 进行 ISP 编程操作时, N\_MRST 管脚必须拉低。

### 3.6 数据存储

#### 3.6.1 概述

- ◇ 数据存储由 2 部分组成
  - 通用数据存储 GPR
  - 特殊功能寄存器 SFR
- ◇ 物理存储包括
  - 256 Bytes 数据存储
  - 128 个特殊寄存器
- ◇ 支持 3 种寻址方式
  - 直接寻址
  - GPR 特殊寻址
  - 间接寻址

型号	SRAM 数据存储	地址范围	存储体组
HR7P179	256 Bytes	0000 <sub>H</sub> ~01FF <sub>H</sub>	Section 0 Section 1

#### 3.6.2 通用数据存储

通用数据存储被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储空间为 256 Bytes，分别支持 2 个存储体组，地址范围为 0000<sub>H</sub>~00FF<sub>H</sub>。程序控制过程中，对这些存储体访问时，需通过寄存器 BKSR 选择存储体，实现在不同存储体间的跳转。通用数据存储的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

地址映射如下：

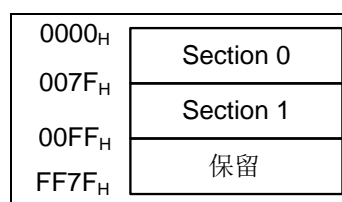


图 3-4 GPR 地址映射示意图

#### 3.6.3 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本系列芯片支持 128 个特殊寄存器，地址范围 FF80<sub>H</sub>~FFFF<sub>H</sub>。大多数寄存器都是可以读写的，仅有少数寄存器作为保留使用，用户程序不能进行读写。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 <sub>H</sub>	IAD	FFA0 <sub>H</sub>	INTE3	FFC0 <sub>H</sub>	T11RL	FFE0 <sub>H</sub>	—
FF81 <sub>H</sub>	IAAL	FFA1 <sub>H</sub>	INTF3	FFC1 <sub>H</sub>	T11PH	FFE1 <sub>H</sub>	—
FF82 <sub>H</sub>	IAAH	FFA2 <sub>H</sub>	—	FFC2 <sub>H</sub>	T11OC	FFE2 <sub>H</sub>	—
FF83 <sub>H</sub>	BKSR	FFA3 <sub>H</sub>	—	FFC3 <sub>H</sub>	T12L	FFE3 <sub>H</sub>	—
FF84 <sub>H</sub>	PSW	FFA4 <sub>H</sub>	—	FFC4 <sub>H</sub>	T12C	FFE4 <sub>H</sub>	—
FF85 <sub>H</sub>	AREG	FFA5 <sub>H</sub>	—	FFC5 <sub>H</sub>	T12PL	FFE5 <sub>H</sub>	T11CAPC
FF86 <sub>H</sub>	PCRL	FFA6 <sub>H</sub>	PWRC	FFC6 <sub>H</sub>	T12RL	FFE6 <sub>H</sub>	T11H
FF87 <sub>H</sub>	PCRH	FFA7 <sub>H</sub>	WDTC	FFC7 <sub>H</sub>	T12PH	FFE7 <sub>H</sub>	T12H
FF88 <sub>H</sub>	MULA/MULL	FFA8 <sub>H</sub>	WKDC	FFC8 <sub>H</sub>	T12OC	FFE8 <sub>H</sub>	T13H
FF89 <sub>H</sub>	MULB/MULH	FFA9 <sub>H</sub>	PWEN	FFC9 <sub>H</sub>	T13L	FFE9 <sub>H</sub>	T11CH
FF8A <sub>H</sub>	DIVEL/DIVQL	FFAA <sub>H</sub>	PA	FFCA <sub>H</sub>	T13C	FFEA <sub>H</sub>	T12CH
FF8B <sub>H</sub>	DIVEH/DIVQH	FFAB <sub>H</sub>	PAT	FFCB <sub>H</sub>	T13PL	FFEB <sub>H</sub>	T13CH
FF8C <sub>H</sub>	DIVS/DIVR	FFAC <sub>H</sub>	PB	FFCC <sub>H</sub>	T13RL	FFEC <sub>H</sub>	—
FF8D <sub>H</sub>	T11CNTM	FFAD <sub>H</sub>	PBT	FFCD <sub>H</sub>	T13PH	FFED <sub>H</sub>	T12CAPC
FF8E <sub>H</sub>	—	FFAE <sub>H</sub>	—	FFCE <sub>H</sub>	T13OC	FFEE <sub>H</sub>	T13CAPC
FF8F <sub>H</sub>	LVDC	FFAF <sub>H</sub>	—	FFCF <sub>H</sub>	PWM1C	FFEF <sub>H</sub>	—
FF90 <sub>H</sub>	FRAL	FFB0 <sub>H</sub>	PAPU	FFD0 <sub>H</sub>	PWM2C	FFF0 <sub>H</sub>	—
FF91 <sub>H</sub>	FRAH	FFB1 <sub>H</sub>	PBPU	FFD1 <sub>H</sub>	PWM3C	FFF1 <sub>H</sub>	—
FF92 <sub>H</sub>	ROMDL	FFB2 <sub>H</sub>	—	FFD2 <sub>H</sub>	PDD1C	FFF2 <sub>H</sub>	—
FF93 <sub>H</sub>	ROMDH	FFB3 <sub>H</sub>	VRC3	FFD3 <sub>H</sub>	PDD2C	FFF3 <sub>H</sub>	—
FF94 <sub>H</sub>	ROMCL	FFB4 <sub>H</sub>	PAOD	FFD4 <sub>H</sub>	PDD3C	FFF4 <sub>H</sub>	—
FF95 <sub>H</sub>	ROMCH	FFB5 <sub>H</sub>	PBOD	FFD5 <sub>H</sub>	TE1AS	FFF5 <sub>H</sub>	—
FF96 <sub>H</sub>	INTG	FFB6 <sub>H</sub>	—	FFD6 <sub>H</sub>	TE2AS	FFF6 <sub>H</sub>	—
FF97 <sub>H</sub>	INTP	FFB7 <sub>H</sub>	PAPD	FFD7 <sub>H</sub>	TE3AS	FFF7 <sub>H</sub>	—
FF98 <sub>H</sub>	INTC0	FFB8 <sub>H</sub>	PBPD	FFD8 <sub>H</sub>	TMRADC	FFF8 <sub>H</sub>	—
FF99 <sub>H</sub>	T12CNTM	FFB9 <sub>H</sub>	—	FFD9 <sub>H</sub>	T13CNTM	FFF9 <sub>H</sub>	—
FF9A <sub>H</sub>	INTE0	FFBA <sub>H</sub>	VRC2	FFDA <sub>H</sub>	ADCRL	FFFA <sub>H</sub>	—
FF9B <sub>H</sub>	INTF0	FFBB <sub>H</sub>	T8N	FFDB <sub>H</sub>	ADCRH	FFFB <sub>H</sub>	VRC1
FF9C <sub>H</sub>	INTE1	FFBC <sub>H</sub>	T8NC	FFDC <sub>H</sub>	ADCCL	FFFC <sub>H</sub>	—
FF9D <sub>H</sub>	INTF1	FFBD <sub>H</sub>	T11L	FFDD <sub>H</sub>	ADCCH	FFFD <sub>H</sub>	—
FF9E <sub>H</sub>	INTE2	FFBE <sub>H</sub>	T11C	FFDE <sub>H</sub>	ANSL	FFFE <sub>H</sub>	—
FF9F <sub>H</sub>	INTF2	FFBF <sub>H</sub>	T11PL	FFDF <sub>H</sub>	ANSH	FFFF <sub>H</sub>	—

图 3-5 特殊功能寄存器空间

### 3.6.4 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址、GPR 特殊寻址和间接寻址。

#### 3.6.4.1 直接寻址

直接寻址的地址信息由两部分组成，BKSR 和指令中的 8 位地址信息。BKSR 用于选择存储体组，指令中的 8 位地址信息用于在 BKSR 所选的存储体组中寻址。

在直接寻址时，当指令中的 8 位地址信息大于或等于 80<sub>H</sub> 时，将忽略 BKSR 而直接寻址 SFR 映射区。当指令中的 8 位地址信息小于 80<sub>H</sub> 时，访问 GPR 地址映射区。

示意图如下：

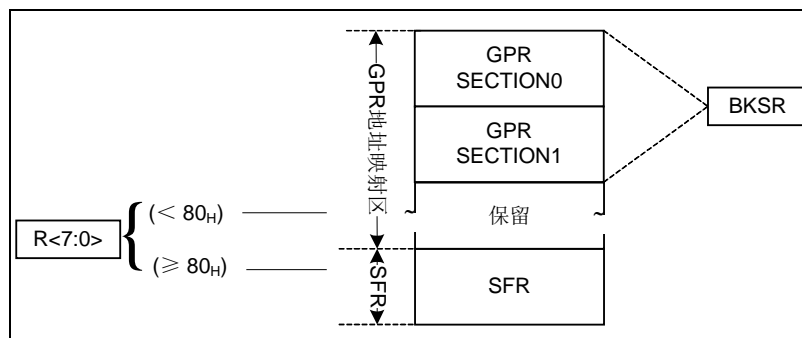


图 3-6 直接寻址示意图

### 3.6.4.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址操作，本芯片 MOVAR 和 MOVRA 指令最大支持 10 位地址信息（R<9:0>），可直接寻址 256 Bytes 地址空间。无需进行 SECTION 间切换。

MOVAR 和 MOVRA 指令无法访问 SFR。

示意图如下：

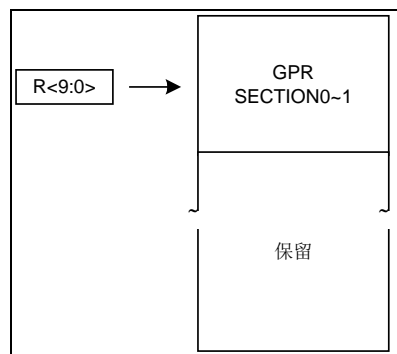


图 3-7 GPR 特殊寻址示意图

### 3.6.4.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD，间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

IAAD 寄存器本身也映射到数据寻址空间的 FF80<sub>H</sub> 地址，因此当 IAA 存放的地址值为 FF80<sub>H</sub> 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出为 00<sub>H</sub>，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

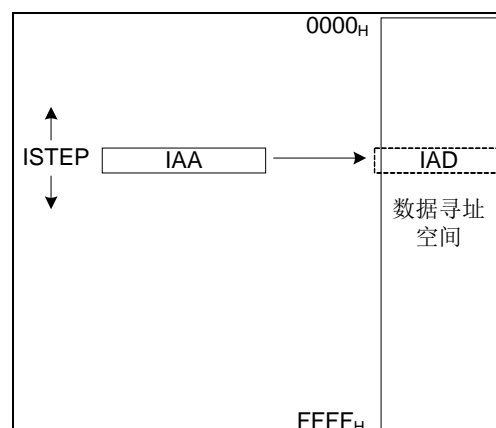


图 3-8 间接寻址示意图



### 3.6.5 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAL<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAH<7:0>: 间接寻址索引高 8 位

BKSR: 存储体选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SBKSR	—	—	—	DBKSR
R/W	—	—	—	R/W	—	—	—	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4 SBKSR: 特殊功能存储体选择位  
必须软件设置为 0

Bit 3 未使用

Bit 2~1 未使用, 需软件设置为 0

Bit 0 DBKSR: 数据存储体选择位  
0: SECTION0  
1: SECTION1

注: 如果没有特殊需求, SBKSR 位必须软件设置为 0。

## 第4章 输入/输出端口

### 4.1 概述

输入/输出端口是芯片的最基本组成部分，本芯片最多支持 8 个 I/O。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。

- ◇ PA 输入/输出端口功能组件
  - 5 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PAT)
  - 端口弱上拉控制寄存器 (PAPU)
  - 端口弱下拉控制寄存器 (PAPD)
  - 端口开漏输出控制寄存器 (PAOD)
  - 数/模端口控制寄存器 (ANSL)
- ◇ PB 输入/输出端口功能组件
  - 3 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PBT)
  - 端口弱上拉控制寄存器 (PBPU)
  - 端口弱下拉控制寄存器 (PBPD)
  - 端口开漏输出控制寄存器 (PBOD)
  - 数/模端口控制寄存器 (ANSH)
  - PB6~7 支持外部按键中断功能
  - PB6~7 支持外部端口中断功能

注 1: 当端口设置为输出或者模拟输入端口时，内部弱上/下拉自动禁止。

注 2: 当端口设置为模拟输入端口时，开漏输出控制自动禁止。

## 4.2 结构框图

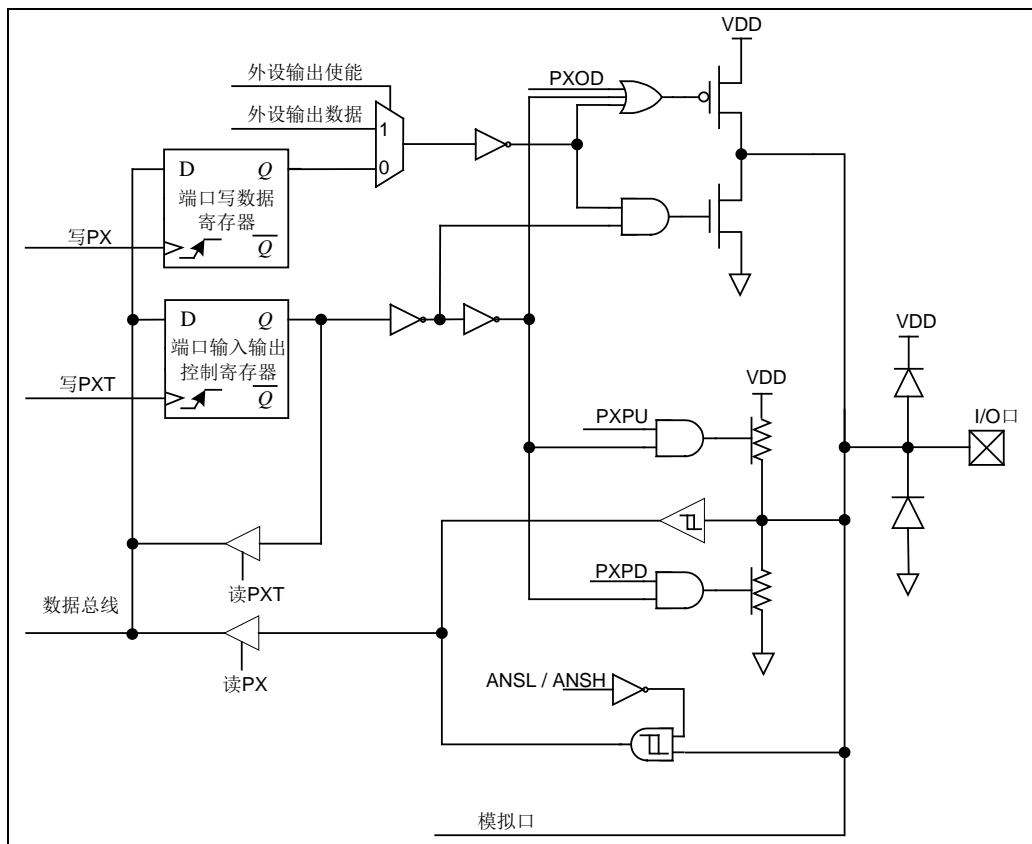


图 4-1 PA/PB 端口结构图

## 4.3 I/O端口功能设置

### 4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PAT/PBT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 PA/PB 寄存器内容，即相应 I/O 端口电平状态，读取 PA/PB 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 PA/PB 寄存器的操作实际为读取相应 I/O 端口电平状态。

### 4.3.2 I/O端口弱上/下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本芯片中所有端口均提供独立的弱上/下拉功能，芯片上电时默认禁止。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	—	支持	支持	支持	—	—
PB	—	支持	—	—	—	—	支持	支持

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	—	支持	支持	支持	—	—
PB	—	支持	—	—	—	—	支持	支持

表 4-2 I/O 端口弱下拉

### 4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中 PA0~PA1、PA3~PA5、PB1、PB6 均具有独立的模拟/数字信号选择功能，分别由 ANSL 和 ANSH 寄存器控制选择。当端口被配置为模拟端口时，读相应的 PA/PB 寄存器时，始终读到“0”。

### 4.3.4 I/O端口开漏输出

为获得更大的驱动能力，本芯片中的所有端口均支持开漏输出功能，可独立设置为开漏输出，分别由 PAOD 和 PBOD 寄存器控制。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	—	支持	支持	支持	—	—
PB	—	支持	—	—	—	—	支持	支持

表 4-3 I/O 端口开漏输出

### 4.3.5 I/O端口复用功能

为了使资源合理利用最优化，本系列芯片的所有 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

## 4.4 端口中断

### 4.4.1 外部按键中断（KINT）

本芯片支持 1 组最多 2 个外部按键输入端 KIN2/KIN3 的按键中断，每个按键输入都可以由相应的 KMSK2/KMSK3 位屏蔽。当 KIN2/KIN3 复用端口被配置为数字输入端口，且 1 组中任何一个未屏蔽的按键端口输入信号发生电平变化时，将产生按键中断 KINT。外部按键中断可由 KIE 使能。中断产生将影响中断标志 KIF。使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

外部按键电平比较，是比较按键输入端口的当前电平与锁存器中的最后输入值，如果不相同则产生按键中断标志。清除按键中断标志位前，必须对相应复用端口进行一次读或写操作，否则按键中断标志位无法被清除。在 IDLE 模式下，此中断能唤醒 CPU。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PB6	KIN2	KMSK2	KINT	KIE	KIF
PB7	KIN3	KMSK3			

表 4-4 外部按键中断

#### 4.4.2 外部端口中断 (PINT)

本芯片支持 2 个外部端口中断。当 PINT3/PINT4 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINT3/ PINT4 外部端口中断。INTC0 寄存器中的 PEG2<1:0> (INTC0<5:4>) 用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIE3/PIE4 使能。中断产生将影响相应的中断标志 PIF3/PIF4。在 IDLE 模式下，此中断能唤醒 CPU。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PB6	PINT3	PEG2<1:0>	PINT3	PIE3	PIF3
PB7	PINT4		PINT4	PIE4	PIF4

表 4-5 外部端口中断

#### 4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的算术或逻辑运算指令（除位操作指令）时，芯片实际执行读-修改-写过程，即先读取该组全部 I/O 端口的电平，修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位，对同组其它 I/O 不影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在 I/O 复用功能使能和关闭时，应充分考虑当前 I/O 端口的输出寄存器值，并判断是否需要重新对这些 I/O 端口进行初始化赋值。

#### 4.6 特殊功能寄存器

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PA5	PA4	PA3	—	PA1	PA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~6 未使用

Bit 5~3 PA<5:3>: PA5~PA3 端口电平状态  
0: 低电平  
1: 高电平

Bit 2 未使用

Bit 1~0 PA<1:0>: PA1~PA0 端口电平状态  
0: 低电平  
1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PAT5	PAT4	PAT3	—	PAT1	PAT0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~6 未使用

- Bit 5~3 PAT<5:3>: PA5~PA3 端口输入输出状态控制位  
0: 输出状态  
1: 输入状态
- Bit 2 未使用
- Bit 1~0 PAT<1:0>: PA1~PA0 端口输入输出状态控制位  
0: 输出状态  
1: 输入状态

**PAPU: PA 端口弱上拉控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	PAPU5	PAPU4	PAPU3	—	PAPU1	PAPU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	1	0	0

- Bit 7~6 未使用
- Bit 5~3 PAPU<5:3>: PA5~PA3 端口内部弱上拉控制位  
0: 禁止  
1: 使能
- Bit 2 未使用
- Bit 1~0 PAPU<1:0>: PA1~PA0 端口内部弱上拉控制位  
0: 禁止  
1: 使能

**PAPD: PA 端口弱下拉控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	PAPD5	PAPD4	PAPD3	—	PAPD1	PAPD0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7~6 未使用
- Bit 5~3 PAPD<5:3>: PA5~PA3 端口内部弱下拉控制位  
0: 禁止  
1: 使能
- Bit 2 未使用
- Bit 1~0 PAPD<1:0>: PA1~PA0 端口内部弱下拉控制位  
0: 禁止  
1: 使能

**PAOD: PA 端口输出开漏控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	PAOD5	PAOD4	PAOD3	—	PAOD1	PAOD0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7~6 未使用
- Bit 5~3 PAOD<5:3>: PA5~PA3 端口开漏输出控制位

- 0: 禁止
- 1: 使能
- Bit 2 未使用
- Bit 1~0 PAOD<1:0>: PA1~PA0 端口开漏输出控制位
  - 0: 禁止
  - 1: 使能

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PB7	PB6	—	—	—	—	PB1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

- Bit 7~6 PB<7:6>: PB7~PB6 端口电平状态
  - 0: 低电平
  - 1: 高电平
- Bit 5~2 未使用
- Bit 1 PB<1>: PB1 端口电平状态
  - 0: 低电平
  - 1: 高电平
- Bit 0 未使用

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBT7	PBT6	—	—	—	—	PBT1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

- Bit 7~6 PBT<7:6>: PB7~PB6 端口输入输出状态控制位
  - 0: 输出状态
  - 1: 输入状态
- Bit 5~2 未使用
- Bit 1 PBT<1>: PB1 端口输入输出状态控制位
  - 0: 输出状态
  - 1: 输入状态
- Bit 0 未使用

PBPU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPU7	PBPU6	—	—	—	—	PBPU1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7~6 PBPU<7:6>: PB7~PB6 端口内部弱上拉控制位
  - 0: 禁止
  - 1: 使能

- Bit 5~2 未使用
- Bit 1 PBPU<1>: PB1 端口内部弱上拉控制位
  - 0: 禁止
  - 1: 使能
- Bit 0 未使用

PBPD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPD7	PBPD6	—	—	—	—	PBPD1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7~6 PBPD<7:6>: PB7~PB6 端口内部弱下拉控制位
  - 0: 禁止
  - 1: 使能
- Bit 5~2 未使用
- Bit 1 PBPD<1>: PB1 端口内部弱下拉控制位
  - 0: 禁止
  - 1: 使能
- Bit 0 未使用

PBOD: PB 端口输出开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBOD7	PBOD6	—	—	—	—	PBOD1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7~6 PBOD<7:6>: PB7~PB6 端口开漏输出控制位
  - 0: 禁止
  - 1: 使能
- Bit 5~2 未使用
- Bit 1 PBOD<1>: PB1 端口开漏输出控制位
  - 0: 禁止
  - 1: 使能
- Bit 0 未使用

注: 具体 IO 端口的驱动能力, 可参考附录 3 《电气特性》。



## 第5章 特殊功能及操作特性

### 5.1 系统时钟与振荡器

#### 5.1.1 概述

芯片运行所需要的时钟源由内部振荡器提供,内部高速RC振荡器(16MHz)和内部低速RC振荡器(32KHz)。灵活选择振荡器,使得产品在速度和功耗方面可以达到最优化。内部振荡器为看门狗定时器、ADC电路、Timer等提供所需要的时钟源。

◇ INTSRC

- 内部 16MHz RC 振荡器
- 出厂前,振荡器频率已经在常温下校准,校准精度在±1%以内
- 支持多种分频时钟,可通过配置字选择

◇ INTLRC

- 内部 32KHz RC 振荡器
- WDT 计数时钟
- T8N 计数时钟
- AD 转换时钟

◇ 振荡和暂停

- 在 IDLE0 模式下,主系统时钟振荡器暂停振荡
- 在 IDLE1 模式下,主系统时钟振荡器保持振荡,系统时钟暂停

#### 5.1.2 内部结构图

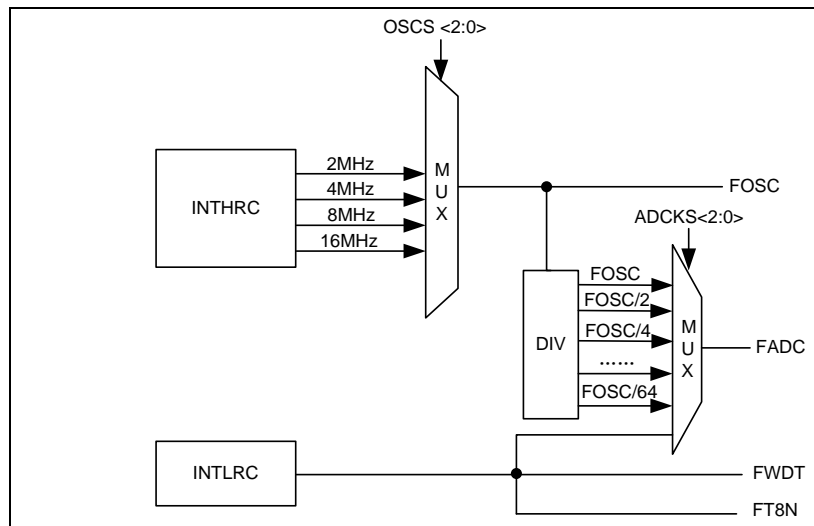


图 5-1 系统时钟结构图

#### 5.1.3 时钟源

##### 5.1.3.1 内部高速 16MHz RC 振荡器模式 (INTSRC)

芯片内置 16MHz RC 时钟振荡器,不需要外接其它外部器件。

当芯片配置字  $OSCS<2:0> = 111$  时,配置为 INTOSCIO 16MHz 模式,此时 PA0、PA1 管脚复用为通用 I/O 端口。

当芯片配置字  $OSCS\langle 2:0 \rangle = 110$  时，配置为 INTOSC 16MHz 模式，此时 PA0 管脚复用输出 CLKO，CLKO 输出系统时钟的 16 分频时钟 ( $F_{osc}/16$ )，PA1 复用为通用 I/O 端口。客户通过编程界面选择。

芯片还可以配置 2MHz/4MHz/8MHz 模式。当芯片配置字  $OSCS\langle 2:0 \rangle = 011/100/101$  时，分别配置为 INTOSCIO 2MHz 模式/INTOSCIO 4MHz 模式/INTOSCIO 8MHz 模式，此时 PA0、PA1 管脚复用为通用 I/O 端口。

在出厂前，芯片已经在常温下校准，在工作电压范围内，INTHRC 时钟频率校准精度在  $\pm 1\%$  以内。

### 5.1.3.2 内部低速 32KHz RC 振荡器模式 (INTLRC)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT、ADC 电路时钟源。

## 5.2 看门狗定时器 (WDT)

### 5.2.1 概述

看门狗定时器是芯片的一个组成部分，它可以在发生软件故障时，将芯片复位。若系统进入了异常的工作状态，看门狗可以在设定的时间范围内使芯片复位。使能看门狗后，若用户程序清除看门狗定时器失败，则在设定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为内部 32KHz RC 时钟
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

### 5.2.2 内部结构图

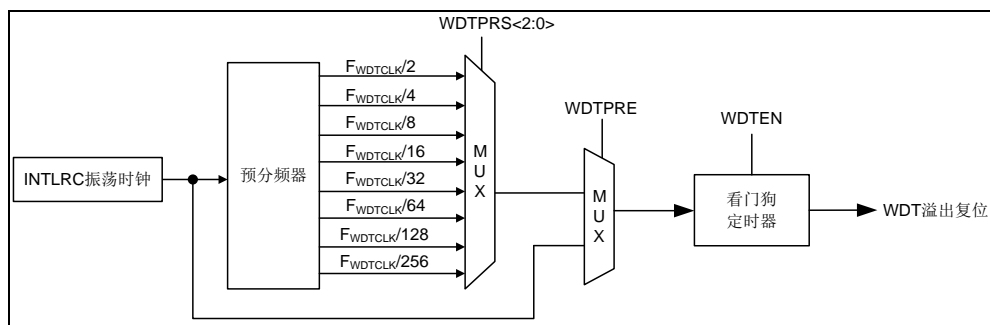


图 5-2 看门狗定时器内部结构图

### 5.2.3 WDT 定时器

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能时，WDT 定时器计数使能；当 WDTEN 关闭时，WDT 定时器计数禁止。客户可通过编程器界面选择。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，需使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，由 WDTC 寄存器中的 WDTPRE 位控制。当 WDTPRE 位清零，禁止预分频器时，常温下 WDT 的计数溢出时间约为 8ms。

当 WDTPRE 位置 1，使能预分频器时，可通过 WDTC 寄存器中的 WDTPRS<2:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。

### 5.2.4 特殊功能寄存器

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	WDTPRE	WDTPRS<2:0>		
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3 WDTPRE: WDT 预分频器使能位  
0: 禁止  
1: 使能

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位  
000: 1:2  
001: 1:4  
010: 1:8  
011: 1:16  
100: 1:32  
101: 1:64  
110: 1:128  
111: 1:256

## 5.3 复位模块

### 5.3.1 概述

- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 外部端口 N\_MRST 复位，低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

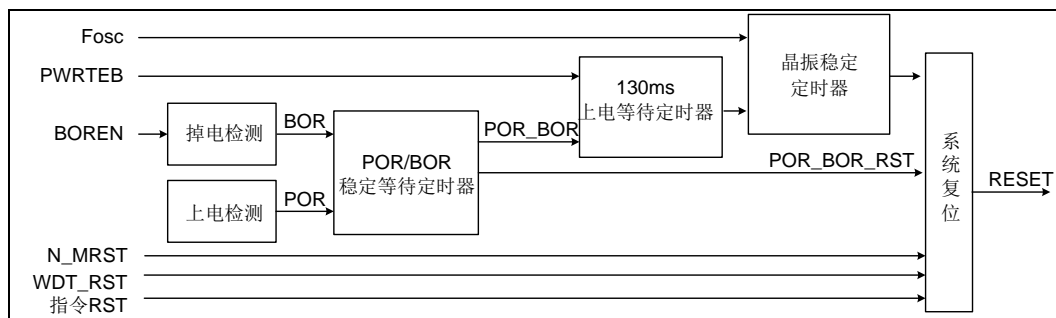


图 5-3 芯片复位原理图

### 5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

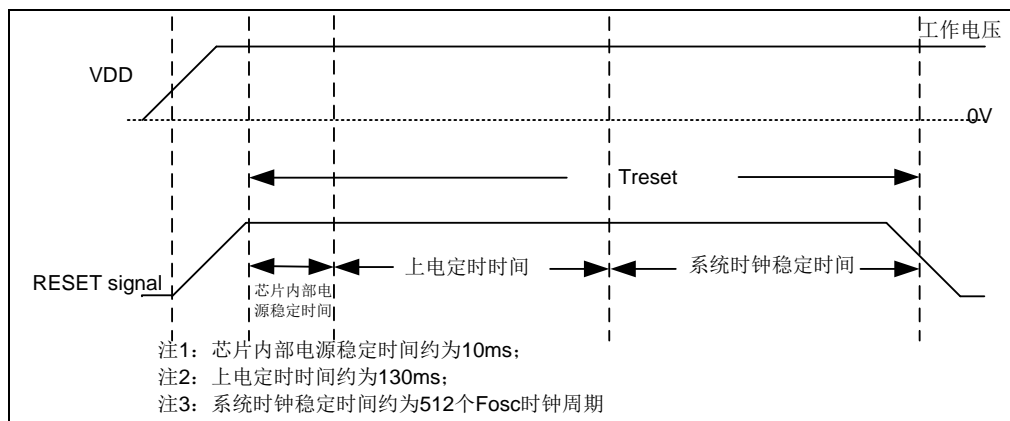


图 5-4 上电复位时序示意图

### 5.3.3 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电时可能会引起系统工作状态不正常或程序执行错误，掉电复位电路可保障芯片在异常掉电过程中处于复位状态，避免出现误操作。对电压跌落的滤波时间  $T_{filter}$ ，可通过 BORFLT 位(PWEN<3:2>)进行设置，根据所配置的 BOR 低电压档位和应用系统的供电情况，选择合适的滤波时间，通常保持为默认值。

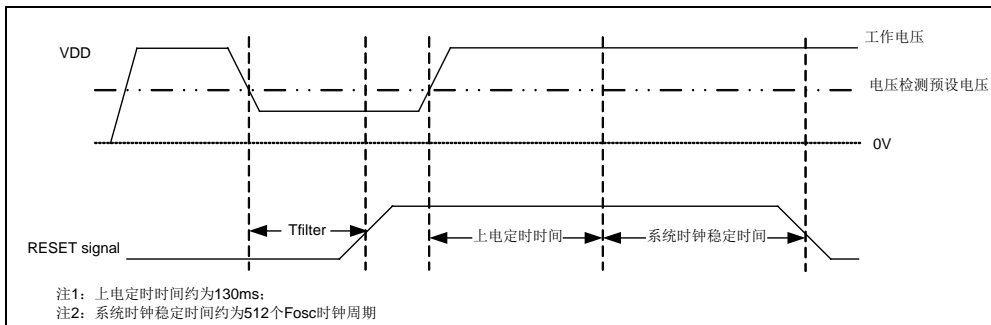


图 5-5 低电压复位时序示意图

### 5.3.4 外部N\_MRST管脚复位

芯片提供外部 N\_MRST 管脚，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，芯片配置为外部复位功能时，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外，需要特别注意的是，禁止将 N\_MRST 管脚直接连接到 VDD 上。外部复位滤波时间 Tfilter 为 200us 左右，可滤除外部复位管脚上脉宽小于 200us 的干扰脉冲信号。

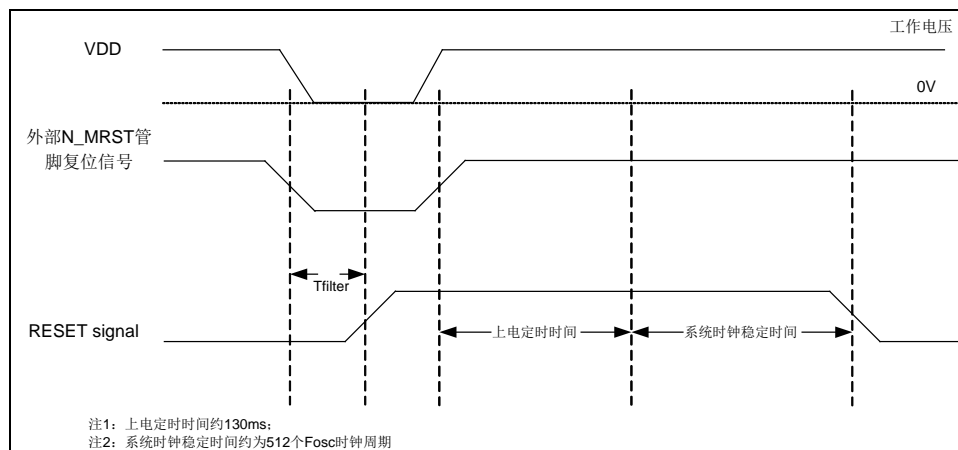


图 5-6 外部 N\_MRST 管脚复位

注：当芯片配置字 MRSTEN 配置为 1 为外部复位时，上电定时时间可以通过 PWRTEB 屏蔽。而当 MRSTEN 配置为 0 为数字输入端口时，上电定时时间固定为 130 ms。

外部 N\_MRST 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

#### 1. RC 复位

RC 复位电路是外部 N\_MRST 管脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

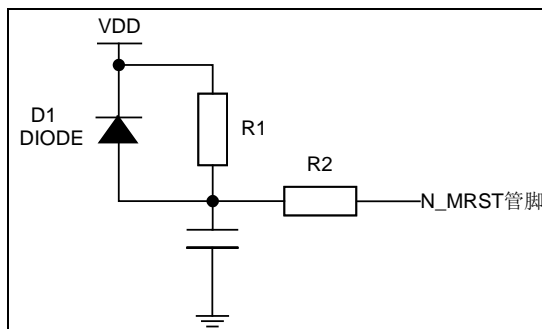


图 5-7 N\_MRST 复位参考电路图 1

注：采样 RC 复位，其中  $47K\Omega \leq R1 \leq 100K\Omega$ ，电容 C1 (0.1 $\mu$ F)，R2 为限流电阻， $0.1K\Omega \leq R2 \leq 1K\Omega$ 。

## 2. PNP 三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

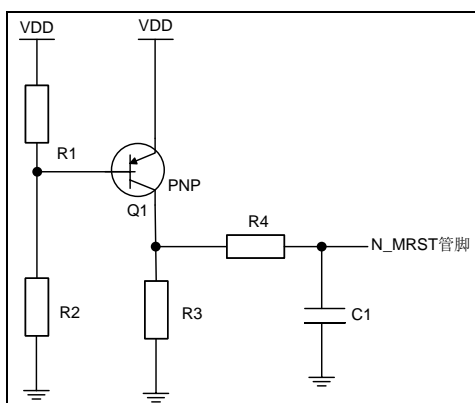


图 5-8 N\_MRST 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K $\Omega$ ) 和 R2 (10K $\Omega$ ) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K $\Omega$ ) 接地，另一路通过 R4 (1K $\Omega$ ) 和 C1 (0.1 $\mu$ F) 接地，C1 另一端作为 N\_MRST 输入。

### 5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器计数溢出，产生系统复位。看门狗溢出复位后，系统重启进入正常状态。

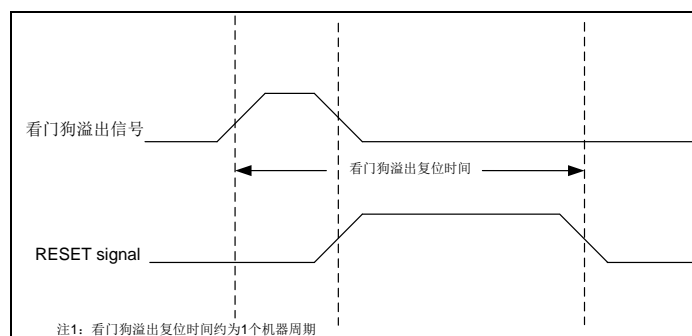


图 5-9 看门狗溢出复位

### 5.3.6 RST指令软件复位

整个芯片可通过执行 RST 指令进行复位，复位后，全部寄存器状态位都将被影响。

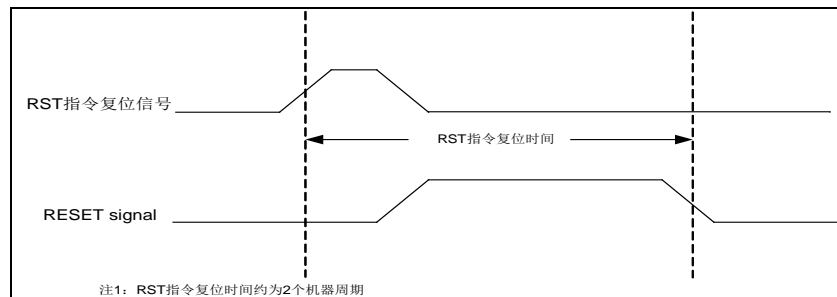


图 5-10 RST 指令软件复位

### 5.3.7 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	1	1	1	1	1	0	0

- Bit 7           LPM: 休眠模式选择位  
0: IDLE0 模式  
1: IDLE1 模式
- Bit 6~5       VRST<1:0>: LDO 稳定时间选择位  
00: 约 8 个 WDT\_RC 时钟周期  
01: 约 16 个 WDT\_RC 时钟周期  
10: 约 32 个 WDT\_RC 时钟周期  
11: 约 64 个 WDT\_RC 时钟周期
- Bit 4           N\_RSTI: 复位指令标志位  
0: 执行复位指令 (清零后必须用软件置位)  
1: 未执行复位指令
- Bit 3           N\_TO: WDT 溢出标志位  
0: WDT 计数溢出时被清零  
1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2           N\_PD: 低功耗标志位  
0: 执行 IDLE 指令后清零  
1: 上电复位或执行 CWDT 指令后置 1
- Bit 1           N\_POR: 上电复位状态位  
0: 上电复位发生 (上电复位后, 必须软件置位)  
1: 无上电复位发生
- Bit 0           N\_BOR: 低电压复位状态位  
0: 低电压复位发生 (低电压复位后, 必须软件置位)  
1: 无低电压复位发生

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电, 建议客户配置为默认值。



PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	CFGRSTF	MRSTF	PORLOST	BORFLT<1:0>		RCEN	—
R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	0	1	1

Bit 6 CFGRSTF: 配置信息加载状态位 (仅供芯片测试使用)

0: 已发生加载 (加载配置信息后, 必须软件置 1)

1: 未发生加载

Bit 5 MRSTF: 外部复位状态位

0: 已发生外部复位 (外部复位后, 必须软件置 1)

1: 未发生外部复位

Bit 4 PORLOST: 上电复位失效状态位

0: 已发生上电复位

1: 未发生上电复位

Bit 3~2 BORFLT<1:0>: BOR 滤波时间选择位

00: 约 3 个 WDT\_RC 时钟周期

01: 约 5 个 WDT\_RC 时钟周期

10: 约 7 个 WDT\_RC 时钟周期

11: 约 9 个 WDT\_RC 时钟周期

Bit 1 RCEN: WDT 内部 RC 时钟使能位 (建议设置为 1)

0: 关闭 WDT 内部 RC 时钟

1: 使能 WDT 内部 RC 时钟

Bit 0 保留未用

注: RCEN 的设置, 如果进行数据 FLASH 擦写操作时, 必须设置 RCEN=0, 关闭 WDT 功能模块, 其它情况下, 禁止关闭。

## 5.4 低功耗操作

### 5.4.1 MCU低功耗模式

芯片支持两种休眠模式：IDLE0 模式和 IDLE1 模式。

#### ◇ IDLE0 模式

- 时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N\_PD 位被清零，N\_TO 位被置 1

#### ◇ IDLE1 模式

- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N\_PD 位被清零，N\_TO 位被置 1

### 5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择，由 PWRC 寄存器中的 LPM 位控制。当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

LPM (PWRC<7>)	低功耗模式
0	IDLE0 模式
1	IDLE1 模式

表 5-1 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，N\_MRST 管脚必须处于逻辑高电平。

### 5.4.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒方式	中断屏蔽	中断使能	中断模式	备注
1	N_MRST	—	—	—	—
2	WDT	—	—	—	WDT 溢出
3	KINT	KMSK2	KIE	默认/向量	—
		KMSK3			
4	PINTx	—	PIEx	默认/向量	—

序号	唤醒方式	中断屏蔽	中断使能	中断模式	备注
5	LVDINT	—	LVDIE	默认/向量	—

表 5-2 唤醒方式配置表

注 1: 低功耗唤醒与全局中断使能无关。在低功耗模式时, 若外设产生中断信号, 即使默认中断模式下, 全局中断使能 GIE 为 0, 或向量中断模式下, 高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0, 低功耗模式依然会被唤醒, 只是唤醒后不会执行中断程序。

注 2: 外部按键, 当中断使能和中断屏蔽位使能前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。

### 5.4.4 唤醒时序图

当唤醒事件发生后, 芯片执行下述操作:

- ◇ 在 IDLE0 模式(LPM=0)下, 芯片需要先等待 VRwkdly 时间(由 VRST(PWRC<6:5>) 设定), 此时间称为 LDO 稳定时间, 之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令, Twkdly 称为唤醒延时, 唤醒延时可通过 WKDC 寄存器设置;
- ◇ 在 IDLE1 模式(LPM=1)下, 芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令, 无 VRwkdly 时间。

低功耗模式	计算公式
IDLE1 模式	$(WKDC[7:0]+1) \times 2 T_{osc}$
IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$

表 5-3 唤醒时间计算表

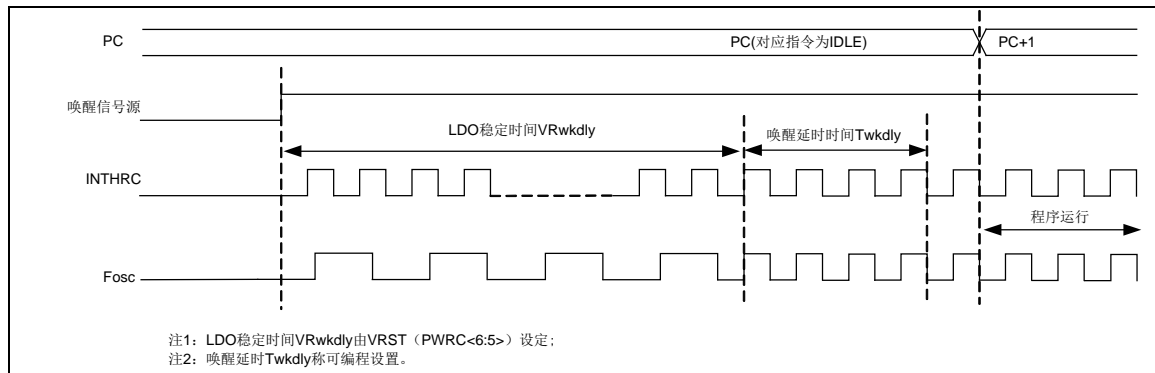


图 5-11 系统时钟为 INTHRC 时, 系统唤醒 IDLE0 的时序图

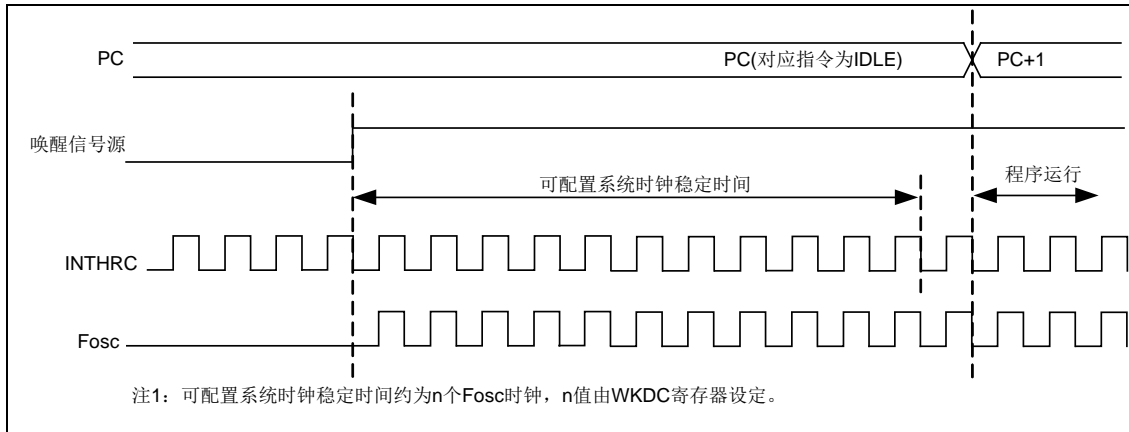


图 5-12 系统时钟为 INTHRC 时, 系统唤醒 IDLE1 的时序图

### 5.4.5 特殊功能寄存器

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时时间设置位

00<sub>H</sub>: 延时最短

.....

FF<sub>H</sub>: 延时最长

## 第6章 外设

### 6.1 定时/计数器 (Timer/Counter) 模块

定时/计数器模块包括一组 8 位定时器/计数器 T8N，3 组 12 位带死区互补的增强型 PWM 时基定时器 T11/T12/T13。

#### 6.1.1 8 位定时/计数器 (T8N)

##### 6.1.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T8NCKI) 进行计数。

- ◇ T8N 支持两种工作模式
  - 定时器模式 (时钟源为系统时钟二分频 (Fosc/2) 或者 WDT\_RC (INTLRC) 时钟)
  - 同步计数器模式 (时钟源为外部输入时钟 T8NCKI)
- ◇ T8N 支持以下功能组件
  - 8 位预分频器 (无实际物理地址, 不可读写)
  - 8 位计数器寄存器 (T8N)
  - 8 位控制寄存器 (T8NC)
- ◇ 中断和暂停
  - 支持溢出中断标志 (T8NIF)
  - 支持中断处理
  - 在 IDLE 模式下, T8N 暂停工作

##### 6.1.1.2 内部结构图

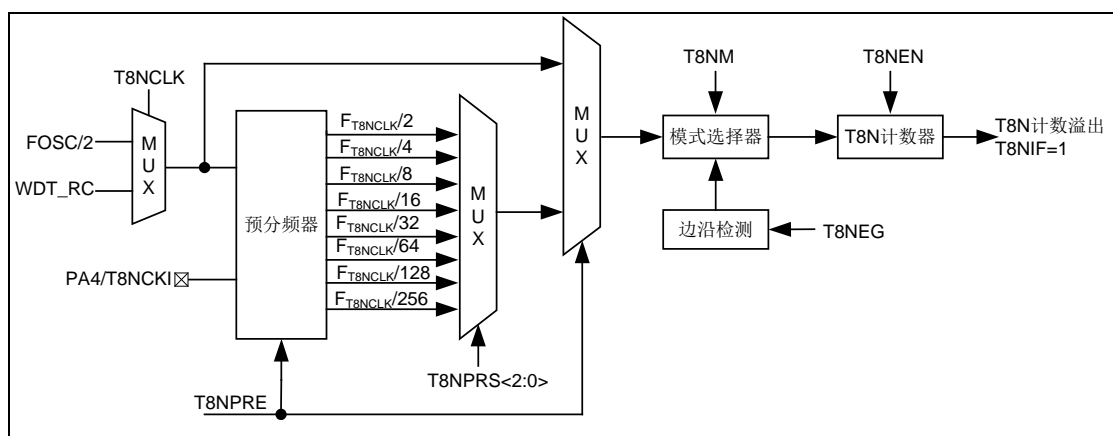


图 6-1 T8N 内部结构图

##### 6.1.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T8NC 寄存器中的 T8NPRE 为“1”时，使能 T8N 预分频器。任何对 T8N 计数器的写操作都会清零预分频器，但不影响预分频器的分频比设置，预分频器的计数值无法读写。预分频器的分频比可通过 T8NC 寄存器中的 T8NPRS<2:0>位进行设置，预分频比范围为 1:2~1:256。注意，当使用

WDT\_RC 为计数时钟时，必须使能预分频控制位。

工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
			T8NCLK=0	T8NCLK=1
定时器模式	0	—	Fosc/2	—
	1	000	(Fosc/2) /2	Fwdt_rc /2
	1	001	(Fosc/2) /4	Fwdt_rc /4
	1	010	(Fosc/2) /8	Fwdt_rc /8
	1	011	(Fosc/2) /16	Fwdt_rc /16
	1	100	(Fosc/2) /32	Fwdt_rc /32
	1	101	(Fosc/2) /64	Fwdt_rc /64
	1	110	(Fosc/2) /128	Fwdt_rc /128
	1	111	(Fosc/2) /256	Fwdt_rc /256
工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
计数器模式	0	—	T8NCKI	
	1	000	T8NCKI /2	
	1	001	T8NCKI /4	
	1	010	T8NCKI /8	
	1	011	T8NCKI /16	
	1	100	T8NCKI /32	
	1	101	T8NCKI /64	
	1	110	T8NCKI /28	
	1	111	T8NCKI /256	

表 6-1 T8N 预分频器配置表

#### 6.1.1.4 工作模式

T8N 有两种工作模式，定时器模式和计数器模式，通过 T8NM 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T8N 计数器的时钟源可通过 T8NC 寄存器中的 T8NCLK 位选择为系统时钟 2 分频 (Fosc/2) 或 WDT\_RC；配置为计数器模式时，T8N 计数器的时钟源为经二分频后的系统时钟 Fosc/2 同步的外部输入时钟 T8NCKI，因此 T8NCKI 输入时钟信号的高电平和低电平时间都至少为一个机器周期。通过 T8NC 寄存器中的 T8NEG 位选择外部时钟的计数边沿为上升沿或下降沿。T8NCKI 所在 IO 端口必须配置为数字输入状态。

T8NM	T8NCLK	工作模式	时钟源
0	0	定时器模式	Fosc/2
0	1	定时器模式	WDT_RC
1	0	同步计数器模式	T8NCKI

表 6-2 T8N 工作模式配置表

#### 6.1.1.5 定时器模式

T8N 计数器为递增计数，计数值由 FF<sub>H</sub> 变为 00<sub>H</sub> 时，T8N 计数器发生溢出并重新开始计

数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

当 T8N 配置为定时器模式时，若禁止预分频器，则 T8N 计数器的时钟只能选择为系统时钟二分频 (Fosc/2)，不能选择为 WDT\_RC；若使能预分频器，分频器对 Fosc/2 或 WDT\_RC 进行分频，此时，T8N 计数器的计数时钟为分频后的时钟。

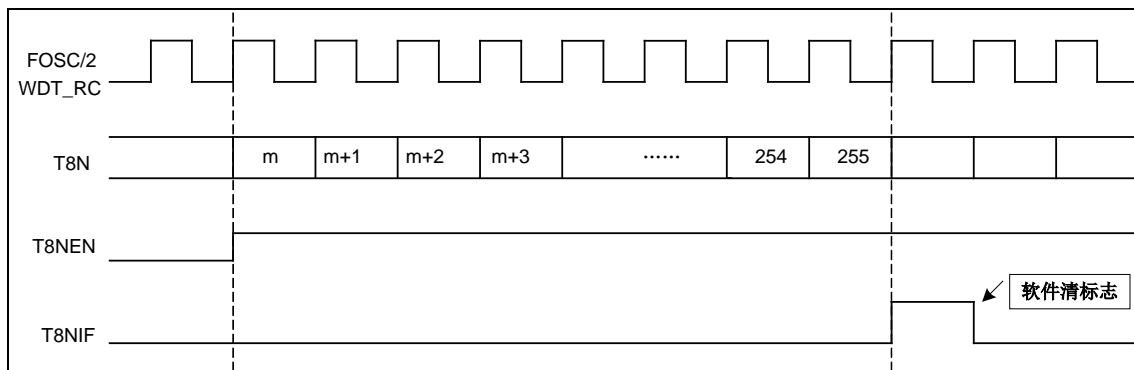


图 6-2 定时器模式时序图

### 6.1.1.6 同步计数器模式

当 T8N 配置为同步计数器模式时，若禁止预分频器，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对时钟 T8NCKI 进行同步。所以 T8NCKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，同步计数器模式也支持预分频器对外部时钟 T8NCKI 进行分频。并且，T8NCKI 复用的 IO 端口必须配置为数字输入状态。

T8N 计数器为递增计数，计数值由 FF<sub>H</sub> 变为 00<sub>H</sub> 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

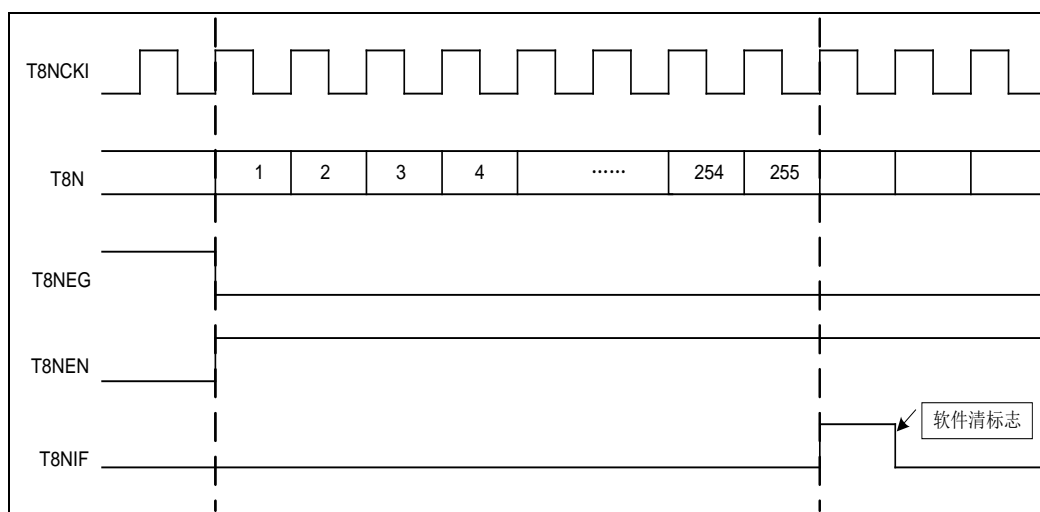


图 6-3 计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)

### 6.1.1.7 特殊功能寄存器

8 位定时器/计数器 T8N 由两个寄存器控制，一个 8 位计数器寄存器 T8N 和一个控制寄存器 T8NC。T8N 寄存器用于存放计数值，T8NC 控制寄存器用于控制 T8N 的使能、T8N 的模式选择、T8NCKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T8N: T8N 计数器寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8N <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 T8N <7:0>: 8 位 T8N 计数值

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7 T8NEN: T8N 模块使能位  
0: 关闭  
1: 使能
- Bit 6 T8NCLK: T8N 定时时钟源选择位  
0: 系统时钟二分频  $F_{osc}/2$   
1: WDT\_RC 时钟 (必须同时使能 T8N 的预分频控制位, 即 T8NPRE=1)
- Bit 5 T8NM: T8N 模式选择位  
0: 定时器模式  
1: 同步计数器模式
- Bit 4 T8NEG: T8NCKI 同步计数边沿选择位  
0: T8NCKI 上升沿计数  
1: T8NCKI 下降沿计数
- Bit 3 T8NPRE: 预分频器使能位  
0: 禁止  
1: 使能
- Bit 2~0 T8NPRS <2:0>: 预分频器分频比选择位  
000: 1:2  
001: 1:4  
010: 1:8  
011: 1:16  
100: 1:32  
101: 1:64  
110: 1:128  
111: 1:256



## 6.1.2 12 位带死区互补的增强型PWM时基定时器 (T11/T12/T13)

### 6.1.2.1 概述

- ◇ T1x 支持四类工作模式
  - 定时器/计数器模式
  - 捕捉模式
  - 单脉冲发射模式
  - PWM 模式
- ◇ 定时器模式
  - 定时器模式 (时钟源为系统时钟  $F_{osc}$ )
- ◇ T1x 支持以下功能组件
  - 5 位的预分频器 1、4 位的预分频器 2 和后分频器 (无实际物理地址, 软件不可读写)
  - 12 位计数器 (T1xL 和 T1xH)
  - 12 位精度寄存器 (T1xRL 和 T1xRH)
  - 12 位周期寄存器 (T1xPL 和 T1xPH)
  - 控制寄存器 (T1xC 和 T1xCH)
  - 捕捉控制寄存器 (T1xCAPC)
  - 全程循环计数次数寄存器 (T1xCNTM)
  - PWM 输出控制寄存器 (T1xOC)
  - PWM 配置寄存器 (PWMxC)
  - PWM 死区控制寄存器 (PDDxC)
  - PWM 自动关断寄存器 (TExAS)
  - PWM 沿检测延时寄存器 (TMRADC)
- ◇ PWM 模式
  - 最多支持 6 路 PWM 输出
  - PWM 死区设置
  - PWM 互补输出
  - PWM 关断事件
  - PWM 自动重启
  - PWM 沿启动 AD 转换
- ◇ 中断和暂停
  - 支持匹配中断标志 (T1xIF)
  - 支持 PWM 周期中断标志 (T1xPIF)
  - 支持中断处理

### 6.1.2.2 内部结构图

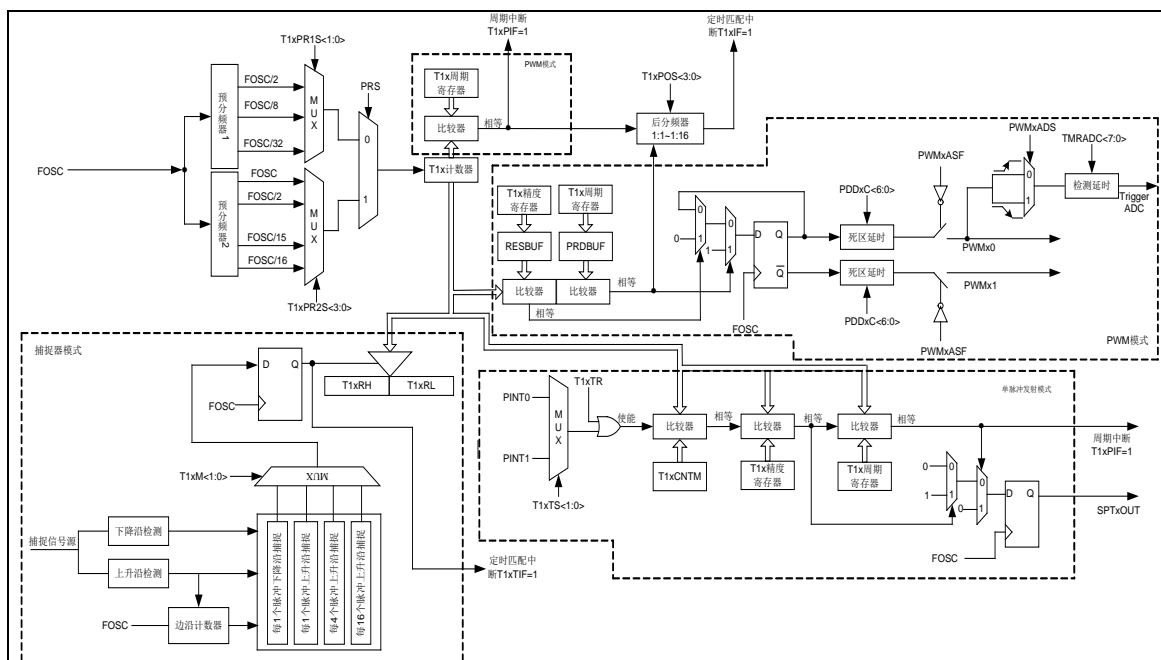


图 6-4 T1x 定时器结构图

### 6.1.2.3 预分频和后分频器

预分频器和后分频器可以提供一个更长的溢出和中断周期。T1x 模块计数器支持 2 个预分频器和 1 个后分频器：可配置的 5 位预分频器 1、4 位预分频器 2 和可配置的 4 位后分频器。

预分频器与后分频器的计数值都无法读写，修改 T1x 的控制寄存器或计数器都会清零预分频器和后分频器，但不改变分频比设置。预分频器 1 的分频比可通过 T1xC 寄存器中的 T1xPR1S<1:0>位进行设置，预分频比范围为 1:2~1:32。预分频器 2 的分频比可通过 T1xC 寄存器中的 T1xPR2S<3:0>位进行设置，预分频比范围为 1:1~1:16。后分频器的分频比可通过 T1xC 寄存器中的 T1xPOS<3:0>位进行设置，后分频比范围为 1:1~1:16，通过计数器与周期寄存器值的匹配，来进行后分频。

PRS=0 T1XPR1S<1:0>	PRS=1 T1XPR2S<3:0>	T1x 计数时钟
—	0000	Fosc
00	0001	Fosc/2
—	0010	Fosc/3
—	0011	Fosc/4
—	0100	Fosc/5
—	0101	Fosc/6
—	0110	Fosc/7
01	0111	Fosc/8
—	1000	Fosc/9
—	1001	Fosc/10
—	1010	Fosc/11

PRS=0	PRS=1	T1x 计数时钟
T1XPR1S<1:0>	T1XPR2S<3:0>	
—	1011	Fosc/12
—	1100	Fosc/13
—	1101	Fosc/14
—	1110	Fosc/15
—	1111	Fosc/16
1x	—	Fosc/32

表 6-3 T1x 预分频配置表

T1xPOS<3:0>	T1x 匹配中断
0000	计数器与周期寄存器匹配 1 次
0001	计数器与周期寄存器匹配 2 次
0010	计数器与周期寄存器匹配 3 次
0011	计数器与周期寄存器匹配 4 次
0100	计数器与周期寄存器匹配 5 次
0101	计数器与周期寄存器匹配 6 次
0110	计数器与周期寄存器匹配 7 次
0111	计数器与周期寄存器匹配 8 次
1000	计数器与周期寄存器匹配 9 次
1001	计数器与周期寄存器匹配 10 次
1010	计数器与周期寄存器匹配 11 次
1011	计数器与周期寄存器匹配 12 次
1100	计数器与周期寄存器匹配 13 次
1101	计数器与周期寄存器匹配 14 次
1110	计数器与周期寄存器匹配 15 次
1111	计数器与周期寄存器匹配 16 次

表 6-4 T1x 后分频器配置表

#### 6.1.2.4 工作模式

T1x 提供 4 类工作模式，定时器/计数器模式、PWM 模式、捕捉模式和单脉冲发射模式，通过 T1xCH 寄存器中的 T1xM2 位和 T1xC 寄存器中的 T1xM1 位进行模式选择。

T1xM2, T1xM1	工作模式
00	定时器模式
01	PWM 模式
10	捕捉模式
11	单脉冲发射模式

表 6-5 T1x 工作模式配置表

#### 6.1.2.5 定时器模式

当 T1xM2=0, T1xM1=0, T1x 配置为定时器模式。

在定时器模式下，T1x 计数器的时钟源为系统时钟 Fosc，并支持预分频器和后分频器。可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

T1x 在定时器模式下对计数时钟进行递增计数，当 T1x 的计数值与周期寄存器 T1xP 相等时，T1x 被自动清零并重新开始计数，后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 T1xIF 置“1”，该中断标志需要软件清零。

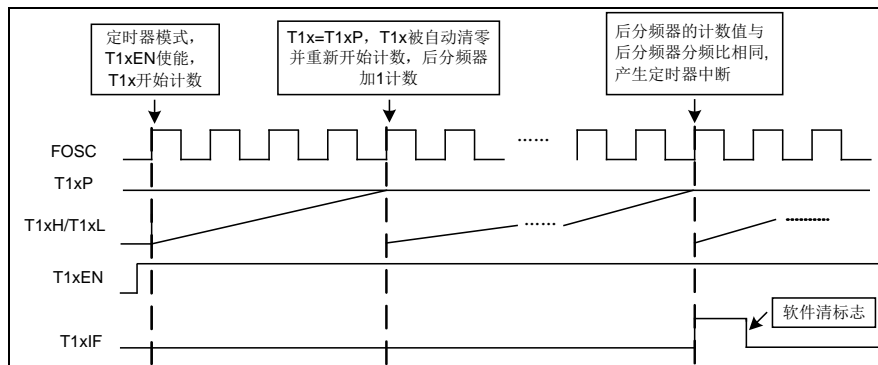


图 6-5 T1x 定时器模式时序图

### 6.1.2.6 捕捉功能扩展

当 T1xM2=1, T1xM1=0 时，为捕捉器功能扩展。在此模式下，T1x 对 T1xCI、PWM 输出等输入信号进行实时监测，在初始化 T1x 时，必须将相应的 T1xCI 端口所在的管脚设置成输入状态。

T1x 配置为捕捉模式时，时钟源为系统时钟 Fosc。12 位计数器 T1x (T1nH,T1nL) 进行递增计数，当输入信号的变化状态满足捕捉条件时，将 T1x 计数器的值捕捉到寄存器 (T1xRH:T1xRL) 中，并产生捕捉中断，产生的中断标志必须由软件清零。当捕捉条件满足时，若 T1xRH/T1xRL 内的捕捉值未被及时读取，那么当下次捕捉条件满足时，会被新的捕捉值覆盖。

T1x 为捕捉器功能时，预分频器可使用。但改变捕捉条件时，预分频器不会被清零。因此，当切换捕捉条件后，首次捕捉时，预分频器的计数初值可能不为 0。

T1x 支持 4 种捕捉条件，可通过 T1xCAP<1:0>选择捕捉条件：

- 捕捉每 1 个下降沿脉冲
- 捕捉每 1 个上升沿脉冲
- 捕捉每 4 个上升沿脉冲
- 捕捉每 16 个上升沿脉冲

T1x 支持 1 个用于捕捉条件判断的边沿计数器。此边沿计数器仅在捕捉模式有效。当 T1x 关闭或切换为其它模式时，该边沿计数器被清零。但在 T1x 的 4 种捕捉条件相互切换时，该边沿计数器不会被清零。因此，当切换捕捉模式后，首次捕捉可能存在误差，同时也可能导致错误的中断产生。为了避免产生错误中断，用户在改变模式时应该禁止 T1x 相应中断使能位，并且清除中断标志。

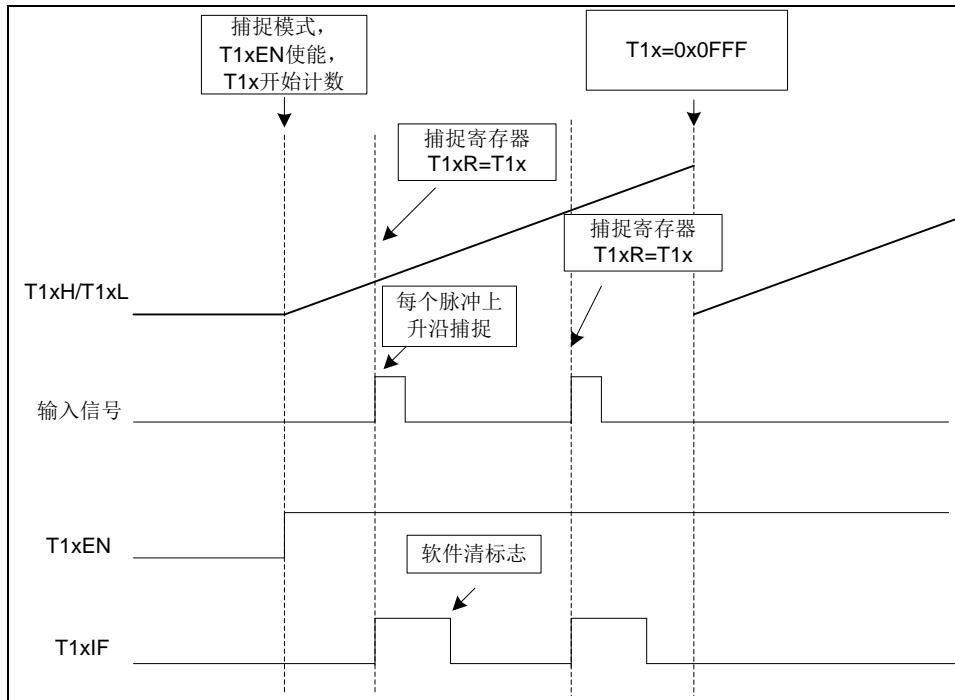


图 6-6 T1x 捕捉模式时序图（每个脉冲上升沿捕捉信号）

### 6.1.2.7 单脉冲发射模式

当  $T1xM2=1$ ,  $T1xM1=1$  时，为单脉冲发射模式，单脉冲发射周期包括等待周期和脉冲周期两部分。

等待周期由两部分组成，此两部分等待时间分别由寄存器  $T1xCNTM$  和  $T1xR$  控制。当单脉冲触发标志位  $T1xTR$  被置一，计数器  $T1x$  从零开始循环计数，直到计数溢出次数和  $T1xCNTM$  匹配为止；循环计数完成后，计数器  $T1x$  被清零，又重新开始计数，直到和寄存器  $T1xR$  匹配为止，计数器  $T1x$  被清零，整个等待周期完成。在等待周期期间， $PWMx0$  输出一直为低。

脉冲周期，主要由寄存器  $T1xP$  控制，等待周期结束后， $T1x$  继续从零开始计数，直到和  $T1xP$  匹配为止，计数器  $T1x$  和寄存器  $T1xTR$  被清零，并产生周期中断。脉冲周期期间， $PWMx0$  输出一定周期宽度的单脉冲。

$PWMx1$  为  $PWMx0$  的互补输出，不支持死区时间设置和极性输出控制。

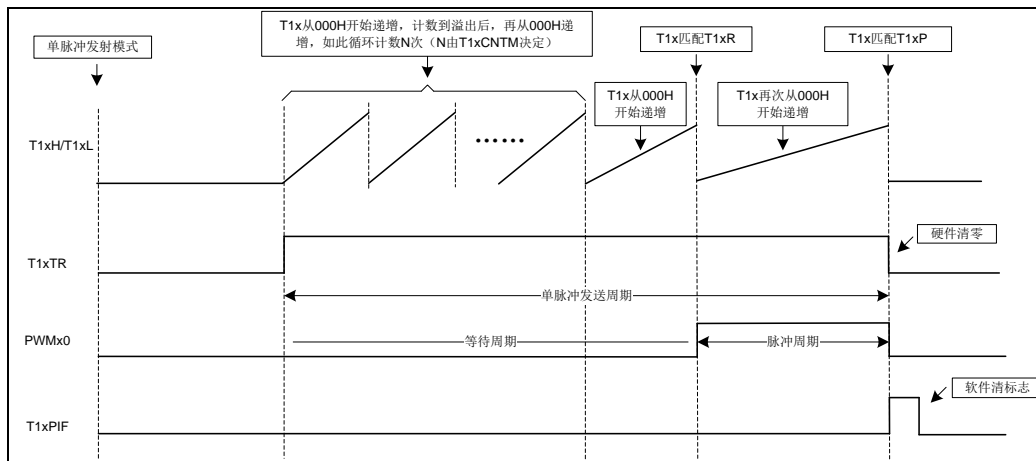


图 6-7 T1x 单脉冲发射模式示意图

### 计数器和分频器

此模式下计数器 T1x 的预分频器可用, 后分频器不可用。进入此工作模式后, 计数器 T1x 先清 0 并处于等待状态, 直到单脉冲触发标志位 T1xTR 被置 1 后才开始计数。单脉冲发射周期计数完成后, 寄存器 T1xTR 位硬件自动清 0, 同时将周期中断标志 T1xPIF 置 1, 并且计数器 T1x 再次清 0 进入等待状态, 等待下一次触发事件。

注: T1xTR 保持为 1 时, 如再发生触发事件, 将被忽略。

### 触发事件

支持两种触发事件: PINTx 端口外部中断事件、软件将 T1xTR 位置 1。

### 等待周期和脉冲周期

等待周期 = T1x 计数时钟周期 × (4096 × T1xCNTM + (T1xR+1))

脉冲周期 = T1x 计数时钟周期 × (T1xP+1)

注: T1x 计数时钟周期为时钟源经过预分频器后的时钟周期。

## 6.1.2.8 PWM模式

当 T1xM2=0, T1xM1=1, T1x 配置为 PWM 模式。计数时钟源为系统时钟 Fosc, 并支持预分频器。后分频器的设置不影响 PWM 输出周期和占空比; 只影响 T1xIF 中断标志位的产生。

在起始周期内, PWM 输出始终为 0。当 T1x 从初始值递增计数到与周期寄存器 T1xP 的周期缓冲寄存器相等时, 精度寄存器 T1xR 的数值被载入精度缓冲寄存器, 并产生中断标志 T1xPIF。T1xP 的周期缓冲寄存器和精度缓冲寄存器不可读写。

起始周期完成后, T1x 从零开始重新计数, PWM 输出为 1, 当 T1x 与精度缓冲寄存器的值相等时, PWM 输出改变为 0。当 T1x 的计数值与 T1x 的周期缓冲寄存器再次相等时, PWM 输出恢复为 1, 同时将当前 T1xR 的数值载入精度缓冲寄存器内, 产生 T1xPIF 中断标志。T1x 清零又重新开始计数, 循环 PWM 周期。当后分频器的计数值与后分频器分频比相同时, 复位后分频器, 并将定时中断标志 T1xIF 置“1”, 该中断标志需要软件清零。

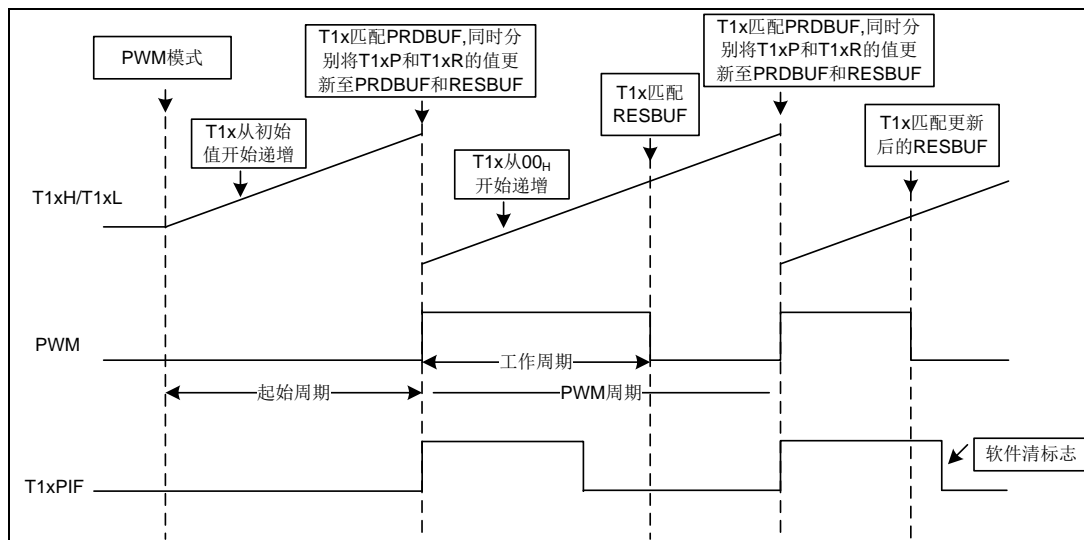


图 6-8 PWM 输出模式示意图

注：若精度缓冲寄存器的值为 0，则当前 PWM 周期内 PWMx0 输出始终为负极性有效电平；  
若精度缓冲寄存器的值大于 T1xP，则当前 PWM 周期内 PWMx0 输出始终为正极性有效电平。

PWM1xUD 为缓冲器即时更新使能位，当精度和周期寄存器更新时，如果 PWM1xUD=0，禁止精度和周期缓冲器的即时更新，只在当前 PWM 周期结束后才更新；如果 PWM1xUD=1，使能精度和周期缓冲器即时更新（缓冲器数据更新后，硬件自动清零 PWM1xUD）。

由于 T1xR 和 T1xP 分别是由高、低寄存器组成，如果修改了 T1xR 或 T1xP 的值，为了保证在下一次 PWM 周期内，T1xRL、T1xRH 或 T1xPL、T1xPH 都能同时更新到相应的缓冲寄存器内，在应用时可以采用以下两种方式中的任意一种方式：

1) 在当前 PWM 周期结束后，进入中断服务程序，在中断服务程序中修改 T1xR 或 T1xP 的值：

```

ISR:
MOVI    0X03                                ;周期值 0x3FF
MOVA    T1xPH
MOVI    0X00                                ;精度值 0x0FF
MOVA    T1xRH
MOVI    0XFF
MOVA    T1xPL
MOVI    0XFF
MOVA    T1xRL
BSS     T1xOC,PWM1xUD                        ;周期缓冲器或精度缓冲器立即更新
...
    
```

2) 不进入中断服务程序，需按以下步骤进行：

```

BCC     T1xOC,PWM1xUD
BCC     INTE0,T11PIE (BCC     INTE1,T12PIE) ;关中断
MOVI    0X03                                ;周期值 0x3FF
MOVA    T1xPH
    
```

```

MOVI    0X00                ;精度值 0x0FF
MOVA    T1xRH
MOVI    0XFF
MOVA    T1xPL
MOVI    0XFF
MOVA    T1xRL
BSS     T1xOC,PWM1xUD      ;周期缓冲器或精度缓冲器立即更新
MOVI    0X00                ;计数器清零
MOVA    T1xH
MOVI    0X00
MOVA    T1xL
BCC     INTF0,T11PIF (BCC  INTF1,T12PIF) ;清除中断标志位
BSS     INTE0,T11PIE (BSS  INTE1,T12PIE) ;使能中断使能位
...     .....

```

T1x 在 PWM 模式时，可通过 PWMxC 寄存器中的 P1Mx 来选择 PWM 输出端口为标准输出或增强输出。

当 P1Mx=0 时，为标准输出，PWMx0、PWMx1 为 3 组互补 PWM 输出端口；当 P1Mx=1 时，为增强输出，增加了死区控制，PWMx0 与 PWMx1 为 3 组带死区互补 PWM 输出端口，此时 PWMx0 和 PWMx1 两路调制波输出之间，可设置一个可编程死区延时时间 Tdelay，来防止功率器件直通，引起瞬间大电流损坏功耗设备。

死区时间由设置的系统时钟的分频值（由 PDDxPR<1:0>选择）和死区控制寄存器 PDDxC<6:0>的值决定。Tdelay = T<sub>osc</sub> × 死区时钟分频比 × (PDDxC<6:0>)。死区时间必须小于 PWM 的脉宽，否则输出无效。

### 6. 1. 2. 9 PWM输出极性

3 组互补 PWM 输出 PWMx0 与 PWMx1 的输出极性，可通过寄存器 PWMxM<1:0>控制，可根据具体应用而选择输出高有效还是低有效。不同极性输出波形图，如参考下图。



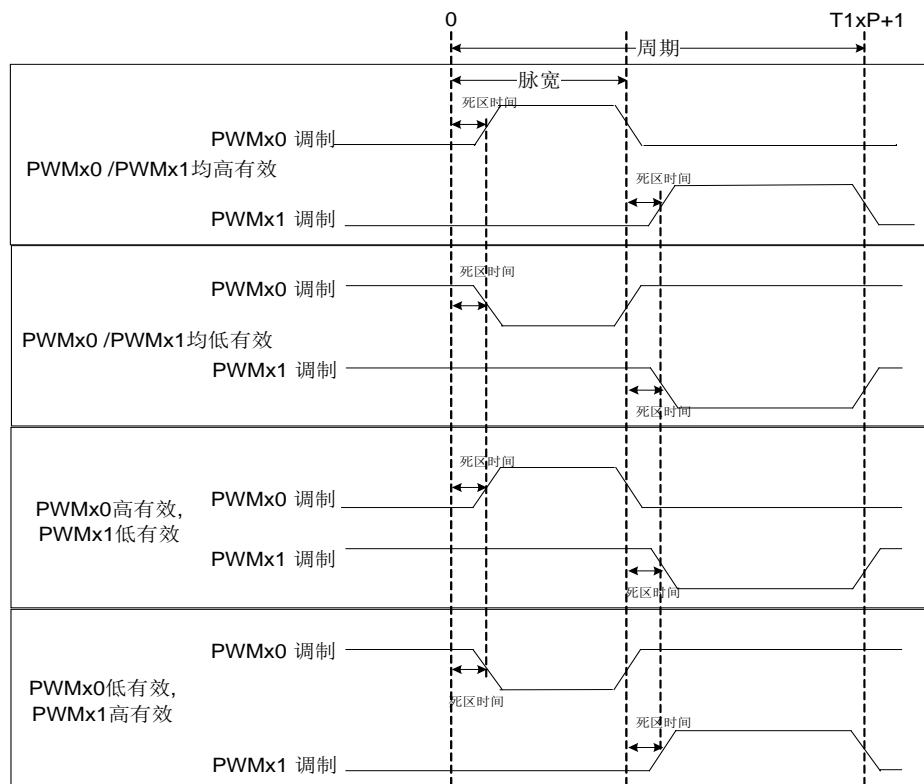


图 6-9 PWM 带死区互补输出极性示意图

PWM 输出端口与 I/O 端口复用，可通过 T1xOC 寄存器中的 PWMx0EN 和 PWMx1EN 进行灵活设置选择。当此位设置为 0 时，复用端口 Px 作为普通 I/O；当此位设置为 1，并且 PWM 复用 I/O 的 PxT 设置为输出状态时，则相应的 Px 端口输出 PWM 波形。

PWM 计算公式如下：

$$\text{PWM 周期} = [T1xP+1] \times T_{osc} \times (T1x \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = T1xR \times T_{osc} \times (T1x \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

$$\text{PWM 分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注：Tosc = 1/Fosc，Fpwm = 1/(PWM 周期)，Fckps 为 T1x 预分频比。

### 6.1.2.10 PWM 关断事件和重启

本系列芯片支持一种关断事件，PA3/N\_EPAS 管脚输入“0”关断事件。

当自动关断位 PWMxAS0 使能，PA3/N\_EPAS 管脚输入为“0”时，会发生自动关断事件。

当关断事件发生后，PWM 输出管脚处于关断状态，管脚的关断状态可通过设置寄存器 TExAS<1:0>位控制，PWM 输出管脚可以被设置输出为“1”、“0”或者高阻（三态）。

在关断状态下，关断事件标志位 PWMxASF (TExAS<7>) 置 1，T1x 计数器被清零。如果关断事件未撤离，关断事件标志位不能被清零。

如果 PWM 重启控制位 PRSENx (PDDxC<7>) 位为 1，当关断事件撤离后，硬件会自动清零 PWMxASF，T1x 计数器重新开始计数，并重启 PWM 功能；如果 PRSENx 位为 0，当关断事件撤离后，需要用软件清零 PWMxASF 后，T1x 计数器重新开始计数，重启 PWM 功能。

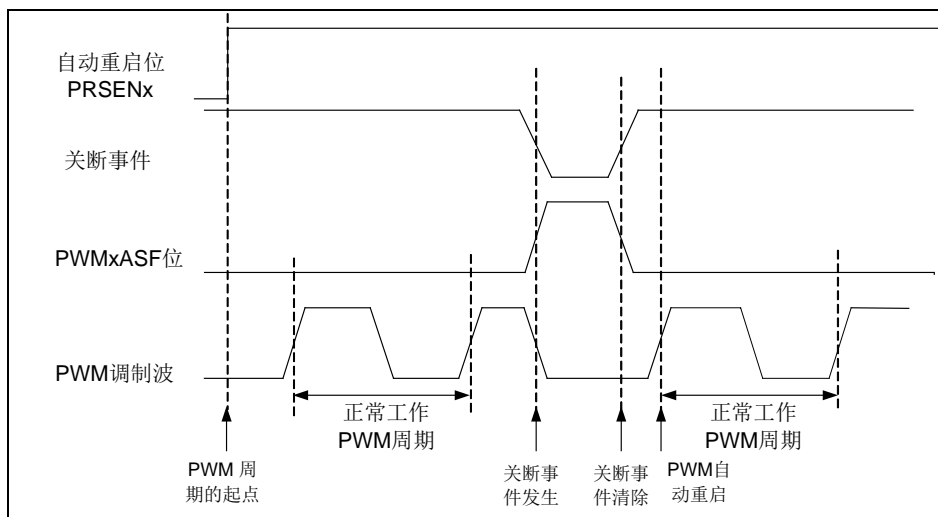


图 6-10 PWM 关断与自动重启

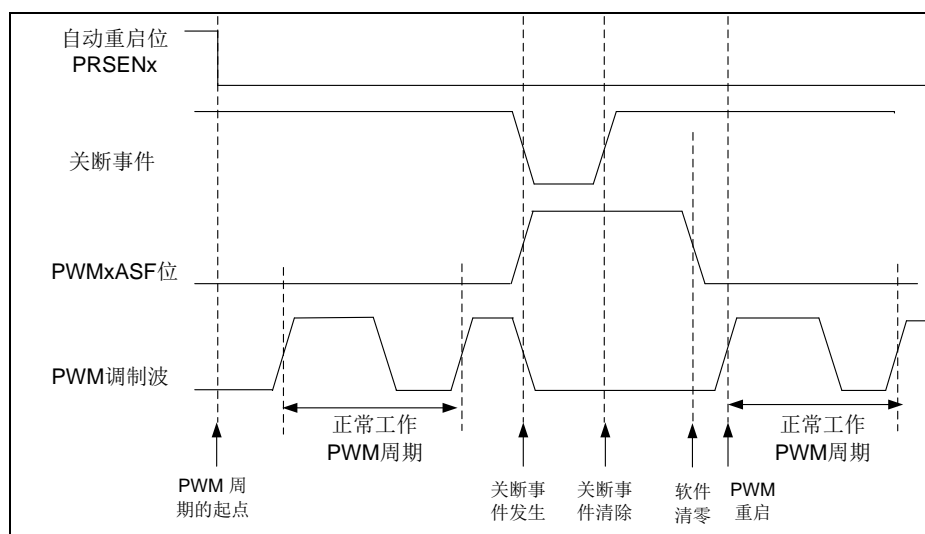


图 6-11 PWM 关断与软件重启

启动注意事项:

注 1: PWMxC<1:0>位允许用户为每一组 PWM 输出引脚选择输出有效信号。避免导致应用电路的损坏，因此不推荐在 PWM 管脚为输出状态时，改变输出极性的配置。

注 2: 在 PWM 功能扩展模块初始化工作完成后，再将 PWMx0 和 PWMx1 所在的 IO 管脚设置为输出状态。

### 6.1.2.11 PWM沿启动A/D转换

当 A/D 转换使能位 ADEN (ADCCL<0>) 为 1，A/D 转换器使能，且 A/D 采样模式选择位 SMPS (ADCCL<2>) 位为 1，硬件采样使能时，支持 PWM 输出沿启动 A/D 转换。

为了保证有效沿启动 A/D 转换，在 PWM 输出沿后增加了可配置延时滤波电路。当 PWM 沿启动 ADC 使能位 PWMxADEN (PWMxC<7>) 置为 1 时，通过软件配置 8 位 PWM 沿检测延时寄存器 TMRADC。设置 PWM 沿启动 ADC 选择位 PWMxADS (PWMxC<3>) 选择启动沿，当 PWMxADS 为 0 时，内部计数器在 PWM 的上升沿开始计数；当 PWMxADS 为 1 时，内部计数器在 PWM 的下降沿开始计数。当计数器计数值大于 TMRADC 时，产生启动 A/D 转换的触发信号，硬件自动启动 A/D 转换。

在 A/D 转换还未完成前，硬件自动屏蔽启动 A/D 转换的 PWM 触发信号沿。

内部计数器计数时钟为系统时钟 Fosc。在 IDLE 模式下，PWM 停止工作，不能触发 A/D 转换。

### 6.1.2.12 特殊功能寄存器

T1xL: T1x 低 8 位计数器 (T11L/T12L/T13L)								
Bit	7	6	5	4	3	2	1	0
Name	T1xL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1xL <7:0>: T1x 低 8 位计数器

T1xH: T1x 高 4 位计数器 (T11H/T12H/T13H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T1xH<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3~0 T1xH <3:0>: T1x 高 4 位计数器

T1xC: T1xC 控制寄存器 (T11C/T12C/T13C)								
Bit	7	6	5	4	3	2	1	0
Name	T1xM1	T1xPOS<3:0>				T1xEN	T1xPR1S<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T1xM1: T1x 工作模式高位选择位 T1xM2, 低位选择位 T1xM1,

- 00: 定时器模式
- 01: PWM 模式
- 10: 捕捉模式
- 11: 单脉冲发射模式

Bit 6~3 T1xPOS<3:0>: T1x 后分频器分频比选择位

- 0000: 分频比为 1:1
- 0001: 分频比为 1:2
- 0010: 分频比为 1:3
- ...
- 1111: 分频比为 1:16

- Bit 2            T1xEN: T1x 使能位  
                  0: 关闭 T1x  
                  1: 使能 T1x
- Bit 1~0        T1xPR1S<1:0>: T1x 预分频器 1 分频比选择位  
                  00: 分频比为 1:2  
                  01: 分频比为 1:8  
                  1x: 分频比为 1:32

T1xCH: T1xC 高位控制寄存器 (T11CH/T12CH/T13CH)								
Bit	7	6	5	4	3	2	1	0
Name	T1xM2	—	—	PRStx	T1xPR2S<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7            T1xM2: T1x 工作模式高位选择位 T1xM2, 低位选择位 T1xM1  
                  00: 定时器模式  
                  01: PWM 模式  
                  10: 捕捉模式  
                  11: 单脉冲发射模式
- Bit 6~5        未使用
- Bit 4            PRStx: T1x 预分频器选择位  
                  0: 预分频器 1  
                  1: 预分频器 2
- Bit 3~0        T1xPR2S<3:0>: T1x 预分频器 2 分频比选择位  
                  0000: 分频比为 1:1  
                  0001: 分频比为 1:2  
                  0010: 分频比为 1:3  
                  0011: 分频比为 1:4  
                  0100: 分频比为 1:5  
                  0101: 分频比为 1:6  
                  0110: 分频比为 1:7  
                  0111: 分频比为 1:8  
                  1000: 分频比为 1:9  
                  1001: 分频比为 1:10  
                  1010: 分频比为 1:11  
                  1011: 分频比为 1:12  
                  1100: 分频比为 1:13  
                  1101: 分频比为 1:14  
                  1110: 分频比为 1:15  
                  1111: 分频比为 1:16

T11CAPC: T11 捕捉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CAP1S<1:0>		T11CAP<1:0>		—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 CAP1S<1:0>: 触发捕捉信号选择位

- 00: T11CI
  - 01: 保留未用
  - 10: PWM20
  - 11: T11CI 和 PWM20
- 注: PWM20 复用的 I/O 管脚未引出。

Bit 5~4 T11CAP<1:0>: T1x 捕捉工作方式选择位

- 00: 捕捉每 1 个脉冲下降沿
- 01: 捕捉每 1 个脉冲上升沿
- 10: 捕捉每 4 个脉冲上升沿
- 11: 捕捉每 16 个脉冲上升沿

Bit 3~0 保留未用, 需设置固定为 0

T12CAPC: T12 捕捉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CAP2S<1:0>		T12CAP<1:0>		—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 CAP2S<1:0>: 触发捕捉信号选择位

- 00: T12CI
  - 01: 保留未用
  - 10: PWM10
  - 11: T12CI 和 PWM10
- 注: T12CI 复用的 I/O 管脚未引出。

Bit 5~4 T12CAP<1:0>: T1x 捕捉工作方式选择位

- 00: 捕捉每 1 个脉冲下降沿
- 01: 捕捉每 1 个脉冲上升沿
- 10: 捕捉每 4 个脉冲上升沿
- 11: 捕捉每 16 个脉冲上升沿

Bit 3~0 保留未用, 需设置固定为 0

T13CAPC: T13 捕捉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CAP3S<1:0>		T13CAP<1:0>		—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 CAP3S<1:0>: 触发捕捉信号选择位

- 00: T13CI

01: 保留未用  
10: PWM10  
11: T13CI 和 PWM10  
注: T13CI 复用的 I/O 管脚未引出。

Bit 5~4 T13CAP<1:0>: T1x 捕捉工作方式选择位  
00: 捕捉每 1 个脉冲下降沿  
01: 捕捉每 1 个脉冲上升沿  
10: 捕捉每 4 个脉冲上升沿  
11: 捕捉每 16 个脉冲上升沿  
Bit 3~0 保留未用, 需设置固定为 0

T1xPL: T1x 低 8 位周期寄存器 (T11PL/T12PL/T13PL)								
Bit	7	6	5	4	3	2	1	0
Name	T1xPL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T1xPL<7:0>: T1x 低 8 位周期寄存器

T1xRL: T1x 低 8 位精度寄存器 (T11RL/T12RL/T13RL)								
Bit	7	6	5	4	3	2	1	0
Name	T1xRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1xRL<7:0>: T1x 低 8 位精度寄存器

T1xPH: T1x 高 4 位精度/周期寄存器 (T11PH/T12PH/T13PH)								
Bit	7	6	5	4	3	2	1	0
Name	T1xRH<3:0>				T1xPH<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 T1xRH<3:0>: T1x 高 4 位精度寄存器

Bit 3~0 T1xPH<3:0>: T1x 高 4 位周期寄存器

注: 由于高 4 位精度寄存器与高 4 位周期寄存器共用同一个寄存器, 建议客户根据实际需要设置时, 注意避免精度寄存器和周期寄存器的设置互相影响。

T1xCNTM: T1x 全程循环计数次数 (T11CNTM/T12CNTM/T13CNTM)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	T1xCNTM<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 未使用

Bit 5~0 T1xCNTM<5:0>: T1x 从全 0 计数到全 1 的循环次数  
 000000: 0 次  
 000001: 1 次  
 000010: 2 次  
 .....  
 110000: 48 次  
 .....  
 111111: 63 次

T110C: PWM 输出控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	PWM1XUD	PWM1XTBS	T11TR	T11TS<1:0>		PWM1XS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWM1XUD: PWM1X 缓冲器即时更新使能位  
 0: 当精度和周期寄存器更新时, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新  
 1: 当精度和周期寄存器更新时, 使能精度和周期缓冲器即时更新 (数据更新后, 硬件自动清零)

Bit 6 PWM1XTBS:  
 0/1: PWM1X 时基为 T11

Bit 5 T11TR: 单脉冲触发标志 (软件置 1, 硬件清 0)  
 0: 发射等待  
 1: 触发并开始计数

Bit 4~3 T11TS<1:0>: T11 单脉冲触发事件选择位  
 00: PINT0 中断  
 01: PINT1 中断  
 10: 保留未用  
 11: 保留未用  
 注: PINT0 和 PINT1 复用的 I/O 管脚未引出。

Bit 2~0 PWM1XS<2:0>: PWM10 和 PWM11 输出端口选择位  
 00x: PA1, PB0, PA5, PB1 为普通 IO  
 010: PA5 为 PWM11 输出  
 011: PB1 为 PWM11 输出  
 100: PA1 为 PWM10 输出  
 101: PB0 为 PWM10 输出  
 110: PA1, PA5 分别为 PWM10, PWM11 输出  
 111: PB0, PB1 分别为 PWM10, PWM11 输出  
 注: PB0 管脚未引出。

T12OC: PWM 输出控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	PWM2XUD	PWM2XTBS	T12TR	T12TS<1:0>		PWM2XS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** PWM2XUD: PWM2X 缓冲器即时更新使能位  
 0: 当精度和周期寄存器更新时, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新  
 1: 当精度和周期寄存器更新时, 使能精度和周期缓冲器即时更新 (数据更新后, 硬件自动清零)
- Bit 6** PWM2XTBS: PWM2X 时基选择位  
 0: PWM2X 的时基为 T12  
 1: PWM2X 的时基为 T11
- Bit 5** T12TR: T12 单脉冲触发标志 (软件置 1, 硬件清 0)  
 0: 发射等待  
 1: 触发并开始计数
- Bit 4~3** T12TS<1:0>: T12 单脉冲触发事件选择位  
 00: PINT0 中断  
 01: PINT1 中断  
 10: 保留未用  
 11: 保留未用  
 注: PINT0 和 PINT1 复用的 I/O 管脚未引出。
- Bit 2~0** PWM2XS<2:0>: PWM20 和 PWM21 输出端口选择位  
 00x: PB0, PB1, PA6, PB3 为普通 IO  
 010: PB3 为 PWM21 输出  
 011: PB1 为 PWM21 输出  
 100: PA6 为 PWM20 输出  
 101: PB0 为 PWM20 输出  
 110: PA6, PB3 分别为 PWM20, PWM21 输出  
 111: PB0, PB1 分别为 PWM20, PWM21 输出  
 注: PB0、PA6、PB3 管脚未引出。

T13OC: PWM 输出控制寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	PWM3XUD	PWM3XTBS	T13TR	T13TS<1:0>		—	PWM31EN	PWM30EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** PWM3XUD: PWM3X 缓冲器即时更新使能位  
 0: 当精度和周期寄存器更新时, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新  
 1: 当精度和周期寄存器更新时, 使能精度和周期缓冲器即时更新 (数据更新后, 硬件自动清零)
- Bit 6** PWM3XTBS: PWM3X 时基选择位



- 0: PWM3X 的时基为 T13
- 1: PWM3X 的时基为 T11
- Bit 5      T13TR: T13 单脉冲触发标志 (软件置 1, 硬件清 0)
  - 0: 发射等待
  - 1: 触发并开始计数
- Bit 4~3    T13TS<1:0>: T13 单脉冲触发事件选择位
  - 00: PINT0 中断
  - 01: PINT1 中断
  - 10: 保留未用
  - 11: 保留未用

注: PINT0 和 PINT1 复用的 I/O 管脚未引出。
- Bit 2      未使用
- Bit 1      PWM31EN: PWM31 端口使能位
  - 0: PB2 为通用 I/O
  - 1: PB2 为 PWM31 输出功能

注: PB2 管脚未引出。
- Bit 0      PWM30EN: PWM30 端口使能位
  - 0: PA7 为通用 I/O
  - 1: PA7 为 PWM30 输出功能

注: PA7 管脚未引出。

PWMxC: PWM 配置寄存器 (PWM1C/PWM2C/PWM3C)								
Bit	7	6	5	4	3	2	1	0
Name	PWMxADEN	P1Mx	PDDxPR<1:0>		PWMxADS	—	PWMxM<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7      PWMxADEN: PWM 沿启动 ADC 使能位
  - 0: 禁止
  - 1: 使能
- Bit 6      P1Mx: PWM 模式, PWM 输出端口选择位
  - 0: 标准输出, PWMx0、PWMx1 为 3 组互补 PWM 输出端口
  - 1: 增强输出, PWMx0 与 PWMx1 为 3 组带死区互补 PWM 输出端口
- Bit 5~4    PDDxPR<1:0>: PWM 死区时钟分频比选择位
  - 00: Fosc
  - 01: Fosc/2
  - 10: Fosc/4
  - 11: Fosc/8
- Bit 3      PWMxADS: PWM 沿启动 ADC 选择位
  - 0: 上升沿
  - 1: 下降沿
- Bit 2      未使用
- Bit 1~0    PWMxM<1:0>: PWM 输出极性选择位
  - 00: PWMx0、PWMx1 高有效
  - 01: PWMx0 高有效, PWMx1 低有效

10: PWMx0 低有效, PWMx1 高有效

11: PWMx0、PWMx1 低有效

注: PWMxM<1:0>位需根据客户实际应用电路需要, 选择相应的 PWM 输出极性, 参考 PWM 模式小节 PWM 带死区互补输出示意图。

PDDxC: PWM 死区控制寄存器 (PDD1C/PDD2C/PDD3C)								
Bit	7	6	5	4	3	2	1	0
Name	PRSENx	PDDxC<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PRSENx: PWM 重启控制位

0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 PWM。

1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, PWM 自动重启。

Bit 6~0 PDDxC<6:0>: PWM 死区延时计数位

TExAS: PWM 自动关断寄存器 (TE1AS/TE2AS/TE3AS)								
Bit	7	6	5	4	3	2	1	0
Name	PWMxASF	—	—	PWMxAS0	—	—	PSSxBD<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWMxASF: PWM 自动关断事件标志位

0: 未发生关断事件

1: 已经发生关断事件

Bit 6~5 保留未用, 需设置固定为 0

Bit 4 PWMxAS0: PWM 自动关断位 0

0: N\_EPAS 端口不影响 PWM

1: N\_EPAS 端口为“0”引起关断

Bit 3~2 保留未用, 需设置固定为 0

Bit 1~0 PSSxBD<1:0>: 管脚 PWMx0 和 PWMx1 关断状态控制位

00: 端口输出“0”

01: 端口输出“1”

1x: 端口为三态

TMRADC: PWM 沿检测延时寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TMRADC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TMRADC<7:0>: PWM 沿检测延时时间

## 6.2 高精度参考电压 (VREF)

### 6.2.1 概述

- ◇ 内部参考电压
  - 支持 2 路参考电压 VREF, 1.8V 和 2.5V
  - 出厂前, 在常温下已经校准在 ±1% 以内

### 6.2.2 高精度参考电压模块 (VREF)

内部参考电压模块由 VREFEN 位控制。出厂前, 在常温, VDD=5V 下, VREF 已经校准到 2.5V, 校准精度在 ±1% 以内。此参考电压模块可提供 ADC 模块的参考源。

ADC 模块的参考电压源配置如下:

- 1) 当设置 VREFSEL (VRC3<6>) = 1, 内部 VREF 2.5V 作为 ADC 模块的参考源 (VDD ≥ 3V)。
- 2) 当设置 VREFSEL (VRC3<6>) = 0, 内部 VREF 1.8V 作为 ADC 模块的参考源。

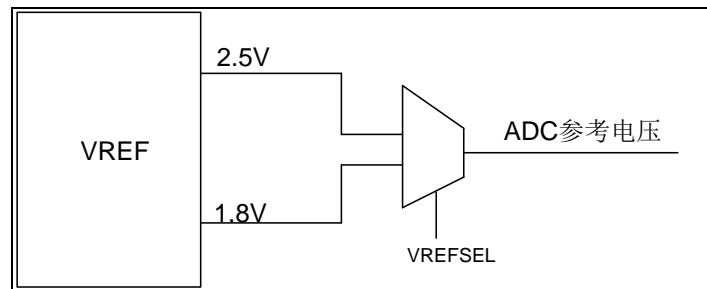


图 6-12 内部参考电压供电示意图

### 6.2.3 特殊功能寄存器

VRC1: 参考电压控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	VREFEN	—						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 VREFEN: 内部参考电压模块使能位  
0: 禁止  
1: 使能

Bit 6~0 保留未用, 需设置为 0

VRC2: 参考电压控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	ADHSEN	—						ADVCMHS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	0	0	1

Bit 7 ADHSEN: AD 转换速度控制位  
0: 低速 (仅用作内部测试使用)

- 1: 高速
- Bit 6~1 保留未用, 需设置固定为 0
- Bit 0 **ADVCMHS: AD VCM 高速模式控制位**
  - 0: 禁止 (仅用作内部测试使用)
  - 1: 使能

注: 对 ADHSEN 和 ADVCMHS, 应用程序中需保持这两个控制位为 1, 否则可能会导致 ADC 模块工作异常。

**VRC3: 参考电压控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
<b>Name</b>	—	VREFSEL	—					
<b>R/W</b>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<b>POR</b>	1	1	1	1	1	0	1	1

- Bit 7 保留未用, 需设置固定为 1
- Bit 6 **VREFSEL: ADC 模块的参考电压选择位**
  - 0: 1.8V
  - 1: 2.5V
- Bit 5~1 保留未用
- Bit 0 保留未用, 需设置固定为 1

## 6.3 模/数转换器 (ADC)

### 6.3.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

本芯片最大支持 12-bit 7 通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◇ 模/数转换器特性

- 12 位 A/D 采样精度
- 最多 7 个模拟输入通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 可配置 A/D 采样时间
- 支持高/低速转换选择
- 多种转换时钟频率可选
- 可配置多种参考源，当使用外部参考电压时，参考电压不能低于 1.3V

◇ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCH, VRC2, TMRADC, PWMxC)
- 数模端口控制寄存器 (ANSL, ANSH)

◇ 中断和暂停

- 支持 AD 转换中断 (ADIE/ADIF)
- 在 IDLE 模式下，当使用 Fosc 时钟时，A/D 转换暂停；当使用 INTLRC 时钟时，A/D 继续转换

型号	输入通道数	输入通道选择位	输入信号管脚
HR7P179	7+1	ADCHS<3:0>	AIN0~AIN4, AIN8, AIN13

### 6.3.2 内部结构图

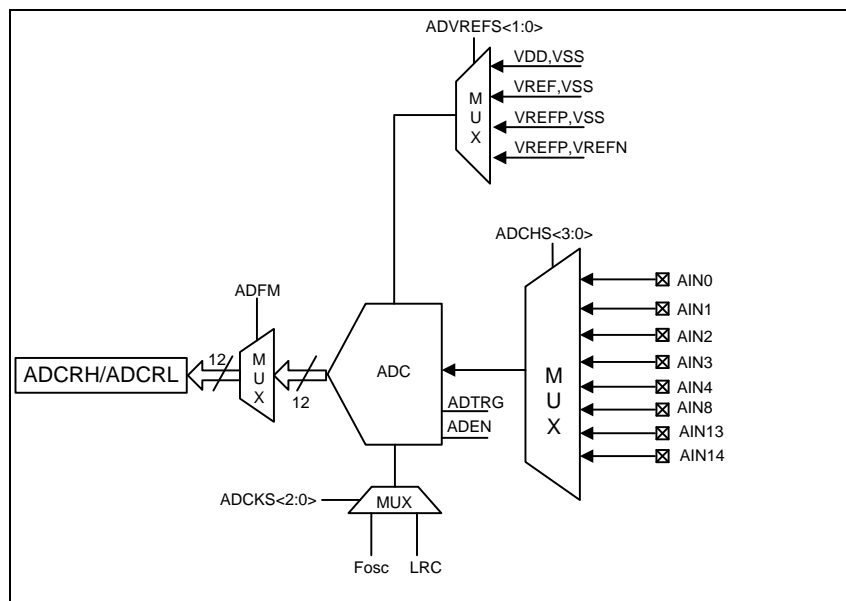


图 6-13 ADC 内部结构图

### 6.3.3 ADC配置

ADC 电路使用前，根据需要对以下几个方面进行正确的配置，才可得到正确转换结果。

#### 时钟选择

ADC 电路的转换时钟有 8 组可选， $F_{osc} \sim F_{osc}/64$  或 INTLRC，可通过 ADCCH 寄存器 ADCKS<2:0>位选择所需要的时钟。

#### 参考电压选择

ADC 电路可选择采用外部参考电压输入，分别为参考电压正极性输入和参考电压负极性输入，对应外部参考电压输入脚分别为 VREF、VREFP 和 VREFN，可通过 ADCCH 寄存器中的 ADVREFS <1:0>位选择。

#### 采样时间选择

ADC 电路的采样时间可通过 ADCCH 寄存器中的 ADST<1:0>位选择，采样时间有 2 个  $T_{adclk}$ 、4 个  $T_{adclk}$ 、8 个  $T_{adclk}$  以及 16 个  $T_{adclk}$  四种选项。如果转换信号跳变比较大，建议采样时间设置较长的档位，如 8 个  $T_{adclk}$  或者 16 个  $T_{adclk}$ 。

#### 采样模式选择及控制

本系列芯片 ADC 可选择软件采样和硬件采样两种模式，通过 ADCCL 寄存器中的 SMPS 位选择。选用软件采样时，可通过 ADCCL 寄存器中的 SMPON 位控制采样的启动和停止。

#### 复用端口类型选择

芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PA/PB 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚通过 ANSL/ANSH 寄存器设置为模拟类型。

#### 模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本芯片 ADC 电路支持 7 个外部通道，分别为

AIN0~AIN4, AIN8, AIN13。A/D 模拟通道可通过 ADCCL 寄存器中的 ADCHS <3:0>位选择。

#### 对齐方式选择

本系列芯片 ADC 电路转换的结果支持两种对齐方式，低位对齐和高位对齐，可通过 ADCCH 寄存器中的 ADFM 位进行选择。

### 6.3.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 设置寄存器位 ADHSEN=1, ADVCMHS=1, 选择 AD 高速转换模式（禁止使用低速模式）；

Step2: 选择 ADC 转换时钟，通过 ADCCH 寄存器中的 ADCKS<2:0>选择 ADC 转换时钟。当选择 VDD 或外部 VREFP 作为正端参考电压时，ADC 转换时钟频率可设置在 32KHz~8MHz 之间；当选择内部 VREF 作为正端参考电压时，ADC 转换时钟频率可设置在 256KHz~2MHz 之间。

Step 3: 选择 ADC 参考电压源，通过 ADCCH 寄存器中的 ADVREFS <1:0>位进行选择。

Step 4: 选择 ADC 采样时间，通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <1:0>设定。

Step 5: 选择 ADC 采样模式，通过 ADCCL 寄存器中的 A/D 采样模式选择位 SMPS 选择软件采样或硬件采样。

Step 6: 设置复用端口设为模拟类型，即选择哪些管脚作为 ADC 转换输入管脚，由端口数模控制寄存器 ANSL、ANSH 控制选择。

Step 7: 选择模拟信号输入通道 AINx，通过 ADCCL 寄存器中的 ADCHS <3:0>选择 ADC 模拟通道。

Step 8: 设置转换结果对齐方式，通过 ADCCH 寄存器中的 ADFM 位，选择高位对齐放置还是低位对齐放置。

Step 9: 如果要使用中断，则中断控制寄存器需要正确地设置，以确保 A/D 中断功能被正确激活。在默认中断模式下，需将全局中断使能位/高优先级中断使能位 GIE 置“1”，将 ADC 中断使能位置“1”；在向量中断模式下，需将全局中断使能位/高优先级中断使能位 GIE 置“1”，根据 A/D 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL，将 ADC 中断使能位置“1”。

Step 10: 使能 ADC 电路，将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 11: 当 ADCCL 寄存器中的 SMPS=0 时，选择软件采样模式，设置 ADCCL 寄存器中的 SMPON=1 启动采样，ADCCL 寄存器中的 ADTRG 位硬件自动置 1；当 SMPS=1 时，选择硬件采样模式，将 ADC 转换启动位 ADTRG 位设置为“1”，开始 ADC 转换。

Step 12: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位，确定此次 A/D 转换是否完成。

Step 13: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

### 6.3.5 AD时序特征示意图

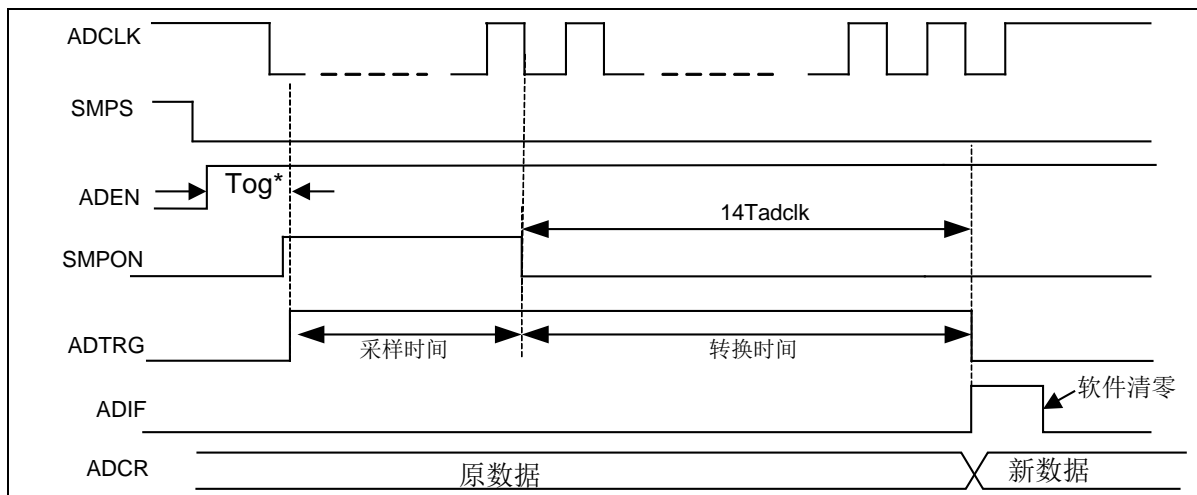


图 6-14 ADC 时序特征示意图 (SMPS=0)

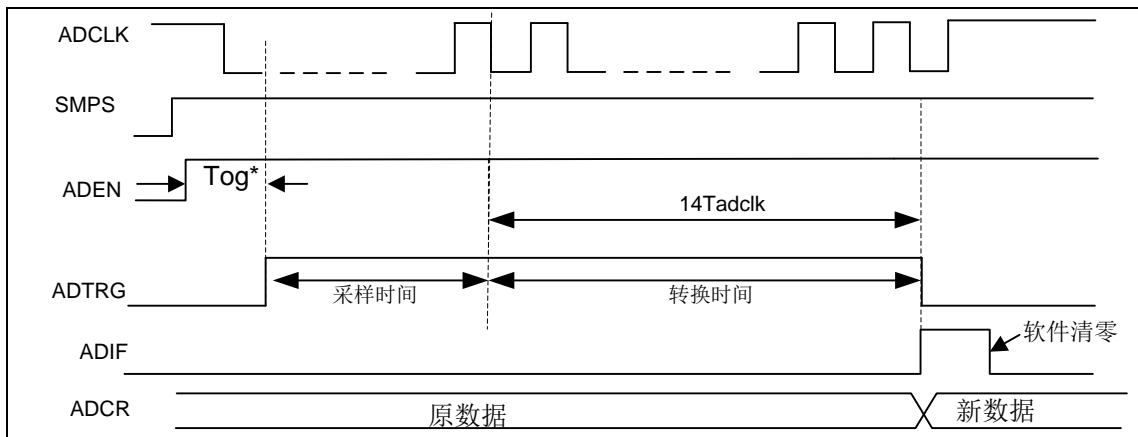


图 6-15 ADC 时序特征示意图 (SMPS=1)

注 1: Tog>0;  
注 2: AD 转换时钟周期 Tadclk, 可通过 ADCKS<2:0>寄存器配置不同的频率。

### 6.3.6 参考例程

#### 应用例程 1: 对模拟输入通道 0 (AIN0)进行模数转换

```

.....
BSS    VRC2, ADHSEN
BSS    VRC2, ADVCMHS    ;设置为高速转换模式
BSS    VRC1, VREFEN    ;使能 VREF 模块
BSS    ADCCL, ADEN     ;使能 ADC 模块
BCC    ADCCH, ADFM     ; 转换结果高位对齐放置
MOVI   0x05            ; 硬件控制 ADC 采样模式
MOVA   ADCCL           ; 使能 ADC 转换器, 选中通道 0
BSS    ADCCL, ADTRG    ; 触发 ADC 转换
AD_WAIT:
JBC    ADCCL, ADTRG    ; 等待 ADC 转换完成
    
```



```
GOTO    AD_WAIT
MOV     ADCRH, 0           ; 读取高 8 位转换结果
.....
MOV     ADCRL, 0         ; 读取低 4 位转换结果
.....
```

**应用例程 2: 对模拟输入通道 14 (内部参考 VREF) 进行模数转换**

```
CALPROT EQU 0XFFA0
ADCTST  EQU 0XFFB4

.....
BSS     VRC2, ADHSEN
BSS     VRC2, ADVCMHS   ;设置为高速转换模式
BSS     VRC1, VREFEN    ;使能 VREF 模块

;程序必须按以下要求特殊处理
BCC     INTG, GIE       ; 关闭全局中断 (避免中断影响后续固定程序流程)
BSS     BKSR, 4         ;选择 CALPROT, ADCTST 寄存器所在的存储体组
MOVI    0x55
MOVA    CALPROT         ;头文件需定义 CALPROT 寄存器的地址为 0XFFA0
BSS     ADCTST, 0       ;头文件需定义 ADCTST 寄存器的地址为 0XFFB4
BSS     ADCTST, 1
BCC     BKSR, 4         ;恢复正常的特殊功能寄存器存储体组
;特殊处理结束

BSS     ADCCL, ADEN     ;使能 ADC 模块
BCC     ADCCH, ADFM     ; 转换结果高位对齐放置
MOVI    0xE5            ; 硬件控制 ADC 采样模式
MOVA    ADCCL           ; 使能 ADC 转换器, 选中通道 14
BSS     ADCCL, ADTRG    ; 触发 ADC 转换
```

注 1: 当选择 INTLRC 时钟源时, ADC 中断可以唤醒 IDLE 模式。但在启动 ADC (ADTRG) 和执行 IDLE 指令之间必须保证 2 条指令执行的时间, 可以使用 2 条 NOP 指令。

注 2: 读取 AD 转换结果后, 需要等待至少 1 个 Tadcclk 时间, 再进行下一次转换, 确保新的转换启动正确。

### 6.3.7 特殊功能寄存器

ADC 功能是由四个控制寄存器和两个数据寄存器控制实现的。其中 ADCRL 和 ADCRH 寄存器用于存储 ADC 转换的数据结果, 结果对齐方式由 ADCCH 寄存器中的 ADFM 位控制选择; ADCCL 寄存器用于 ADC 模块的使能控制、ADC 采样模式选择、ADC 转换启动控制以及 ADC 模拟通道选择等; ADCCH 寄存器用于 ADC 采样时间选择、正负参考电压选择、ADC 时钟选择以及结果对齐方式选择等; ANSL 和 ANSH 寄存器用于控制复用端口的数模类型。

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
0	ADCR<11:4>								ADCR<3:0>			—	—	—	—	

ADCR<11:0>: A/D 转换结果

ADCCL: ADC 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	0	0

Bit 7~4 ADCHS<3:0>: A/D 模拟通道选择位

- 0000: 通道 0 (AIN0)
- 0001: 通道 1 (AIN1)
- 0010: 通道 2 (AIN2)
- 0011: 通道 3 (AIN3)
- 0100: 通道 4 (AIN4)
- 0101: 保留
- 0110: 保留
- 0111: 保留
- 1000: 通道 8 (AIN8)
- 1001: 保留
- 1010: 保留
- 1011: 保留
- 1100: 保留
- 1101: 通道 13 (AIN13)
- 1110: 通道 14 (内部参考电压 VREF) (参考 6.5.6 节参考例程 2)
- 1111: 屏蔽通道选择

Bit 3 SMPON: A/D 采样软件控制位

- 0: 结束采样
- 1: 启动采样

Bit 2 SMPS: A/D 采样模式选择位

- 0: 使能软件采样, 硬件采样禁止
- 1: 禁止软件采样, 硬件采样使能

Bit 1 ADTRG: A/D 采样转换状态位

- 0: A/D 未进行转换, 或 A/D 采样转换已完成
  - 1: A/D 采样转换正在进行
- 当 SMPS=1 时, 该位软件置 1 启动 A/D 采样转换; 当 SMPS=0 时, SMPON=1 启动采样, 该位硬件自动置 1。

Bit 0 ADEN: A/D 转换使能位

- 0: 关闭 A/D 转换器
- 1: 运行 A/D 转换器

注：在 ADEN 使能后的第一次转换过程中，ADC 需要进行自身工作建立，本次 ADC 转换结果无效，所以在应用程序中需要丢弃 ADEN 使能后的第一次转换结果。

ADCCH: ADC 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADST<1:0>		ADVREFS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	0	1	0	0	0

- Bit 7            ADFM: A/D 转换数据放置格式选择位  
                   0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)  
                   1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4        ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位  
                   000: Fosc  
                   001: Fosc/2  
                   010: Fosc/4  
                   011: Fosc/8  
                   100: Fosc/16  
                   101: Fosc/32  
                   110: Fosc/64  
                   111: INTLRC (32KHz WDT RC 时钟)
- Bit 3~2        ADST<1:0>: A/D 硬件采样时间选择位  
                   00: 大约 2 个 Tadclk  
                   01: 大约 4 个 Tadclk  
                   10: 大约 8 个 Tadclk  
                   11: 大约 16 个 Tadclk
- Bit 1~0        ADVREFS<1:0>: 参考源选择位  
                   00: 参考电压正端为 VDD, 负端为 VSS  
                   01: 参考电压正端为内部 VREF, 负端为 VSS  
                   10: 参考电压正端为外部 VREFP, 负端为 VSS  
                   11: 参考电压正端为外部 VREFP, 负端为外部 VREFN

注 1: 如果在 A/D 转换过程中, 进行转换时钟切换, 切换后第一次 A/D 转换结果有可能存在误差。  
 注 2: A/D 转换时钟频率建议选择不要大于 2MHz。  
 注 3: 当使用外部参考电压时, 参考电压不能低于 1.3V, 否则会导致 ADC 工作异常。

ANSL: 端口数模控制寄存器(AIN0~AIN4)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~5        未使用
- Bit 4            ANSL4: PA5/AIN4 端口数模选择位  
                   0: 模拟输入端口  
                   1: 数字输入端口

- Bit 3 ANSL3: PA4/AIN3 端口数模选择位  
0: 模拟输入端口  
1: 数字输入端口
- Bit 2 ANSL2: PA3/AIN2 端口数模选择位  
0: 模拟输入端口  
1: 数字输入端口
- Bit 1 ANSL1: PA1/AIN1 端口数模选择位  
0: 模拟输入端口  
1: 数字输入端口
- Bit 0 ANSL0: PA0/AIN0 端口数模选择位  
0: 模拟输入端口  
1: 数字输入端口

ANSH: 端口数模控制寄存器(AIN8/AIN13)								
Bit	7	6	5	4	3	2	1	0
Name	—	ANSH6	—	—	—	—	ANSH1	—
R/W	—	R/W	—	—	—	—	R/W	—
POR	0	1	0	0	0	0	0	0

- Bit 7 未使用
- Bit 6 ANSH6: PB6/AIN13 端口数模选择位  
0: 模拟输入端口  
1: 数字输入端口
- Bit 5~2 未使用
- Bit 1 ANSH1: PB1/AIN8 端口数模选择位  
0: 模拟输入端口  
1: 数字输入端口
- Bit 0 未使用

注: 和 A/D 相关的控制寄存器有 VRC2, TMRADC, PWMxC。

## 6.4 低电压检测模块 (LVD)

### 6.4.1 概述

本系列芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD 电压。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能就会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

### 6.4.2 LVD操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置，同时使能 WDT RC 时钟，即设置 PWEN 寄存器的 RCEN 为“1”。当 LVDEN 位清零时，LVD 功能禁止。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDC 寄存器的 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDS<3:0>配置，阈值范围为 2.0V~4.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片，LVD 中断唤醒需使能 RCEN (PWEN<1>)。

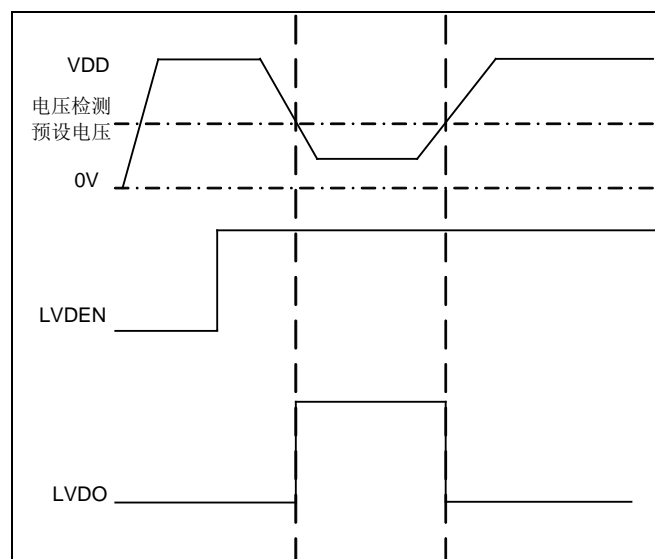


图 6-16 LVD 工作时序图

### 6.4.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDO	—	—	LVDEN	LVDS<3:0>			
R/W	R	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 LVDO: LVD 输出状态位  
 0: 被监测电压高于电压阈值  
 1: 被监测电压低于电压阈值

Bit 6~5	未使用
Bit 4	LVDEN: LVD 使能位 0: 禁止 1: 使能
Bit 3~0	LVDS<3:0>: LVD 电压检测选择位 1010~1111: 保留未用 1001: 4.6V 1000: 4.0V 0111: 3.6V 0110: 3.0V 0101: 2.8V 0100: 2.6V 0011: 2.4V 0010: 2.2V 0001: 保留未用 0000: 2.0V

注: LVD 档位必须高于 BOR 复位电压档位, 否则 LVD 功能失效。

## 第7章 中断处理

### 7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本系列芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 13 个中断源：1 个软件中断和 12 个硬件中断。

型号	硬件中断源数	软件中断源数
HR7P179	12	1

### 7.2 中断控制结构框图

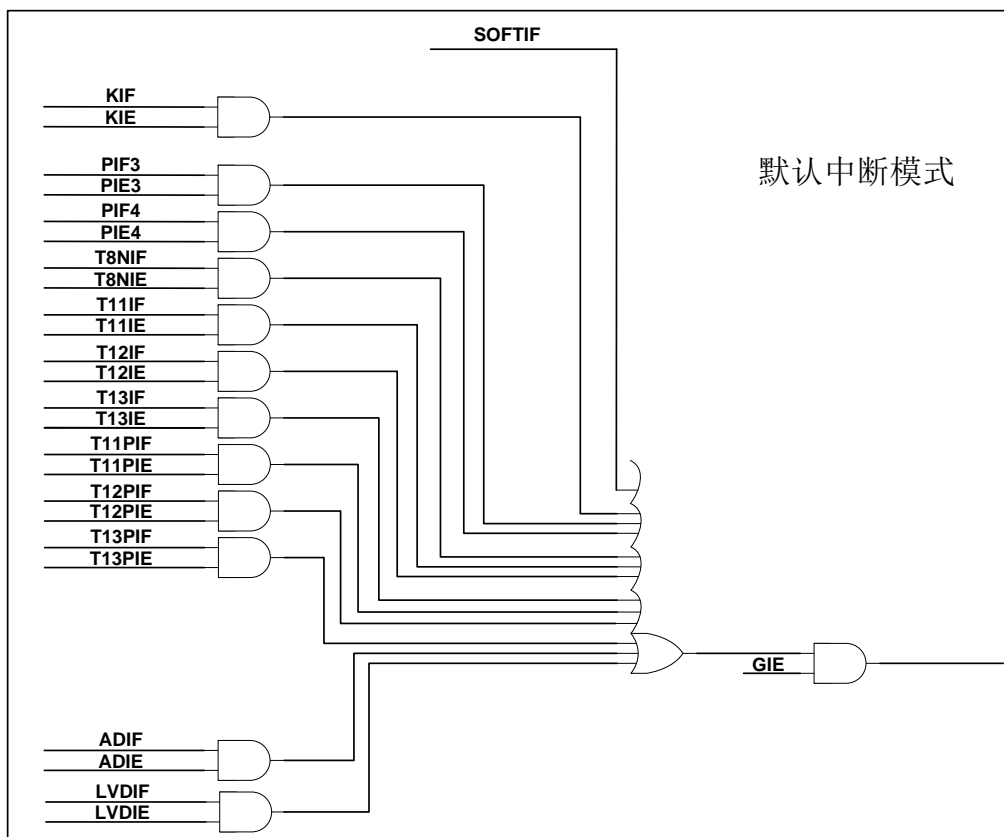


图 7-1 默认中断模式中中断控制逻辑

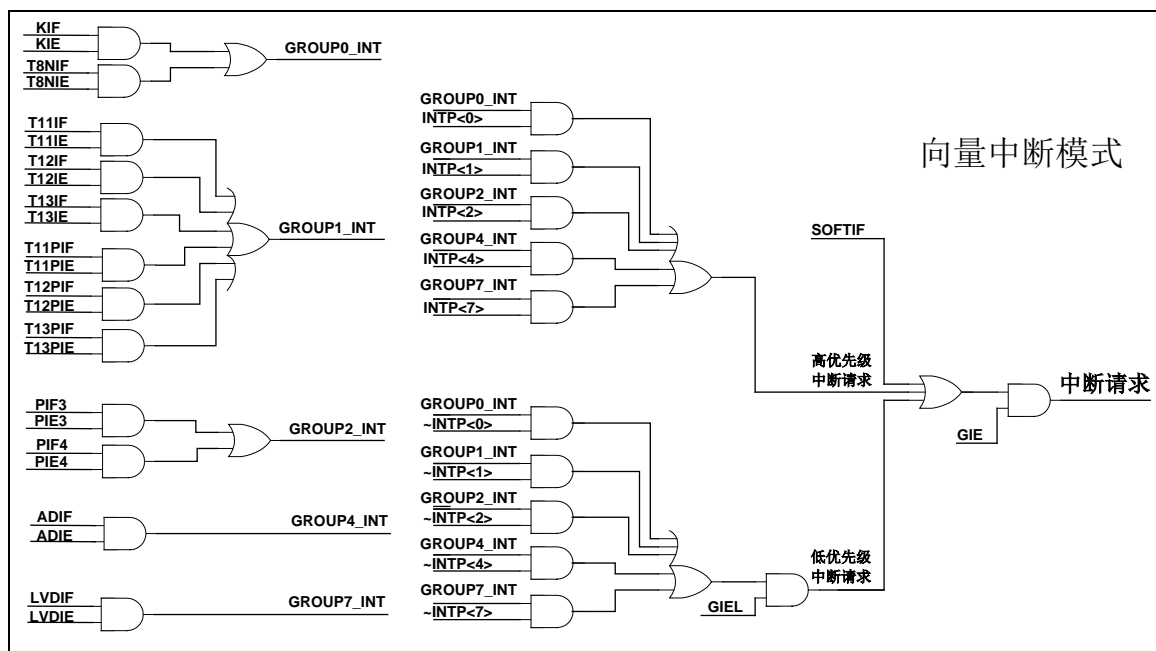


图 7-2 向量中断模式中中断控制逻辑

### 7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。需要注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (芯片配置字 bit 11)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004<sub>H</sub> 入口地址，不支持中断优先级和中断嵌套。

向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

#### 7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004<sub>H</sub>。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断源	中断名	中断标志	中断使能	全局使能	备注
1	软中断	软中断	SOFTIF	—	GIE	SOFTIF 软件置 1
2	外部按键中断	KINT	KIF	KIE	GIE	—
3	外部端口中断	PINT3	PIF3	PIE3	GIE	—



序号	中断源	中断名	中断标志	中断使能	全局使能	备注
4		PINT4	PIF4	PIE4	GIE	—
5	T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	GIE	—
6	T11 定时器溢出中断	T11INT	T11IF	T11IE	GIE	—
7	T12 定时器溢出中断	T12INT	T12IF	T12IE	GIE	—
8	T13 定时器溢出中断	T13INT	T13IF	T13IE	GIE	—
9	T11 周期溢出中断	T11PINT	T11PIF	T11PIE	GIE	—
10	T12 周期溢出中断	T12PINT	T12PIF	T12PIE	GIE	—
11	T13 周期溢出中断	T13PINT	T13PIF	T13PIE	GIE	—
12	ADC 中断	ADINT	ADIF	ADIE	GIE	—
13	LVD 中断	LVDINT	LVDIF	LVDIE	GIE	—

表 7-2 默认中断模式使能配置表

### 7.3.2 向量中断模式

#### 7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004<sub>H</sub>，优先级最高；其它硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

优先级	0 (高)	1	2	3	4	5	6	7	8 (低)	
入口地址	0004 <sub>H</sub>	0008 <sub>H</sub>	000C <sub>H</sub>	0010 <sub>H</sub>	0014 <sub>H</sub>	0018 <sub>H</sub>	001C <sub>H</sub>	0020 <sub>H</sub>	0024 <sub>H</sub>	
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-3 向量表配置表

#### 7.3.2.2 中断分组配置

序号	中断组号	高低优先级选择	中断名	备注
1	IG0	IGP0	KINT	—
2			T8NINT	—
3	IG1	IGP1	T11INT	—
4			T12INT	—
5			T13INT	—
6			T11PINT	—
7			T12PINT	—

序号	中断组号	高低优先级选择	中断名	备注
8			T13PINT	—
9	IG2	IGP2	PINT3	—
10			PINT4	—
11	IG3	IGP3	—	—
12	IG4	IGP4	ADINT	—
13	IG5	IGP5	—	—
14	IG6	IGP6	—	—
15	IG7	IGP7	LVDINT	—

表 7-4 向量中断模式中中断分组配置表

### 7.3.2.3 中断使能配置

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
1	软中断	软中断	SOFTIF	—	—	—	GIE	SOFTIF 软件置 1
2	外部按键中断	KINT	KIF	KIE	0	GIEL	GIE	—
					1	—	GIE	—
3	外部端口中断	PINT3	PIF3	PIE3	0	GIEL	GIE	—
					1	—	GIE	—
4		PINT4	PIF4	PIE4	0	GIEL	GIE	—
					1	—	GIE	—
5	T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	0	GIEL	GIE	—
					1	—	GIE	—
6	T11 定时器溢出中断	T11INT	T11IF	T11IE	0	GIEL	GIE	—
					1	—	GIE	—
7	T12 定时器溢出中断	T12INT	T12IF	T12IE	0	GIEL	GIE	—
					1	—	GIE	—
8	T13 定时器溢出中断	T13INT	T13IF	T13IE	0	GIEL	GIE	—
					1	—	GIE	—
9	T11 周期溢出中断	T11PINT	T11PIF	T11PIE	0	GIEL	GIE	—
					1	—	GIE	—
10	T12 周期溢出中断	T12PINT	T12PIF	T12PIE	0	GIEL	GIE	—
					1	—	GIE	—
11	T13 周期溢出中断	T13PINT	T13PIF	T13PIE	0	GIEL	GIE	—
					1	—	GIE	—
12	ADC 中断	ADINT	ADIF	ADIE	0	GIEL	GIE	—
					1	—	GIE	—
					1	—	GIE	—
13	LVD 中断	LVDINT	LVDIF	LVDIE	0	GIEL	GIE	—
					1	—	GIE	—

表 7-5 向量中断模式使能配置表

## 7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKSRS1 和 AS0、PSWS0、PCRHS0、BKSRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

## 7.5 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

- 1) 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，若对应中断所在组为高优先级，程序将跳至中断服务程序地址执行；若对应中断所在组为低优先级，当低优先级中断使能位 GIEL 为“1”时，在无高优先级中断请求时，程序将跳至中断服务地址执行，当低优先级中断使能位 GIEL 为“0”时，将屏蔽所有低优先级中断请求。

### 7.5.1 外部中断

当 PINTx 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTx 外部端口中断，相应的中断标志 PIFx 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEx 都被置为“1”时，则向 CPU 发出 PINTx 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFx 和中断使能位 PIEx 都需通过软件清除，INTC0 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。

### 7.5.2 外部按键中断

当 KINx 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化时，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出外部按键中断请求。CPU 根据中断的优先级响应当前中断的请求，当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKx=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤如下：

- 1) 对端口寄存器进行读或者写操作，清除端口电平与锁存器值不匹配的条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

### 7.5.3 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

### 7.5.4 T8N溢出中断

8 位定时器/计数器 T8N 处于定时器模式或计数器模式，当 T8N 计数器递增计数由 FF<sub>H</sub> 变为 00<sub>H</sub> 时，T8N 计数器发生溢出，将中断标志 T8NIF 位置“1”。当 T8N 溢出中断使能位 T8NIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T8N 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

### 7.5.5 T1x(T11/T12/T13)匹配中断

12 位定时器 T1x 各种工作模式都可产生匹配中断：

#### 定时器模式/PWM 模式/捕捉模式

12 位定时器 T1x 处于定时器模式/PWM 模式/捕捉模式，对计数时钟进行递增计数，当 T1x 后分频器的计数值与后分频器分频比相同时，产生匹配中断。

#### 捕捉模式

当输入信号的变化状态满足捕捉条件时，将 T1x 计数器的值捕捉到寄存器(T1xRH:T1xRL)中，并产生捕捉中断。

T1x 匹配中断产生时，将中断标志 T1xIF 位置“1”。当 T1x 匹配中断使能位 T1xIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1x 定时中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1x 匹配中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1x 匹配中断标志位 T1xIF 和中断使能位 T1xIE 都需通过软件清除。

### 7.5.6 T1x(T11/T12/T13)周期中断

12 位定时器 T1x 处于 PWM 模式/单脉冲发射 SPT 模式，T1x 从零开始递增计数，当 T1x 与 T1xP 寄存器的值相等时，将产生 T1x 周期中断，中断标志 T1xPIF 被置“1”。如果中断使能位 T1xPIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1x 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1x 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1x 周期中断标志位 T1xPIF 和中断使能位 T1xPIE 都需通过软件清除。

### 7.5.7 LVD中断

当VDD电压小于LVDC寄存器设置的阈值电压时，低电压产生，中断标志LVDIF位被置“1”。如果中断使能位LVDIE置为“1”，且全局中断控制位GIE和低优先级中断使能位GIEL根据中断模式正确使能时，则向CPU发出LVD中断请求。CPU根据中断的优先级响应当前中断的请求，当LVD中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，LVD中断标志位LVDIF和中断使能位LVDIE都需通过软件清除。

### 7.5.8 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

## 7.6 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7           GIE: 全局中断使能位，或高优先级中断使能位  
                   0: 禁止所有的中断，或禁止高优先级中断  
                   1: 使能所有未屏蔽的中断，或使能高优先级中断
- Bit 6           GIEL: 低优先级中断使能位（向量中断模式）  
                   0: 禁止低优先级中断  
                   1: 使能低优先级中断
- Bit 5~4        未使用
- Bit 3           SOFTIF: 软中断标志位  
                   0: 无软中断  
                   1: 有软中断
- Bit 2           INTVEN0: 中断模式选择位  
                   0: 默认中断模式  
                   1: 向量中断模式（芯片配置字INTVEN1必须为1）
- Bit 1~0        INTV<1:0>: 中断向量表选择位，参考向量表配置

INTP: 中断优先级寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IGP<7:0>: IG7-IG0 中断优先级设置

0: 低优先级

1: 高优先级

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PEG2<1:0>		KMSK3	KMSK2	—	—
R/W	—	—	R/W	R/W	R/W	R/W	—	—
POR	0	0	0	0	0	0	0	0

Bit 7~6 未使用

Bit 5~4 PEG2<1:0>: PINT3~PINT4 触发边沿选择位

00: PINT3~PINT4 下降沿触发

01: PINT3~PINT4 上升沿触发

1x: PINT3~PINT4 双沿触发

Bit 3 KMSK3: KIN3 按键输入屏蔽位

0: 屏蔽

1: 不屏蔽

Bit 2 KMSK2: KIN2 按键输入屏蔽位

0: 屏蔽

1: 不屏蔽

Bit 1~0 未使用

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	—	T11PIF	T13IF	T12IF	T11IF	T8NIF	KIF
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 未使用

Bit 5 T11PIF: T11 周期中断标志位

0: T11 未产生中断

1: T11 产生中断 (必须软件清零)

Bit 4 T13IF: T13 匹配中断标志位

0: T13 计数器计数未发生匹配

1: T13 计数器计数发生匹配 (必须软件清零)

Bit 3 T12IF: T12 匹配中断标志位

0: T12 计数器计数未发生匹配

1: T12 计数器计数发生匹配 (必须软件清零)

Bit 2 T11IF: T11 匹配中断标志位

- 0: T11 计数器计数未发生匹配
- 1: T11 计数器计数发生匹配 (必须软件清零)
- Bit 1 T8NIF: T8N 溢出中断标志位
  - 0: T8N 计数未溢出
  - 1: T8N 计数溢出 (必须用软件清零)
- Bit 0 KIF: 外部按键中断标志位
  - 0: 外部按键端口无电平变化
  - 1: 外部按键端口有电平变化 (必须软件清零)

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	—	—	T11PIE	T13IE	T12IE	T11IE	T8NIE	KIE
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 未使用
- Bit 5 T11PIE: T11 周期中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 4 T13IE: T13 匹配中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 3 T12IE: T12 匹配中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 2 T11IE: T11 匹配中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 1 T8NIE: T8N 溢出中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 0 KIE: 外部按键中断使能位
  - 0: 禁止
  - 1: 使能

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	LVDIF	T12PIF	—	—	—	—	—	ADIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 LVDIF: LVD 中断标志位
  - 0: 电源电压高于 LVD 检测电压
  - 1: 电源电压低于 LVD 检测电压
- Bit 6 T12PIF: T12 周期中断标志位

- 0: T12 未产生中断
- 1: T12 产生中断（必须软件清零）
- Bit 5~1 保留未用，需设置为 0
- Bit 0 ADIF: ADC 中断标志位
  - 0: 正在进行 AD 转换
  - 1: AD 转换已经完成（必须用软件清零）

INTE1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	LVDIE	T12PIE	—	—	—	—	—	ADIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 LVDIE: LVD 中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 6 T12PIE: T12 周期中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 5~1 保留未用，需设置为 0
- Bit 0 ADIE: ADC 中断使能位
  - 0: 禁止
  - 1: 使能

INTF2: 中断标志寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	T13PIF	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 T13PIF: T13 周期中断标志位
  - 0: T13 未产生中断
  - 1: T13 产生中断（必须软件清零）
- Bit 6~0 保留未用，需设置为 0

INTE2: 中断标志寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	T13PIE	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T13PIE: T13 周期中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 6~0 保留未用，需设置为 0



**INTF3: 中断标志寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	PIF4	PIF3	—
R/W	—	—	—	—	—	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~3 保留未用，需设置为 0
- Bit 2 PIF4: 外部端口中断 4 标志位  
0: 外部端口 PINT4 上无中断信号  
1: 外部端口 PINT4 上有中断信号（必须用软件清零）
- Bit 1 PIF3: 外部端口中断 3 标志位  
0: 外部端口 PINT3 上无中断信号  
1: 外部端口 PINT3 上有中断信号（必须用软件清零）
- Bit 0 保留未用

**INTE3: 中断标志寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	PIE4	PIE3	—
R/W	—	—	—	—	—	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~3 保留未用，需设置为 0
- Bit 2 PIE4: 外部端口中断 4 使能位  
0: 禁止  
1: 使能
- Bit 1 PIE3: 外部端口中断 3 使能位  
0: 禁止  
1: 使能
- Bit 0 保留未用

## 第8章 芯片配置字

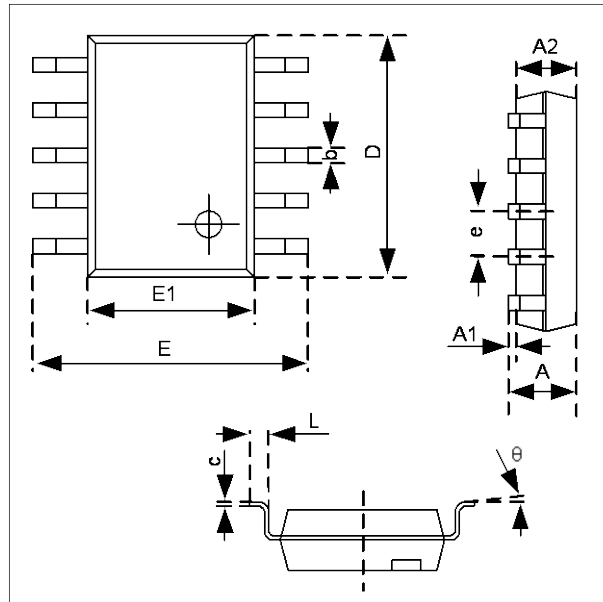
寄存器名称	芯片配置字 (CFG_WD)	
地址	8001 <sub>H</sub>	
<b>OCS</b> <2:0>	bit2-0	<b>振荡器选择位</b> 000~010: 保留 011: INTOSCIO 2MHz 模式, PA0, PA1 为 I/O 管脚 100: INTOSCIO 4MHz 模式, PA0, PA1 为 I/O 管脚 101: INTOSCIO 8MHz 模式, PA0, PA1 为 I/O 管脚 110: INTOSC 16MHz 模式, PA0 管脚功能为 CLKO, PA1 为 I/O 管脚, 主系统时钟为 INTHRC <sup>注1</sup> 111: INTOSCIO 16MHz 模式, PA0, PA1 为 I/O 管脚, 主系统时钟为 INTHRC
<b>WDTEN</b>	bit3	<b>硬件看门狗使能位</b> 0: 禁止 1: 使能
<b>PWRTEB</b>	bit4	<b>上电/低电压定时器使能位</b> 当 N_MRST 管脚用于外部复位时 0: 使能 1: 禁止 当 N_MRST 管脚用于数字输入/输出时, 固定为使能
<b>MRSTEN</b>	bit5	<b>N_MRST 管脚功能选择位</b> 0: 管脚用于数字输入/输出 1: 管脚用于外部复位
<b>BORVS</b>	bit7-6	<b>掉电电压选择位</b> 00: 4.0V 01: 3.3V 10: 2.8V 11: 2.0V (默认)
—	bit8	固定为 1
<b>FREN</b>	bit9	<b>FLASH 查表访问使能位</b> 0: 禁止 1: 使能
<b>ICDEN</b>	bit10	<b>ICD 调试模式使能位</b> 0: 使能 1: 禁止
<b>INTVEN1</b>	bit11	<b>中断模式选择位</b> 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)
—	bit12	固定为 0
—	Bit14-13	固定为 0
<b>ICDSEL</b>	bit15	固定为 0

注 1: 芯片配置字通过编程界面配置;  
注 2: CLKO 为系统时钟 16 分频输出。

## 第9章 芯片封装图

### 9.1 10-pin 封装图

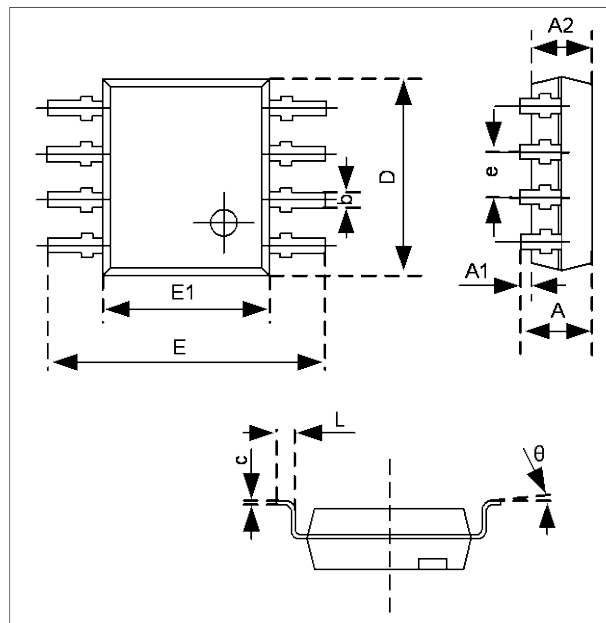
#### SSOP10



标号	公制 (mm)	
	MIN	MAX
A	1.350	1.750
A1	0.100	0.250
A2	1.350	1.550
b	0.300	0.450
c	0.170	0.250
D	4.700	5.100
E1	3.800	4.000
E	5.800	6.200
e	1.000 (BSC)	
L	0.400	1.270
θ	0°	8°

## 9.2 8-pin 封装图

### SOP8



标号	尺寸 (mm)		
	MIN	NOM	MAX
A	1.50	1.60	1.70
A1	0.10	0.15	0.20
A2	—	1.45	—
b	—	0.406	—
c	0.203	—	0.263
D	—	4.88	—
E	5.90	6.00	6.10
E1	—	3.91	—
e	—	1.27	—
L	0.56	0.66	0.76
θ	0°	—	8°

## 附录1 指令集

### 附录1.1 概述

本系列芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 JUMP、AJMP、GOTO、CALL、LCALL、RCALL、RET、RETIA、RETIE、TBR、TBR#1、TBR\_1、TBR1#、TBW、TBW#1、TBW\_1、TBW1#为双周期指令；满足跳转条件时，JBC、JBS、JCAIE、JCAIG、JCAIL、JCRAE、JCRAE、JCRAE、JCRAE、JCCRE、JCCRG、JCCRL、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

### 附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<0>->PCRH<3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R) (R 为 GPR)
8	MOVRA	R<10:0>	—	1	(R)->(A) (R 为 GPR)

### 附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<11:0>->PC<11:0> I<11:8>->PCRH<3>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCRH<3>->PC<11>
12	CALL	I<10:0>	—	2	PC+1->TOS,I<10:0>->PC<10:0>, PCRH<3>->PC<11>

序号	指令		影响状态位	机器周期	操作
13	LCALL	I<19:0>	—	2	PC+1->TOS, I<11:0>->PC<11:0> I<11:8>->PCRH<3:0>
14	RCALL	R<7:0>	—	2	PC+1->TOS, (R)->PC<7:0>, PCRH<3:0>->PC<11:8>,
15	JBC	R<7:0>, B<2:0>	—	2 或 1	当 R<B> = 0 时跳过下一条指令
16	JBS	R<7:0>, B<2:0>	—	2 或 1	当 R<B> = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2 或 1	当(R) = (A) 时跳过下一条指令
21	JCRAG	R<7:0>	—	2 或 1	当(R) > (A) 时跳过下一条指令
22	JCRAL	R<7:0>	—	2 或 1	当(R) < (A) 时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	—	2 或 1	当 C = R(B) 时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	—	2 或 1	当 C > R(B) 时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	—	2 或 1	当 C < R(B) 时跳过下一条指令
26	JDEC	R<7:0>, F	—	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的 值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	—	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的 值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A, PSWS->PSW, BKSR->BKSR, PCRHS->PCRH
30	PUSH	—	—	1	A->AS, PSW->PSWS, BKSR->BKSR, PCRH->PCRHS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A), TOS->PC
33	RETIE	—	—	2	TOS->PC, 1->GIE
34	RST	—	全部状态位均被影响	1	软件复位指令
35	CWDT	—	N_TO, N_PD	1	00 <sub>H</sub> ->WDT, 0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO, N_PD	1	00 <sub>H</sub> ->WDT, 0->WDTPrescaler, 1-> N_TO, 0-> N_PD

### 附录1.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器 周期	操作
37	ADD	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R<B>
44	BSS	R<7:0>,B<2:0>	—	1	1->R<B>
45	BTT	R<7:0>,B<2:0>	—	1	(~R<B>)->R<B>
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF <sub>H</sub> ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R不带C向右循环移位)
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C,DC,Z,OV,N	1	I-(A)- (~C)->(A)



序号	指令		影响 状态位	机器 周期	操作
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	—	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	—	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	—	—	2	ROMD->prog buffer
74	TBW#1	—	—	2	ROMD>prog buffer, FRA+1->FRA
75	TBW_1	—	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位或移动 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果标志位 F = 0，则目标寄存器为寄存器 A；如果标志位 F = 1，则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中，N 的位数，视实际芯片而定。对本系列芯片，通用数据存储器 GPR 分为 2 个存储体组，所以 N 的位数是 1 位。
- 7: PAGE 指令中，N 的位数，视实际芯片而定。对本系列芯片，没有 PCRU 寄存器，N 的位数是 1 位。
- 8: PC 的位数以及 PCRU 寄存器，视实际芯片而定。对本系列芯片，PC 的位数是 12 位，没有 PCRU 寄存器。

## 附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 <sub>H</sub>	IAD	IAD<7:0>								0000 0000
FF81 <sub>H</sub>	IAAL	IAAL<7:0>								0000 0000
FF82 <sub>H</sub>	IAAH	IAAH<7:0>								0000 0000
FF83 <sub>H</sub>	BKSR	—	—	—	SBKSR	—	—	—	DBKSR	0000 0000
FF84 <sub>H</sub>	PSW	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 <sub>H</sub>	AREG	A<7:0>								xxxx xxxx
FF86 <sub>H</sub>	PCRL	PCRL<7:0>								0000 0000
FF87 <sub>H</sub>	PCRH	—	—	—	—	PCRH<3:0>			0000 0000	
FF88 <sub>H</sub>	MULA/MULL	MULA<7:0> / MULL<7:0>								xxxx xxxx
FF89 <sub>H</sub>	MULB/MULH	MULB<7:0> / MULH<7:0>								xxxx xxxx
FF8A <sub>H</sub>	DIVEL/DIVQL	DIVEL<7:0>/ DIVQL<7:0>								xxxx xxxx
FF8B <sub>H</sub>	DIVEH/DIVQH	DIVEH<7:0>/ DIVQH<7:0>								xxxx xxxx
FF8C <sub>H</sub>	DIVS/DIVR	DIVS<7:0>/DIVR<7:0>								xxxx xxxx
FF8D <sub>H</sub>	T11CNTM	—	—	T11CNTM<5:0>					0000 0000	
FF8E <sub>H</sub>	—	—								1000 0111
FF8F <sub>H</sub>	LVDC	LVDO	—	—	LVDEN	LVDS<3:0>			0000 0000	
FF90 <sub>H</sub>	FRAL	FRAL<7:0>								xxxx xxxx
FF91 <sub>H</sub>	FRAH	FRAH<7:0>								xxxx xxxx
FF92 <sub>H</sub>	ROMDL	ROMDL<7:0>								xxxx xxxx
FF93 <sub>H</sub>	ROMDH	ROMDH<7:0>								xxxx xxxx
FF94 <sub>H</sub>	ROMCL	—	—	—	—	FPEE	WREN	WR	—	0000 0000
FF95 <sub>H</sub>	ROMCH	ROMCH<7:0>								0000 0000
FF96 <sub>H</sub>	INTG	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>		0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF97 <sub>H</sub>	INTP	IGP<7:0>								0000 0000
FF98 <sub>H</sub>	INTC0	—	—	PEG2<1:0>		KMSK3	KMSK2	—	—	0000 0000
FF99 <sub>H</sub>	T12CNTM	—	—	T12CNTM<5:0>						0000 0000
FF9A <sub>H</sub>	INTE0	—	—	T11PIE	T13IE	T12IE	T11IE	T8NIE	KIE	0000 0000
FF9B <sub>H</sub>	INTF0	—	—	T11PIF	T13IF	T12IF	T11IF	T8NIF	KIF	0000 0000
FF9C <sub>H</sub>	INTE1	LVDIE	T12PIE	—	—	—	—	—	ADIE	0000 0000
FF9D <sub>H</sub>	INTF1	LVDIF	T12PIF	—	—	—	—	—	ADIF	0000 0000
FF9E <sub>H</sub>	INTE2	T13PIE	—	—	—	—	—	—	—	0000 0000
FF9F <sub>H</sub>	INTF2	T13PIF	—	—	—	—	—	—	—	0000 0000
FFA0 <sub>H</sub>	INTE3	—	—	—	—	—	PIE4	PIE3	—	0000 0000
FFA1 <sub>H</sub>	INTF3	—	—	—	—	—	PIF4	PIF3	—	0000 0000
FFA2 <sub>H</sub>	—	—								1000 0111
FFA3 <sub>H</sub>	—	—								1000 0111
FFA4 <sub>H</sub>	—	—								1000 0111
FFA5 <sub>H</sub>	—	—								1000 0111
FFA6 <sub>H</sub>	PWRC	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR	0111 1100
FFA7 <sub>H</sub>	WDTC	—	—	—	—	WDTPRE	WDTPRS<2:0>			0000 1111
FFA8 <sub>H</sub>	WKDC	WKDC <7:0>								1111 1111
FFA9 <sub>H</sub>	PWEN	—	CFGRSTF	MRSTF	PORLOST	BORFLT<1:0>		RCEN	—	0000 1011
FFAA <sub>H</sub>	PA	—	—	PA5	PA4	PA3	—	PA1	PA0	xxxx xxxx
FFAB <sub>H</sub>	PAT	—	—	PAT5	PAT4	PAT3	—	PAT1	PAT0	1111 1111
FFAC <sub>H</sub>	PB	PB7	PB6	—	—	—	—	PB1	—	xxxx xxxx
FFAD <sub>H</sub>	PBT	PBT7	PBT6	—	—	—	—	PBT1	—	1111 1111
FFAE <sub>H</sub>	—	—								xxxx xxxx
FFAF <sub>H</sub>	—	—								0000 0011

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFB0 <sub>H</sub>	PAPU	—	—	PAPU5	PAPU4	PAPU3	—	PAPU1	PAPU0	0000 0100
FFB1 <sub>H</sub>	PBPU	PBPU7	PBPU6	—	—	—	—	PBPU1	—	0000 0000
FFB2 <sub>H</sub>	-	—	—	—	—	—	—	-	-	0000 0000
FFB3 <sub>H</sub>	VRC3	—	VREFSEL	—	—	—	—	—	—	1111 1011
FFB4 <sub>H</sub>	PAOD	—	—	PAOD5	PAOD4	PAOD3	—	PAOD1	PAOD0	0000 0000
FFB5 <sub>H</sub>	PBOD	PBOD7	PBOD6	—	—	—	—	PBOD1	—	0000 0000
FFB7 <sub>H</sub>	PAPD	—	—	PAPD5	PAPD4	PAPD3	—	PAPD1	PAPD0	0000 0000
FFB8 <sub>H</sub>	PBPD	PBPD7	PBPD6	—	—	—	—	PBPD1	—	0000 0000
FFBA <sub>H</sub>	VRC2	ADHSEN	—	—	—	—	—	—	ADVCMHS	1000 0001
FFBB <sub>H</sub>	T8N	T8N<7:0>								0000 0000
FFBC <sub>H</sub>	T8NC	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFBD <sub>H</sub>	T11L	T11L<7:0>								0000 0000
FFBE <sub>H</sub>	T11C	T11M1	T11POS<3:0>				T11EN	T11PR1S<1:0>		0000 0000
FFBF <sub>H</sub>	T11PL	T11PL<7:0>								1111 1111
FFC0 <sub>H</sub>	T11RL	T11RL<7:0>								0000 0000
FFC1 <sub>H</sub>	T11PH	T11RH<3:0>				T11PH<3:0>				0000 1111
FFC2 <sub>H</sub>	T11OC	PWM11UD	PWM1XTBS	T11TR	T11TS<1:0>		PWM1XS<2:0>			0000 0000
FFC3 <sub>H</sub>	T12L	T12L<7:0>								0000 0000
FFC4 <sub>H</sub>	T12C	T12M1	T12POS<3:0>				T12EN	T12PR1S<1:0>		0000 0000
FFC5 <sub>H</sub>	T12PL	T12PL<7:0>								1111 1111
FFC6 <sub>H</sub>	T12RL	T12RL<7:0>								0000 0000
FFC7 <sub>H</sub>	T12PH	T12RH<3:0>				T12PH<3:0>				0000 1111
FFC8 <sub>H</sub>	T12OC	PWM2XUD	PWM2XTBS	T12TR	T12TS<1:0>		PWM2XS<2:0>			0000 0000
FFC9 <sub>H</sub>	T13L	T13L<7:0>								0000 0000
FFCA <sub>H</sub>	T13C	T13M1	T13POS<3:0>				T13EN	T13PR1S<1:0>		0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFCB <sub>H</sub>	T13PL	T13PL<7:0>								1111 1111
FFCC <sub>H</sub>	T13RL	T13RL<7:0>								0000 0000
FFCD <sub>H</sub>	T13PH	T13RH<3:0>				T13PH<3:0>				0000 1111
FFCE <sub>H</sub>	T13OC	PWM3XUD	PWM3XTBS	T13TR	T13TS<1:0>		—	PWM31EN	PWM30EN	0000 0000
FFCF <sub>H</sub>	PWM1C	PWM1ADEN	P1M1	PDD1PR<1:0>		PWM1ADS	—	PWM1M<1:0>		0000 0000
FFD0 <sub>H</sub>	PWM2C	PWM2ADEN	P1M2	PDD2PR<1:0>		PWM2ADS	—	PWM2M<1:0>		0000 0000
FFD1 <sub>H</sub>	PWM3C	PWM3ADEN	P1M3	PDD3PR<1:0>		PWM3ADS	—	PWM3M<1:0>		0000 0000
FFD2 <sub>H</sub>	PDD1C	PRSEN1	PDD1C<6:0>							0000 0000
FFD3 <sub>H</sub>	PDD2C	PRSEN2	PDD2C<6:0>							0000 0000
FFD4 <sub>H</sub>	PDD3C	PRSEN3	PDD3C<6:0>							0000 0000
FFD5 <sub>H</sub>	TE1AS	PWM1ASF	—	—	PWM1AS0	—	—	PSS1BD<1:0>		0000 0000
FFD6 <sub>H</sub>	TE2AS	PWM2ASF	—	—	PWM2AS0	—	—	PSS2BD<1:0>		0000 0000
FFD7 <sub>H</sub>	TE3AS	PWM3ASF	—	—	PWM3AS0	—	—	PSS3BD<1:0>		0000 0000
FFD8 <sub>H</sub>	TMRADC	TMRADC<7:0>								0000 0000
FFD9 <sub>H</sub>	T13CNTM	—	—	T13CNTM<5:0>						0000 0000
FFDA <sub>H</sub>	ADCRL	ADCRL<7:0>								xxxx xxxx
FFDB <sub>H</sub>	ADCRH	ADCRH<7:0>								xxxx xxxx
FFDC <sub>H</sub>	ADCCL	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	1111 0100
FFDD <sub>H</sub>	ADCCH	ADFM	ADCKS<2:0>			ADST<1:0>		ADVREFS<1:0>		0100 1000
FFDE <sub>H</sub>	ANSL	—	—	—	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0	0000 0000
FFDF <sub>H</sub>	ANSH	—	ANSH6	—	—	—	—	ANSH1	—	0100 0000
FFE0 <sub>H</sub>	—	—								0000 0000
FFE1 <sub>H</sub>	—	—								0000 000x
FFE2 <sub>H</sub>	—	—								0000 0000
FFE3 <sub>H</sub>	—	—								0000 0010

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFE4 <sub>H</sub>	—	—								0000 0000
FFE5 <sub>H</sub>	T11CAPC	CAP1S<1:0>		T11CAP<1:0>		—	—	—	—	0000 0000
FFE6 <sub>H</sub>	T11H	—	—	—	—	T11H<3:0>				0000 0000
FFE7 <sub>H</sub>	T12H	—	—	—	—	T12H<3:0>				0000 0000
FFE8 <sub>H</sub>	T13H	—	—	—	—	T13H<3:0>				0000 0000
FFE9 <sub>H</sub>	T11CH	T11M2	—	—	PRS1	T11PR2S<3:0>				0000 0000
FFEA <sub>H</sub>	T12CH	T12M2	—	—	PRS2	T12PR2S<3:0>				0000 0000
FFEB <sub>H</sub>	T13CH	T13M2	—	—	PRS3	T13PR2S<3:0>				0000 0000
FFEC <sub>H</sub>	—	—								0000 0000
FFED <sub>H</sub>	T12CAPC	CAP2S<1:0>		T12CAP<1:0>		—	—	—	—	0000 0000
FFEE <sub>H</sub>	T13CAPC	CAP3S<1:0>		T13CAP<1:0>		—	—	—	—	0000 0000
FFEF <sub>H</sub>	—	—								0000 0000
FFF0 <sub>H</sub>	—	—								0000 0000
FFF1 <sub>H</sub>	—	—								0000 0000
FFF2 <sub>H</sub>	—	—								0000 0000
FFF3 <sub>H</sub>	—	—								0000 0000
FFF4 <sub>H</sub>	—	—								0000 0000
FFF5 <sub>H</sub>	—	—								1000 0100
FFF6 <sub>H</sub> ~FFFA <sub>H</sub>	—	—								0000 0000
FFFB <sub>H</sub>	VRC1	VREFEN	—	—	—	—	—	—	—	0000 0000
FFFC <sub>H</sub> ~FFFF <sub>H</sub>	—	—								0000 0000

## 附录3 电气特性

### 附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	—	-0.3 ~ 7.5	V
输入电压	V <sub>IN</sub>	—	-0.3 ~ VDD + 0.3	V
输出电压	V <sub>OUT</sub>	—	-0.3 ~ VDD + 0.3	V
存储温度	T <sub>STG</sub>	—	-55 ~ 125	°C
操作温度	T <sub>OPR</sub>	VDD: 2.5 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.5	—	5.5	V	-40°C ~ 85°C
芯片静态电流	I <sub>DD</sub>	—	900	—	uA	25°C, VDD = 5V, BOR 不使能, 所有的 I/O 端口输入低电平, N_MRST = 0, OSC1 = 0, OSC2 悬空。
IDLE0 休眠模式下芯片电流	I <sub>PD1</sub>	—	10	—	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
IDLE1 休眠模式下芯片电流	I <sub>PD2</sub>	—	500	—	μA	25°C, VDD = 5V, BOR 使能, WDT 使能, 外部振荡器。
正常运行模式芯片电流	I <sub>OP1</sub>	—	2	—	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz 时钟, I/O 端口输出固定电平, 无负载。
	I <sub>OP2</sub>	—	3	—	mA	25°C, VDD = 5V, 正常运行模式, 外部 HS 模式下 16MHz 时钟, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I <sub>MAXVDD</sub>	—	80	—	mA	25°C, VDD = 5V
VSS 管脚的最大输出电流	I <sub>MAXVSS</sub>	—	200	—	mA	25°C, VDD = 5V
I/O 端口灌电流	I <sub>OL</sub>	—	20	—	mA	25°C, VDD = 5V V <sub>OL</sub> = 0.6V
I/O 端口拉电流	I <sub>OH</sub>	—	12	—	mA	25°C, VDD = 5V V <sub>OH</sub> = 4.4V

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输入高电平 (有施密特输入特性)	V <sub>IH</sub>	0.8VDD	—	VDD	V	2.5V ≤ VDD ≤ 5.5V
主复位信号 N_MRST 输入高电平 (有施密特输入特性)		0.8VDD	—	VDD	V	
I/O 端口输入低电平	V <sub>IL</sub>	VSS	—	0.18VDD	V	
主复位信号 N_MRST 输入低电平		VSS	—	0.20VDD	V	
I/O 端口输入漏电流	I <sub>IL</sub>	—	—	±1	μA	2.5V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
主复位端口漏电流		—	—	5	μA	VSS ≤ Vpin ≤ VDD
I/O 端口输入弱上拉电 流	I <sub>WPU</sub>	—	300	—	μA	25°C, VDD=5.0V Vpin = VSS
I/O 端口输入弱下拉电 流	I <sub>WPD</sub>	—	300	—	μA	25°C, VDD=5.0V Vpin = VDD
I/O 输入端口 VDD/2 输 出	V <sub>VDD/2</sub>	—	±3%	—		25°C, VDD=5V, 弱 上拉和弱下拉同时 使能

◆ 芯片输出端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V <sub>OH</sub>	VDD-0.7	—	—	V	2.5V ≤ VDD ≤ 5.5V I <sub>OH</sub> = 6.0 mA
I/O 端口输出低电平	V <sub>OL</sub>	—	—	0.6	V	2.5V ≤ VDD ≤ 5.5V I <sub>OL</sub> = 12 mA

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F <sub>OSC</sub>	—	—	16M	Hz	2.5V ≤ VDD ≤ 5.5V
系统时钟周期	T <sub>OSC</sub>	62.5	—	—	ns	2.5V ≤ VDD ≤ 5.5V
机器周期	T <sub>inst</sub>	125	—	—	ns	—
外部时钟高电平 和低电平时间	T <sub>OSL</sub> , T <sub>OSH</sub>	15	—	—	ns	—
外部时钟上升 和下降时间	T <sub>OSR</sub> , T <sub>OSF</sub>	—	—	15	ns	—
WDT 溢出时间 (不分频)	T <sub>WDT</sub>	4.7 (54KHz)	8 (32KHz)	26.7 (9.6KHz)	ms	2.5V ≤ VDD ≤ 5.5V -40°C ~ 85°C



◆ 12 位 ADC 特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	2.5	—	5.5	V	
分辨率	R <sub>R</sub>	—	—	12	bit	—
差分线性度	DNL	—	—	±2	LSB	—
积分线性度	INL	—	—	±2	LSB	—
失调误差	E <sub>OFF</sub>	—	±2	±3	LSB	—
参考电压	V <sub>REF</sub>	1.3	—	VDD	V	—
模拟输入电压	V <sub>ADIN</sub>	—	—	V <sub>REF</sub>	V	—
输入电容	C <sub>ADIN</sub>	—	—	40	Pf	—
输入电阻	R <sub>ADIN</sub>	—	—	10	KΩ	—
转换时钟频率	F <sub>ADCLK</sub>	32KHz	—	8	MHz	AD 转换选择 VDD 或外部 VREFP 作为正端参考电压； 高速模式（ADHSEN=1，ADVCMHS=1）
	F <sub>ADCLK</sub>	256KHz	—	2	MHz	AD 转换选择内部 VREF 作为正端参考电压； 高速模式（ADHSEN=1，ADVCMHS=1）
转换时间 (不包括采样时间)	T <sub>ADC</sub>	—	13	—	Tadclk	—
采样时间	T <sub>ADS</sub>	250	—	—	ns	—

注 1: 建议 ADC 转换在高速模式下进行。

注 2: 建议 ADC 转换时钟频率设置在 512KHz~2MHz 之间，频率设置过高或过低，都可能会导致 ADC 转换精度降低。

◆ 模拟小信号 ADC offset 特性表

1) 参考电压为内部 VREF1.8V, VDD=3.0V 时, 不同 ADC 时钟频率、对应于不同模拟输入 Vain 电压小信号的 ADC offset 典型值如下:

参数	最小值	典型值	最大值	测试条件			
				模拟输入电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD
ADC offset	—	2LSB	—	0mV	内部 VREF1.8	2MHz	3V
	—	3LSB	—			1MHz	
	—	3LSB	—			500KHz	
	—	3LSB	—			250KHz	
	—	2LSB	—			LRC (32KHz)	

参数	最小值	典型值	最大值	测试条件			
				模拟输入电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD
	—	±1LSB	—	4mV	内部 VREF1.8V	2MHz	
	—	3LSB	—			1MHz	
	—	3LSB	—			500KHz	
	—	3LSB	—			250KHz	
	—	2LSB	—			LRC (32KHz)	

注：如果应用系统对模拟小信号的 ADC offset 精度和一致性有严格要求，则推荐 ADC 时钟频率为 1MHz 以下。

2) ADC 时钟频率为 1MHz、采样时间为 8Tad 时，不同 ADC 参考电压，不同 VDD，对应于不同模拟输入 Vain 电压小信号的 ADC offset 典型值如下：

参数	最小值	典型值	最大值	测试条件			
				模拟输入 电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD
ADC offset	—	3LSB	—	0mV	内部 VREF1.8V	1MHz	3.0~5.0V
	—	1LSB	—		内部 VREF2.5V		3.0~5.0V
	—	2LSB	—		外部 VREF1.8V		3.0V
	—	-2LSB	—		外部 VREF1.8V		5.0V
	—	1LSB	—		VDD		3.0V
	—	-2LSB	—		VDD		5.0V
	—	3LSB	—	4mV	内部 VREF1.8V	1MHz	3.0~5.0V
	—	1LSB	—		内部 VREF2.5V		3.0~5.0V
	—	2LSB	—		外部 VREF1.8V		3.0V
	—	-2LSB	—		外部 VREF1.8V		5.0V
	—	1LSB	—		VDD		3.0V
	—	-2LSB	—		VDD		5.0V

◆ ADC 转换时间对照表，ADC 转换参考电压选择为内部 VREF

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用	不推荐使用	不推荐使用	T <sub>ADCLK</sub> = 1us
Fosc/2	不推荐使用	不推荐使用	T <sub>ADCLK</sub> = 0.5us	T <sub>ADCLK</sub> = 2us
Fosc/4	不推荐使用	T <sub>ADCLK</sub> = 0.5us	T <sub>ADCLK</sub> = 1us	T <sub>ADCLK</sub> = 4us
Fosc/8	T <sub>ADCLK</sub> = 0.5us	T <sub>ADCLK</sub> = 1us	T <sub>ADCLK</sub> = 2us	不推荐使用
Fosc/16	T <sub>ADCLK</sub> = 1us	T <sub>ADCLK</sub> = 2us	T <sub>ADCLK</sub> = 4us	不推荐使用
Fosc/32	T <sub>ADCLK</sub> = 2us	T <sub>ADCLK</sub> = 4us	不推荐使用	不推荐使用
Fosc/64	T <sub>ADCLK</sub> = 4us	不推荐使用	不推荐使用	不推荐使用

◆ ADC 转换时间对照表，ADC 转换正端参考电压选择为 VDD 或外部 VREFP

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用	$T_{ADCLK} = 0.125\mu s$	$T_{ADCLK} = 0.25\mu s$	$T_{ADCLK} = 1\mu s$
Fosc/2	$T_{ADCLK} = 0.125\mu s$	$T_{ADCLK} = 0.25\mu s$	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 2\mu s$
Fosc/4	$T_{ADCLK} = 0.25\mu s$	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 4\mu s$
Fosc/8	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 8\mu s$
Fosc/16	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 16\mu s$
Fosc/32	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 8\mu s$	$T_{ADCLK} = 32\mu s$
Fosc/64	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 8\mu s$	$T_{ADCLK} = 16\mu s$	不推荐使用

◆ 参考电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
ADC 内部参考电压	$V_{REF}$	2.475	2.5	2.525	V	VREFSEL=1, 25°C, VDD=5.V
		2.45	2.5	2.55	V	VREFSEL=1, -40°C~85°C, VDD=3.4V~5.5V
		1.782	1.8	1.818	V	VREFSEL=0, 25°C, VDD=5.V
		1.764	1.8	1.836	V	VREFSEL=0, -40°C~85°C, VDD=2.8V~5.5V

◆ 内部 16MHz 时钟校准性表

参数	符号	最小值	典型值	最大值	单位	测试条件
内部 16MHz 时钟频率	$F_{intosc}$	15.84	16	16.16	MHz	25°C, VDD = 5V
		15.68	16	16.32	MHz	-40°C~85°C, VDD=2.5V~5.5V

◆ 低电压复位 BOR 电压特性

参数	符号	最小值	典型值	最大值	单位	测试条件
BOR 低电压设定电压 1	$V_{bor1}$	3.8	4.0	4.6	V	25°C, VDD=3.0V~5.5V
BOR 低电压设定电压 2	$V_{bor2}$	3.1	3.3	3.8	V	25°C, VDD=3.0V~5.5V
BOR 低电压设定电压 3	$V_{bor3}$	2.6	2.8	3.2	V	25°C, VDD=2.2V~5.5V
BOR 低电压设定电压 4	$V_{bor4}$	1.8	2.0	2.3	V	25°C, VDD=1.8V~5.5V

参数	符号	最小值	典型值	最大值	单位	测试条件
BOR 低电压复位脉宽	$T_{bor}$	-	220	-	us	设计理论值

◆ 低电压检测 LVD 电压特性

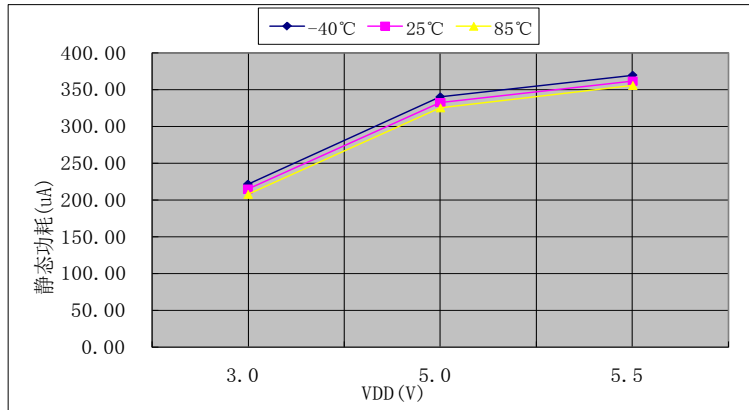
参数	符号	最小值	典型值	最大值	单位	测试条件
LVD 低电压设定电压 1	$V_{lvd1}$	4.4	4.6	4.8	V	25°C, VDD=4.4V~5.5V
LVD 低电压设定电压 2	$V_{lvd2}$	3.8	4.0	4.2	V	25°C, VDD=3.9V~5.5V
LVD 低电压设定电压 3	$V_{lvd3}$	3.6	3.6	3.8	V	25°C, VDD=3.5V~5.5V
LVD 低电压设定电压 4	$V_{lvd4}$	2.8	3.0	3.2	V	25°C, VDD=2.8V~5.5V
LVD 低电压设定电压 5	$V_{lvd5}$	2.6	2.8	3.0	V	25°C, VDD=2.6V~5.5V
LVD 低电压设定电压 6	$V_{lvd6}$	2.4	2.6	2.8	V	25°C, VDD=2.4V~5.5V
LVD 低电压设定电压 7	$V_{lvd7}$	2.2	2.4	2.6	V	25°C, VDD=2.2V~5.5V
LVD 低电压设定电压 8	$V_{lvd8}$	2.0	2.2	2.4	V	25°C, VDD=2.0V~5.5V
LVD 低电压设定电压 9	$V_{lvd9}$	1.8	2.0	2.2	V	25°C, VDD=1.8V~5.5V
LVD 低电压复位脉宽	$T_{lvd}$	-	220	-	us	设计理论值

注：LVD 档位必须高于 BOR 复位电压档位，否则 LVD 功能失效。

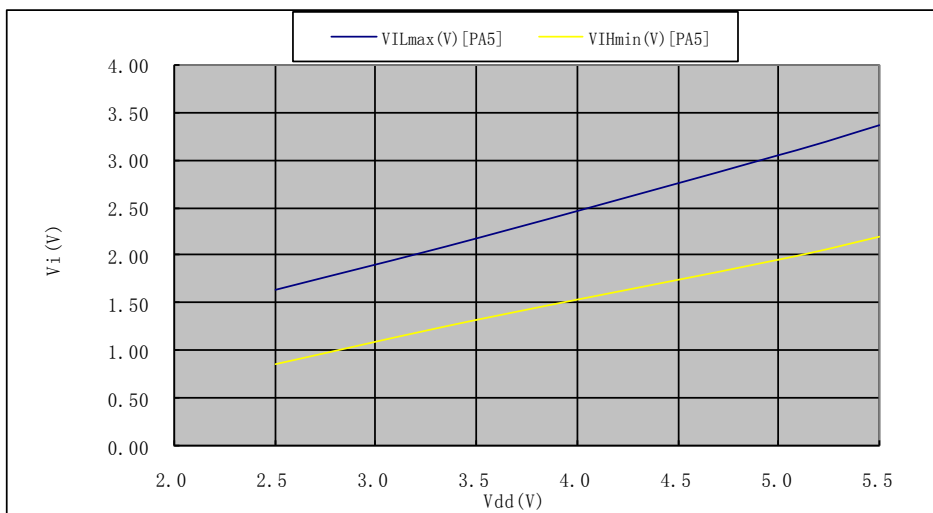
### 附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

◆ 芯片静态电流随芯片电压变化特性图

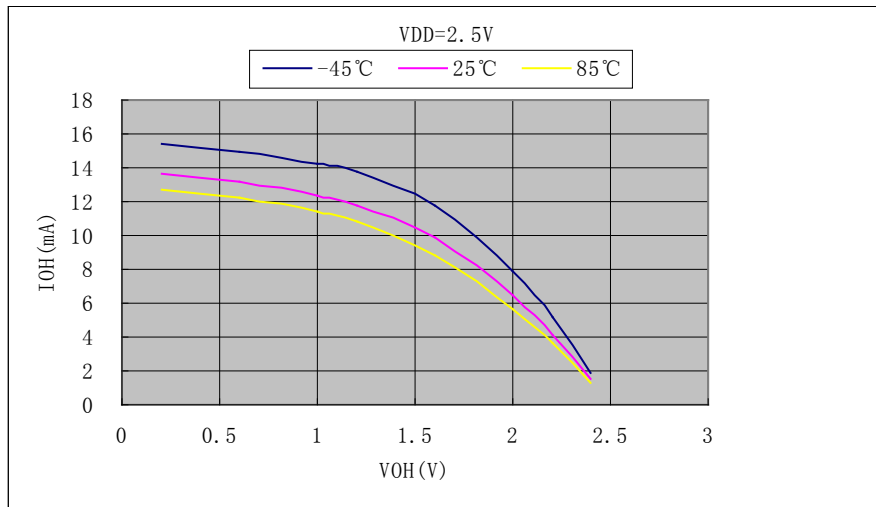


◆ I/O 端口信号输入特性图 (室温 25°C)

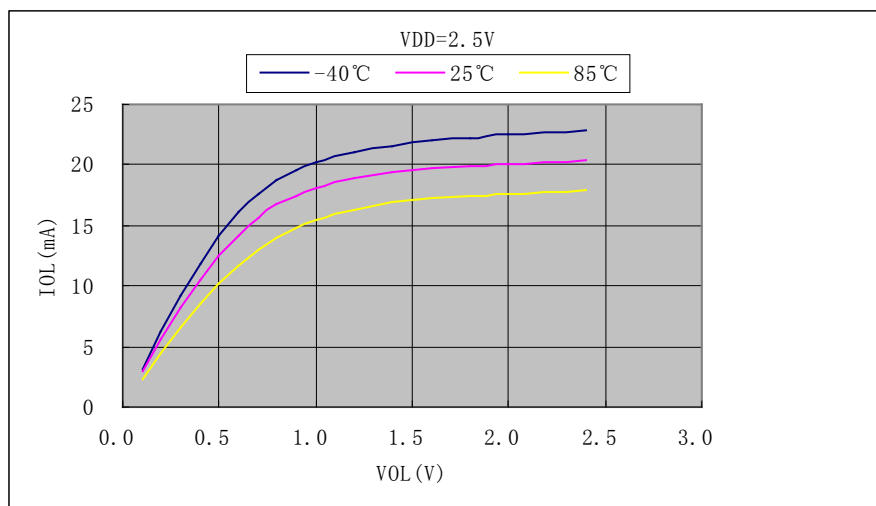


◆ I/O 端口信号输出特性图

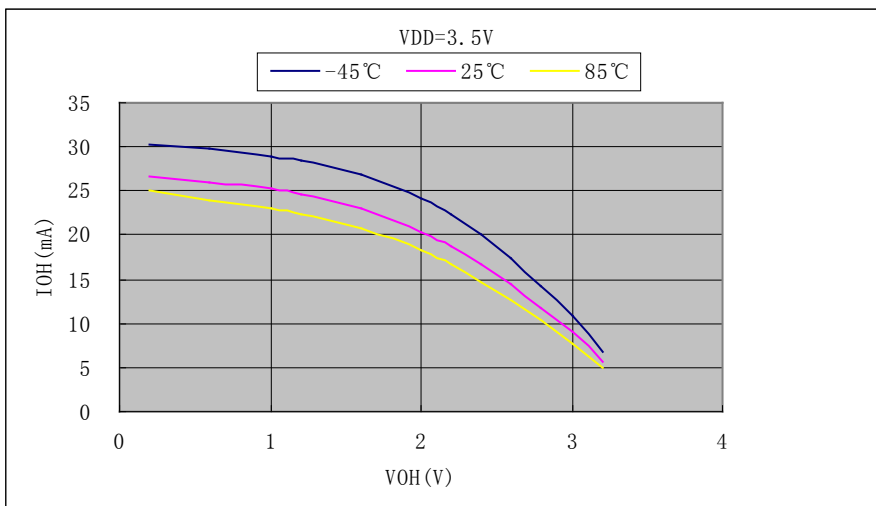
A:  $V_{OH}$  vs  $I_{OH}$ @ $V_{DD}=2.5V$



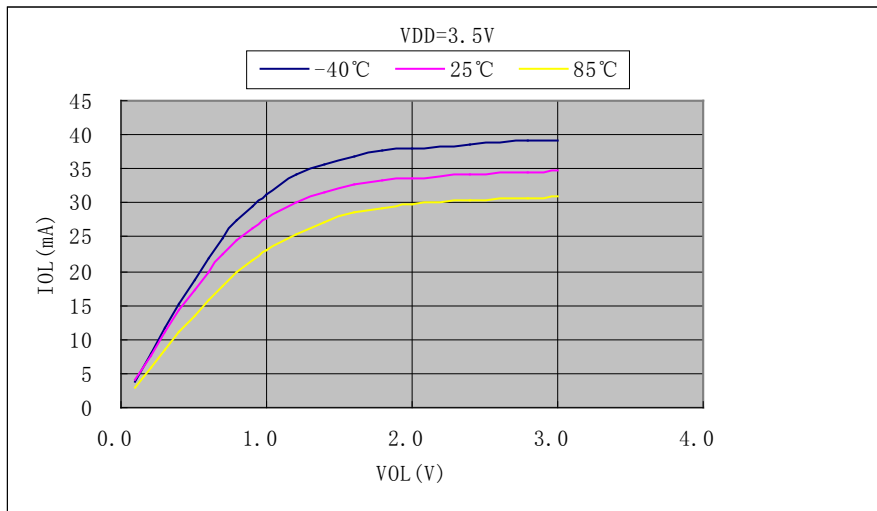
B:  $V_{OL}$  vs  $I_{OL}$ @ $V_{DD}=2.5V$



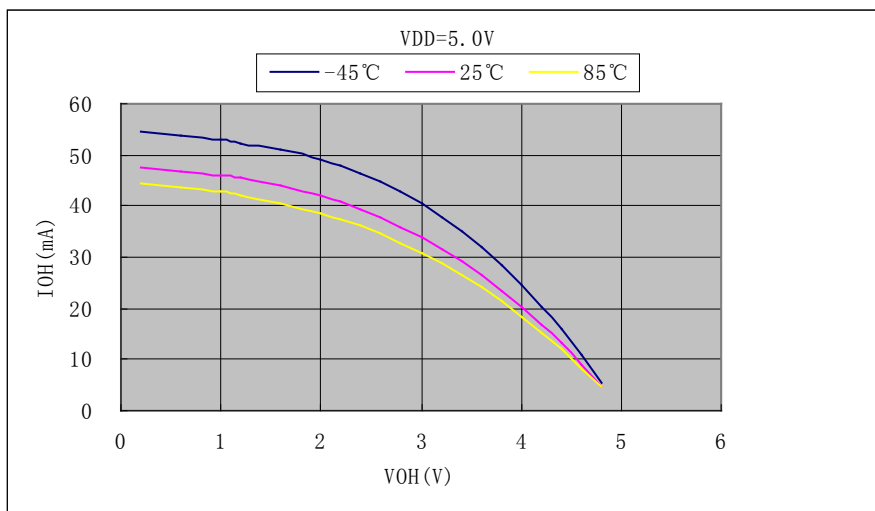
C:  $V_{OH}$  vs  $I_{OH}$ @ $V_{DD}=3.5V$



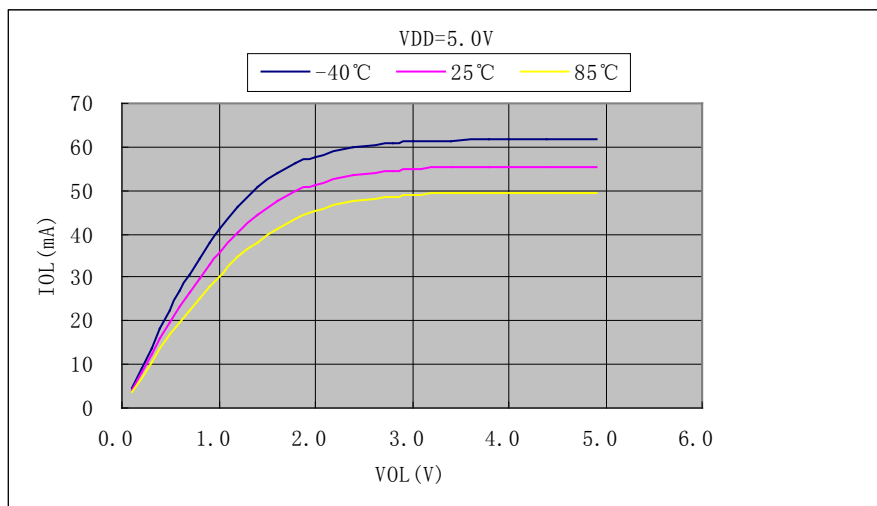
D:  $V_{OL}$  vs  $I_{OL}$ @ $V_{DD}=3.5V$



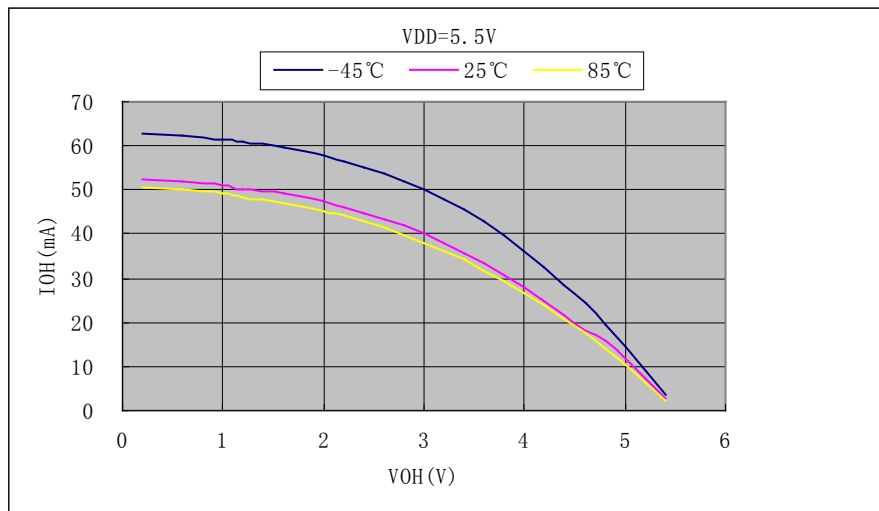
E:  $V_{OH}$  vs  $I_{OH}$ @ $V_{DD}=5.0V$



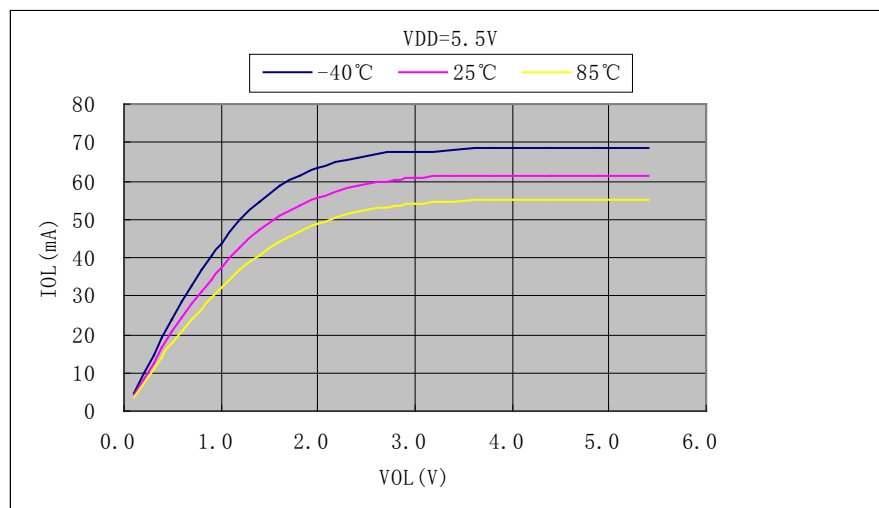
F:  $V_{OL}$  vs  $I_{OL}$ @ $V_{DD}=5.0V$



G:  $V_{OH}$  vs  $I_{OH}$ @VDD=5.5V



H:  $V_{OL}$  vs  $I_{OL}$ @VDD=5.5V





单击下面可查看定价，库存，交付和生命周期等信息

[>>Eastsoft\(东软载波\)](#)