

厦门国科安芯科技有限公司

通讯接口芯片-ASM1042S 数据手册

1 特点

- 通过 AEC-Q100 Grade1 认证
- 符合 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准
- 提供功能安全
 - 可帮助进行功能安全系统设计的文档
- 支持 5Mbps
 - 具有较短的对称传播延迟时间和快速循环次数, 可增加时序裕量
 - 在有负载 CAN 网络中实现更快的数据速率
- EMC 性能: 支持 SAE J2962-2 和 IEC 62228-3 (最高 500kbps) 无需共模扼流圈
- I/O 电压范围支持 3.3V 和 5V MCU
- 未供电时具有理想无源行为
 - 总线和逻辑引脚处于高阻态 (无负载)
 - 在总线和 RXD 输出上实现上电/断电无干扰运行
- 保护特性
 - IEC ESD 保护高达 $\pm 15\text{kV}$
 - 总线故障保护: $\pm 58\text{V}$ (非 H 型号) 和 $\pm 70\text{V}$ (H 型号)
 - VCC 和 VIO (仅限 V 型号) 电源终端具有欠压保护
 - 驱动器显性超时(TXD DTO) -数据速率低至 10kbps
 - 热关断保护(TSD)
- 收发器共模输入电压: $\pm 30\text{V}$

-
- 典型循环延迟: 110ns
 - SEU : $\geq 75\text{Mev. cm}^2/\text{mg}$ 或 10^{-5} 次/器件. 天 (商业航天级)
 - SEL : $\geq 75\text{Mev. cm}^2/\text{mg}$ (商业航天级)

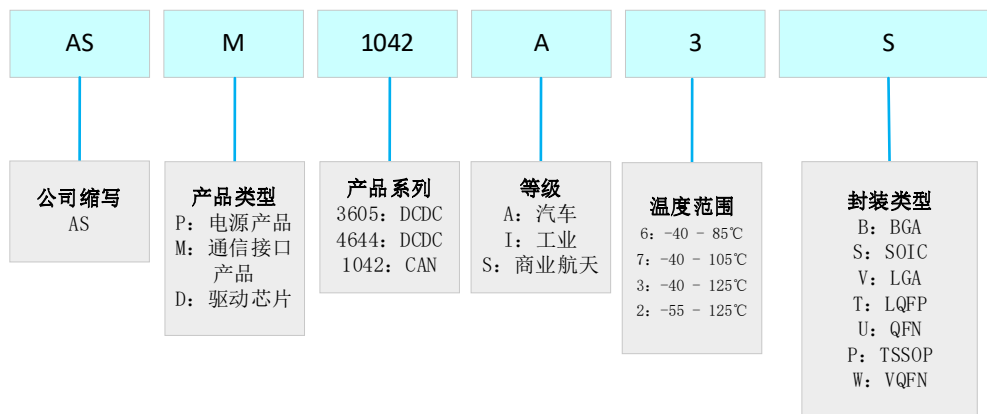
2 产品描述

这款 CAN 收发器系列符合 ISO1189-2 (2016)高速 CAN（控制器局域网）物理层标准。所有器件均设计用于数据速率高达 2Mbps（兆位每秒）的 CAN FD 网络。该收发器支持 5Mbps 的数据速率，且提供 I/O 电平的辅助电源输入，用于设置输入引脚阈值和 RXD 输出电平。该系列具备低功耗待机模式及远程唤醒请求特性。此外，该器件提供多种保护特性来提高器件和网络的耐用性。

芯片型号如下：

芯片类型	芯片型号	等级	封装	备注
通信接口芯片	ASM1042I6S	工业级	SOIC8	
通信接口芯片	ASM1042A3S	汽车级	SOIC8	
通信接口芯片	ASM1042M2S	企军级	SOIC8	国产化证明
通信接口芯片	ASM1042S2S	商业航天级	SOIC8	

芯片命名规则



参数	符号	最小值	最大值	单位
总线供电电压	VCC	-0.3	7	V
IO 口供电电压	VIO	-0.3	7	V
CAN 总线 IO 电压范围	VBUS	-70	70	V
CANH 和 CANL 最大压差	V(Diff)	-70	70	V

逻辑端口电压 范围	VTXD、 VSTB、VRXD	-0.3	7	V
RXD 输出电流	IO(RXD)	-8	8	mA
结温温度	TJ	-55	150	°C

3 引脚定义

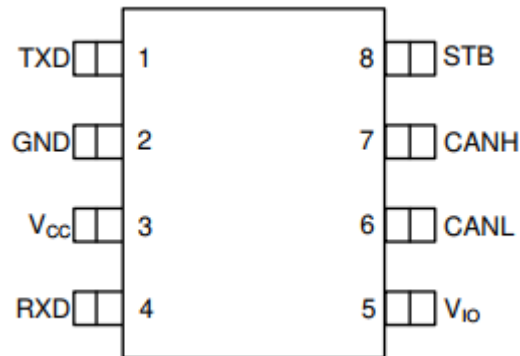


图 1 FD CAN 芯片引脚分布图

引脚序号	引脚名称	引脚功能
1	TXD	发送器数据输入端
2	GND	地
3	VCC	收发器 5V 供电
4	RXD	接收器输出端
5	VIO	收发器 I/O 供电电源
6	CANL	低电位 CAN 电压输入输出端
7	CANH	高电位 CAN 电压输入输出端
8	STB	待机模式控制端、高电平为待机模式

4 内部电路结构图

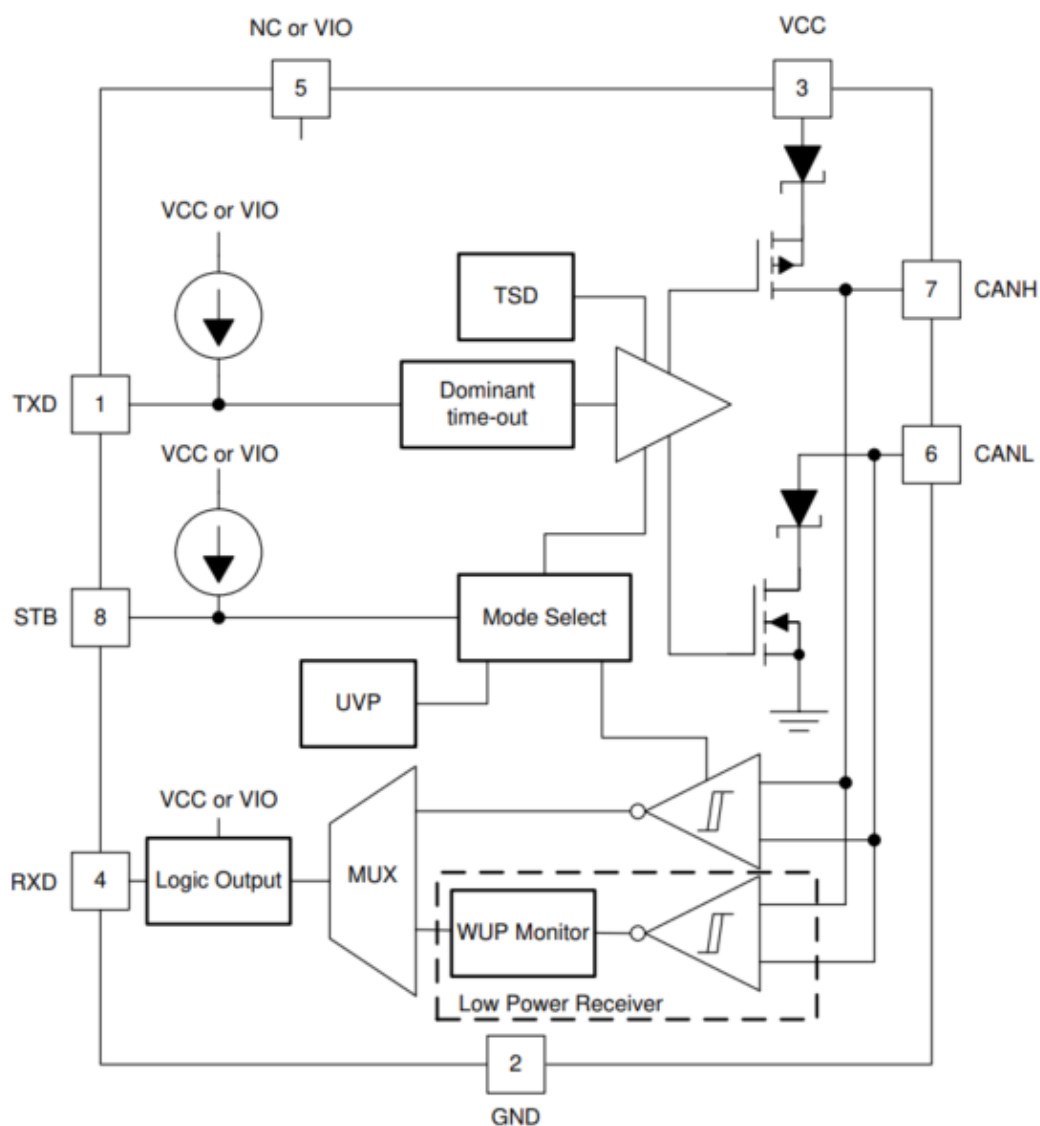


图 2 内部电路结构框图

5 总线收发器电器特性

基本参数描述

特性	符号	极限/标准值			单位
		最小	经典	最大	
显性功耗(Normal mode), TXD=0V, $R_L=60\Omega$, $C_L=open$, $R_{CM}=open$, STB=0V, 负载条件如图 3 所示。	I_{CC}		40	70	mA
总线故障显性功耗(Normal mode), TXD=0, $V_{CANH}=-$ 12V, $R_L=open$, $C_L=open$, $R_{CM}=open$, 负 载条件如图 3 所示。				110	
隐性功耗(Normal mode), TXD= V_{CC} or V_{IO} , $R_L=50\Omega$, $C_L=open$, $R_{CM}=open$, STB=0V, 负 载条件如图 3 所示。			1.5	2.5	
Standby mode 功耗, TXD= V_{IO} , $R_L=50\Omega$, $C_L=open$, $R_{CM}=open$, STB= V_{IO} , 负载条件如图 3 所示。			0.5	5	μA
I/O 功耗(Normal mode)	I_{IO}		90	300	
I/O 功耗(Standby mode)			12	17	
V_{CC} 欠压保护上升阈值电压	UV_{CC}		4.2	4.4	V
V_{CC} 欠压保护下降阈值电压		3.8	4.0	4.25	
U_{VCC} 滞回电压	$V_{HYS}(UV_{VCC})$		200		mV
V_{IO} 欠压保护阈值	UV_{VIO}	1.3		2.75	V
U_{VVIO} 滞回电压	$V_{HYS}(UV_{VIO})$		80		mV
显性输出电压 (Normal mode)	V_{CANH}	2.75		4.5	V
	V_{CANL}	0.5		2.25	

50Ω≤R _L ≤65Ω, C _L =open, R _{CM} =open, 负载条件如图 3 所示。	V _{CANH} -V _{CANL}	1.5		3	
隐性输出电压 (Normal mode) TXD=V _{CC} or V _{IO} , V _{IO} =V _{CC} , STB=0V, R _L =open(no load), R _{CM} =open, 负载条件如图 3 所示。	V _{CANH} and V _{CANL}	2	0.5×V _{CC}	3	
	V _{CANH} -V _{CANL}	-50		50	mV
输出电压(Standby mode) STB=V _{IO} , R _L =open(no load), R _{CM} =open, 负载条 件如图 3 所示。	V _{CANH}	-0.1	0	0.1	V
	V _{CANL}	-0.1	0	0.1	
	V _{CANH} -V _{CANL}	-0.2	0	0.2	
输出电平匹配	V _{SYM}	0.9		1.1	V/V
直流输出电平匹配	V _{SYM_DC}	-0.4		0.4	V
显性短路输出电流(Normal mode), V _{CANH} =- 5V~40V, CANL=open	I _{OS(SS_DOM)}	-100			mA
显性短路输出电流(Normal mode), V _{CANH} =-5V~40V, CANL=open				100	
隐性短路输出电流(Normal mode), V _{BUS} =V _{CANH} =V _{CANL} , -27V≤V _{BUS} ≤32V	I _{OS(SS_REC)}	-5		5	
环路延时(隐性转显性), 负 载情况如图 5 所示。	t _{PROP(LOOP1)}		100	160	ns
环路延时(显性转隐性), 负 载情况如图 5 所示。	t _{PROP(LOOP2)}		110	175	
Normal to Standby 模式切 换时间	t _{MODE}		9	45	μs
过滤唤醒模式时间	t _{WK_FILTER}	0.5		1.8	
发送延时(隐性转显性), 负载情况如图 3 所示, R _L =60Ω, C _L =100pF, C _L (RXD)=15pF。	t _{pHR}		55		ns
发送延时(显性转隐性), 负 载情况如图 3 所示, R _L =60Ω, C _L =100pF, C _L (RXD)=15pF。	t _{pLD}		75		

显性超时时间	t_{TXD_DTO}	1.2		3.8	ms
发送延时(隐性转显性), 负载情况如图 4 所示, $C_{L(RXD)}=15pF$ 。	t_{pRH}		65		ns
发送延时(隐性转显性), 负载情况如图 4 所示, $C_{L(RXD)}=15pF$ 。	t_{pDL}		50		
CAN 总线引脚人体放电模型(HBM)	V_{ESD_HBM}		± 6000		V
组件充电模型(CDM)	V_{ESD_CDM}		± 1500		
机械模型(MM)	V_{ESD_MM}		± 200		

6 测试电路波形时序图

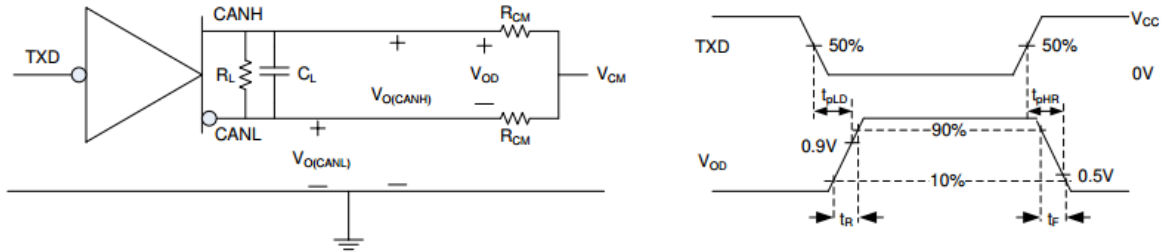


图 3 FDCAN 发送测试电路与时序图

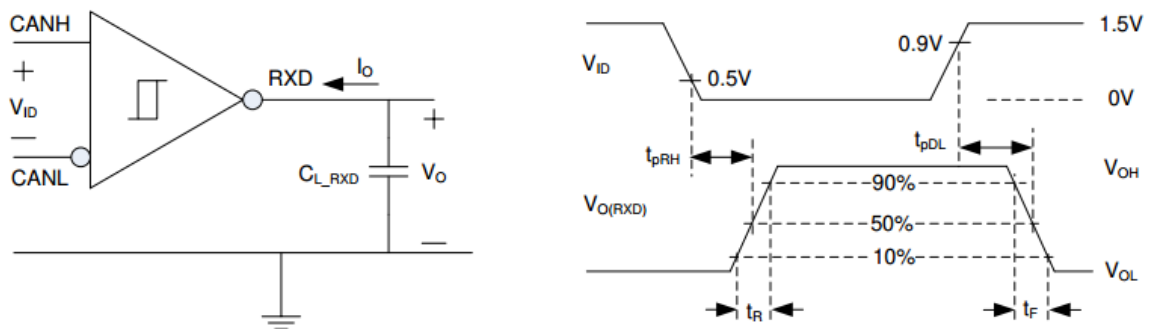


图 4 FDCAN 接收测试电路与时序图

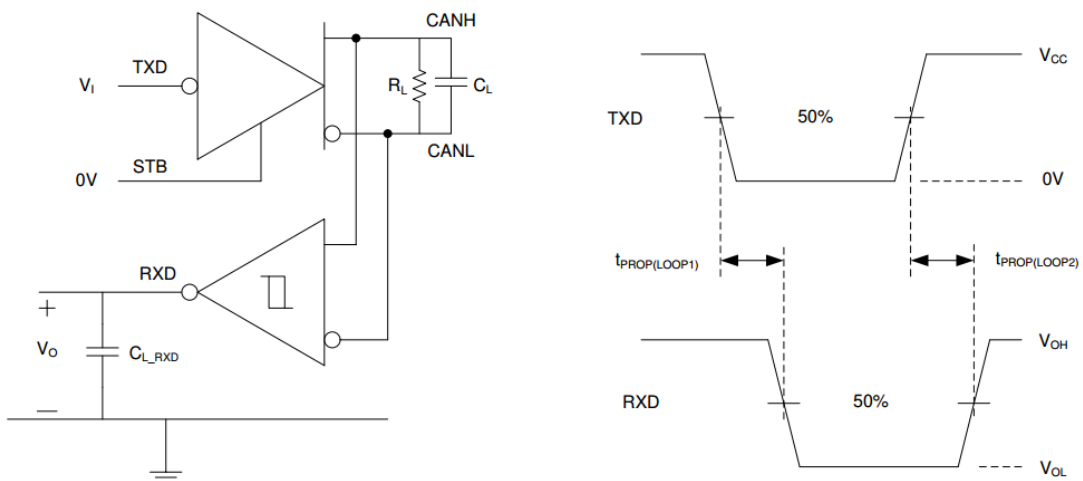


图 5 环路延时时间仿真电路与时序图

7 说明

1、过温保护

该收发器芯片具有过温保护功能，过温保护触发后，将关闭驱动电路，减小驱动电流，从而降低芯片温度。

2、欠压保护

该收发器芯片 VCC 和 VIO 电源引脚均具有欠压保护功能，当 VCC 和 VIO 电压低于阈值电压时保护总线。

3、待机模式

当 STB 设置为高电平时，可激活待机模式。此时 CAN 发送器和接收器均关闭，以节省功耗。STB 高电平信号激活低功耗收发器和唤醒滤波器，当总线检测到超过 t_{WK_FILTER} 的主导总线电平，引脚 RXD 将变为低电平。

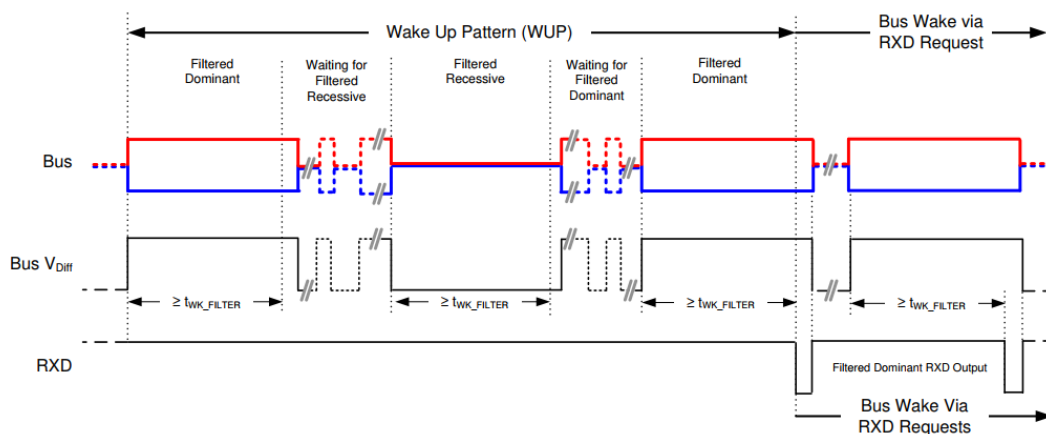


图 6 唤醒时序

4、显性超时功能

引脚 TXD 上的低电平持续时间超过 t_{TXD_DTO} 时，发送器被禁止，CAN 总线进入隐性状态，以此来防止引脚 TXD 因应用故障导致的网络阻塞。TXD 上升沿信号对显性超时保护进行复位。

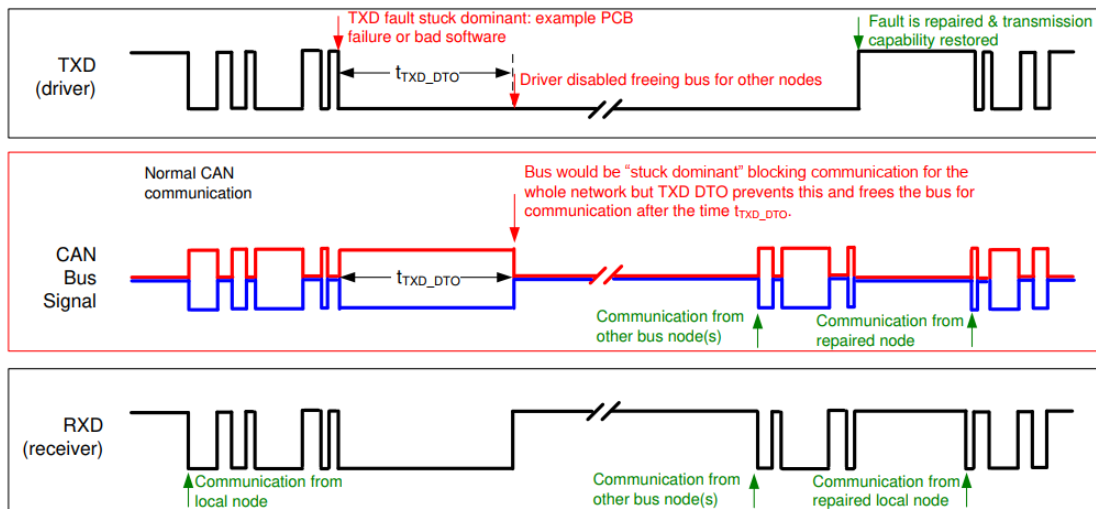
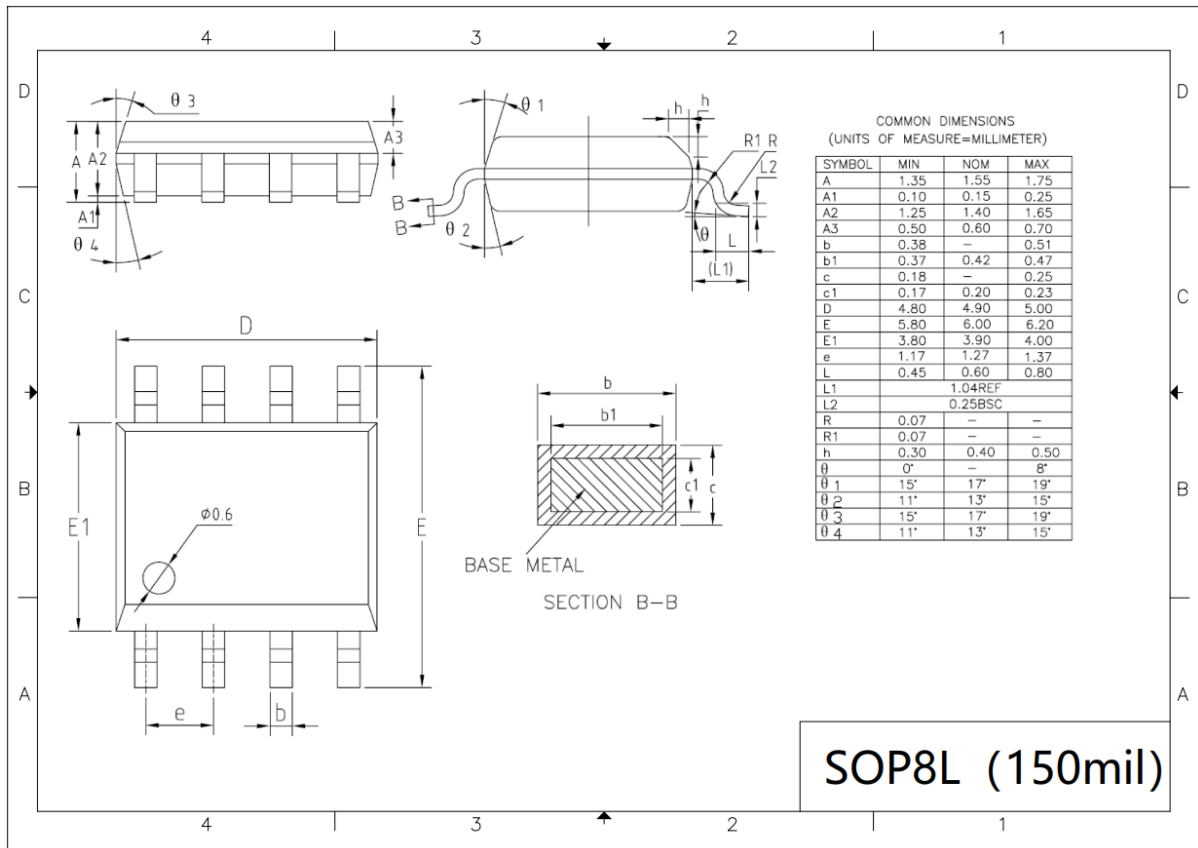


图 7 显性超时保护时序

8 外形尺寸



9 修订历史

版本号	修订内容	修订时间
V1.0	初始版本。	2024.10
V1.1	新增外形尺寸	2024.12
V1.2	注明 VCC 管脚使用 5V 供电	2025.02

单击下面可查看定价，库存，交付和生命周期等信息

[>>ANSILIC\(国科安芯\)](#)